



Gowin LVDS 7:1 接收到 LVDS4:1 桥接参考设计 用户指南

TN656-1.00,2017-07-29

版权所有© 2017 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2017/07/29	1.00	初始版本。

目录

目录	i
图目录	ii
表目录	iii
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语	1
1.5 技术支持与反馈	2
2 概述	3
2.1 LVDS7:1 接收到 LVDS4:1 桥接设计介绍	3
3 特征与性能	4
3.1 主要特征	4
3.2 最大频率	4
3.3 资源利用	4
4 功能描述	5
4.1 功能描述	5
4.2 LVDS 7:1 RX 模块	5
4.3 信号处理模块	6
4.4 LVDS 4:1 TX 模块	7
5 端口描述	8
5.1 接口框图	8
5.2 接口信号	9
6 时序说明	11
6.1 输入信号时序	11

图目录

图 2-1 LVDS 7:1 接收到 LVDS 4:1 桥接接口结构示意图	3
图 4-1 LVDS 7:1 RX 模块功能框图	6
图 4-2 信号转换处理模块功能框图	7
图 4-3 LVDS 7:1 TX 模块功能框图	7
图 5-1 LVDS7:1 接收到 LVDS4:1 桥接参考设计接口框图	8
图 6-1 LVDS7:1 接收到 LVDS4:1 桥接输入信号时序	12

表目录

表 1-1 术语、缩略语	1
表 3-1 参考设计的资源利用情况	4
表 5-1 LVDS7:1 接收到 LVDS4:1 桥接参考设计的接口信号	9

1 关于本手册

1.1 手册内容

本手册主要对 LVDS7:1 接收到 LVDS4:1 桥接参考设计进行介绍。用户手册主要内容包括功能特点、端口描述、时序说明等。主要用于帮助用户快速了解高云半导体 LVDS7:1 接收到 LVDS4:1 桥接参考设计的特点及使用方法。

1.2 适用产品

本手册中描述的信息适用于以下产品：

GW2A 系列 FPGA 产品：GW2A-18

1.3 相关文档

通过登录高云半导体网站 <http://www.gowinsemi.com.cn> 可以下载、查看以下相关文档：

GW2A 系列 FPGA 产品数据手册

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
LVDS	Low-Voltage Differential Signaling	低电压差分信号
I/O	Input/Output	输入/输出
PLL	Phase Locked Loop	锁相环

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：<http://www.gowinsemi.com.cn>

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

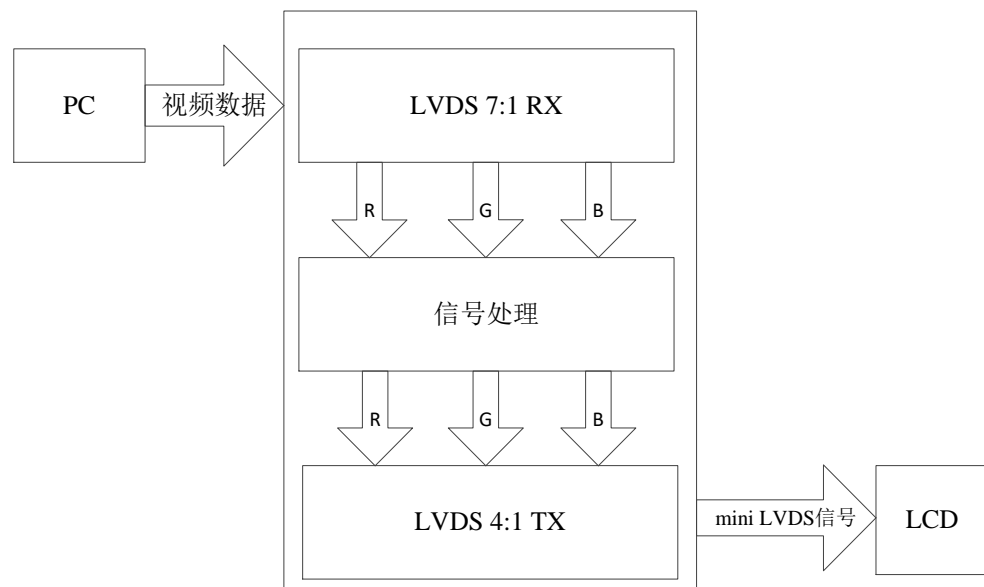
2 概述

2.1 LVDS7:1 接收到 LVDS4:1 桥接设计介绍

LVDS7:1 接收到 LVDS4:1 桥接参考设计主要应用于 TCON 板，将输入的 LVDS 视频信号转换成数据驱动电路所用的 LVDS 数据信号，实现 1080P 的主板驱动 4K2K 液晶屏。

LVDS7:1 接收到 LVDS4:1 桥接参考设计数据接口采用标准低压差分信号 (LVDS) I/O，将 PC 机送来的视频图像数据通过 LVDS7:1 RX 模块转换为低速的视频信号，并通过信号处理模块转换成 LCD 液晶屏所需的 RGB 色彩信号，再利用 LVDS 4:1 TX 模块将这些信号转换至 mini-LVDS 信号传送到液晶屏的 LVDS 接收芯片。其结构示意图如图 2-1 所示。

图 2-1 LVDS 7:1 接收到 LVDS 4:1 桥接接口结构示意图



3 特征与性能

3.1 主要特征

- 符合 LVDS、mini LVDS 接口标准；
- 采用低电压差分信号；
- 可实现数据的高速率、低噪声、远距离、高准确度的传输。

3.2 最大频率

LVDS7:1 接收到 LVDS4:1 桥接参考设计的时序接口速率可达到 800Mbps。

3.3 资源利用

LVDS7:1 接收到 LVDS4:1 桥接参考设计通过 Verilog 语言实现，应用于高云 GW2A-18-LQFP144 系列的 FPGA，资源利用情况如表 3-1 所示。

表 3-1 参考设计的资源利用情况

封装信息	速度等级	器件名称	资源利用	备注
GW2A-18-LQFP144	-6	LUT	1452	包含字对齐与位对齐模块
		ALU	61	
		PLL	2	
		CLKDIV	5	
		REG	790	

4 功能描述

4.1 功能描述

LVDS7:1 接收到 LVDS4:1 桥接参考设计包含三个模块：

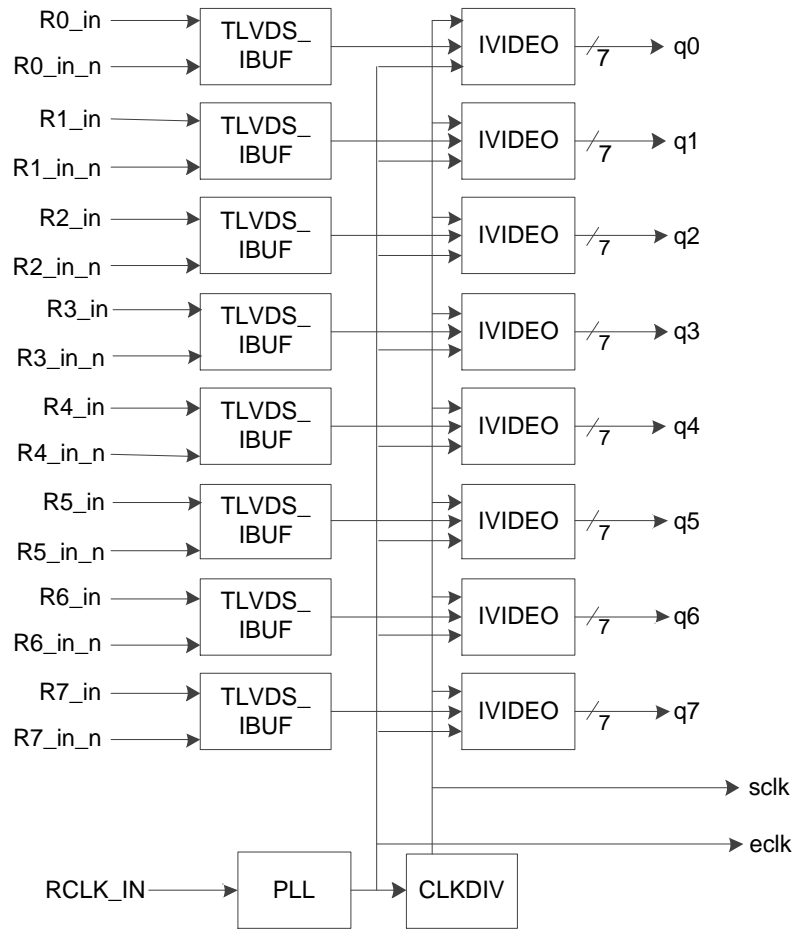
- LVDS 7:1 RX 模块
- 信号处理模块
- LVDS 4:1 TX 模块

其中，LVDS 7:1 RX 模块接收 PC 端（或 DVD 等其他播放器）传来的视频信号，将其转换为 7:1 的源同步信号；信号处理模块将数据信号进行处理转换成液晶屏所需的 RGB 信号；LVDS 4:1 TX 模块将 RGB 信号转换为可驱动液晶屏的 mini LVDS 信号。

4.2 LVDS 7:1 RX 模块

LVDS 7:1 RX 模块通过 LVDS 差分接口接收视频信号，并对差分信号进行并行化处理，转换为 7:1 低速率的数据信号；同时使用 PLL 和 CLKDIV，以输入时钟信号为基础分别产生 3.5 倍频和 1.75 倍频时钟，并利用对齐模块处理时钟的抖动和偏斜。图 4-1 为 LVDS 7:1 RX 模块功能框图。

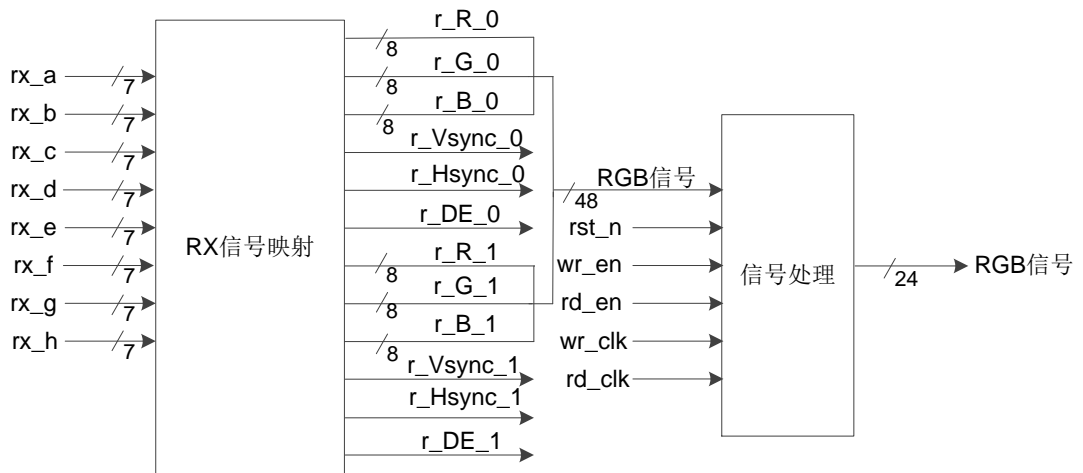
图 4-1 LVDS 7:1 RX 模块功能框图



4.3 信号处理模块

信号处理模块对 LVDS 7:1 RX 模块传输的数据信号进行信号映射处理，得到与像素时钟同步传输的 2 路 RGB 信号、行场信号以及使能控制信号，然后对 2 路 8-bit 的 R、G、B 信号进行调整处理得到 4 路 24-bit 的 RGB 信号。图 4-2 给出了其中 1 路 24-bit RGB 信号转换处理模块的功能框图。

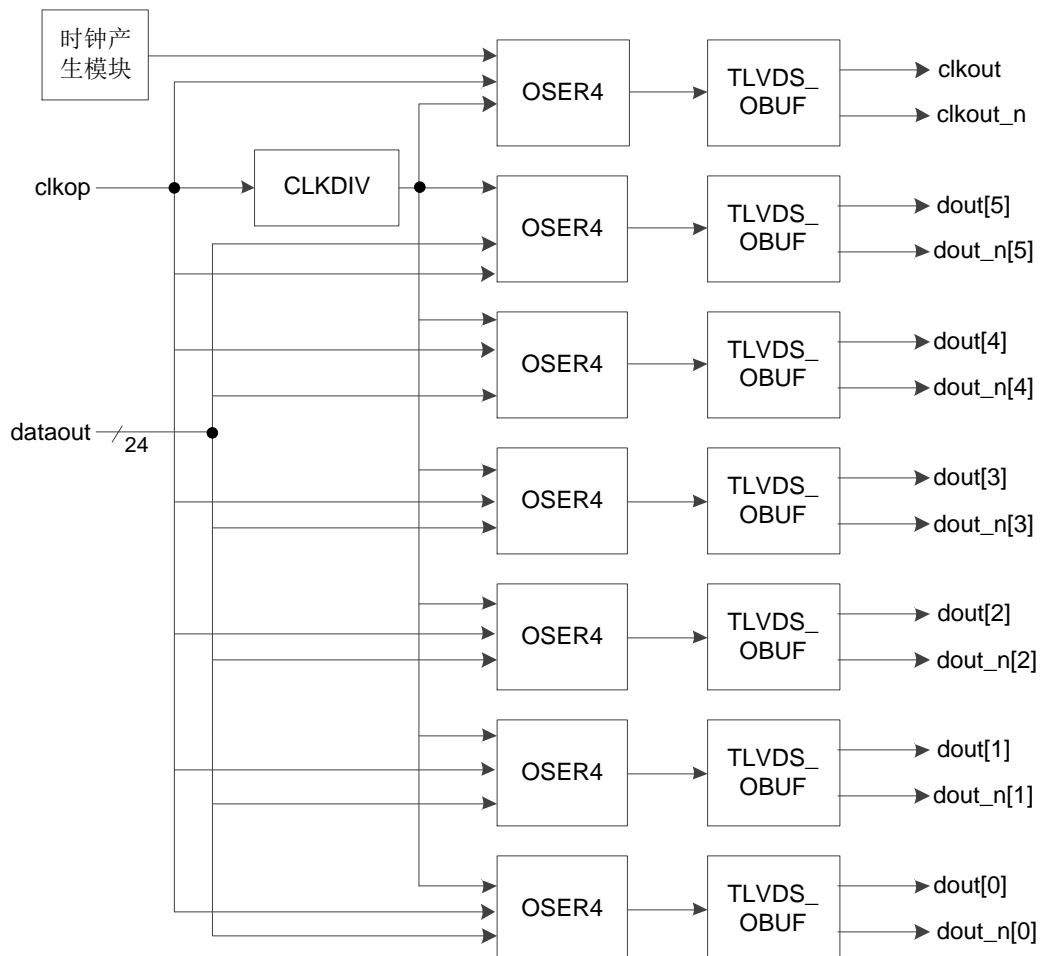
图 4-2 信号转换处理模块功能框图



4.4 LVDS 4:1 TX 模块

LVDS 4:1 TX 模块以 LVDS 7:1 RX 模块输出的时钟信号为采样时钟，将信号处理模块输出的 24-bit 数据信号转换为 6-bit mini LVDS 信号，并产生驱动液晶屏所需的时钟信号。其中 1 路 LVDS 4:1 TX 模块功能框图如图 4-3 所示。

图 4-3 LVDS 7:1 TX 模块功能框图

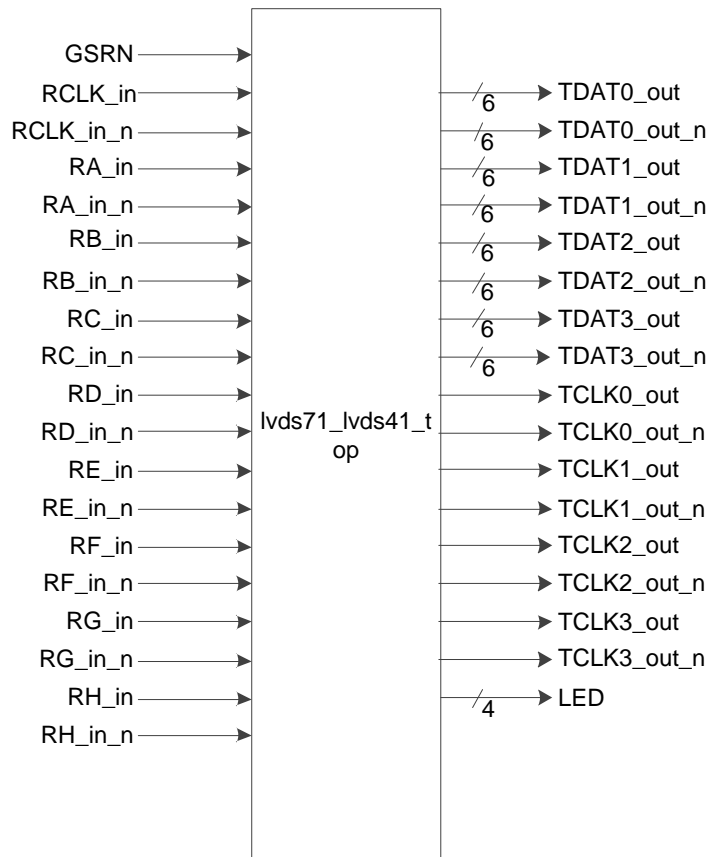


5 端口描述

5.1 接口框图

LVDS7:1 接收到 LVDS4:1 桥接参考设计的接口框图如图 5-1 所示。

图 5-1 LVDS7:1 接收到 LVDS4:1 桥接参考设计接口框图



5.2 接口信号

LVDS7:1 接收到 LVDS4:1 桥接参考设计的接口信号如表 5-1 所示。

表 5-1 LVDS7:1 接收到 LVDS4:1 桥接参考设计的接口信号

接口名称	接口类型	详细描述
GSRN	input	复位信号
RCLK_in	input	时钟差分信号
RCLK_in_n	input	时钟差分信号
RA_in	input	数据通道 A 差分信号
RA_in_n	input	数据通道 A 差分信号
RB_in	input	数据通道 B 差分信号
RB_in_n	input	数据通道 B 差分信号
RC_in	input	数据通道 C 差分信号
RC_in_n	input	数据通道 C 差分信号
RD_in	input	数据通道 D 差分信号
RD_in_n	input	数据通道 D 差分信号
RE_in	input	数据通道 E 差分信号
RE_in_n	input	数据通道 E 差分信号
RF_in	input	数据通道 F 差分信号
RF_in_n	input	数据通道 F 差分信号
RG_in	input	数据通道 G 差分信号
RG_in_n	input	数据通道 G 差分信号
RH_in	input	数据通道 H 差分信号
RH_in_n	input	数据通道 H 差分信号
TCLK0_out	output	同步时钟源 CLK0
TCLK0_out_n	output	同步时钟源 CLK0
TCLK1_out	output	同步时钟源 CLK1
TCLK1_out_n	output	同步时钟源 CLK1
TCLK2_out	output	同步时钟源 CLK2
TCLK2_out_n	output	同步时钟源 CLK2
TCLK3_out	output	同步时钟源 CLK3
TCLK3_out_n	output	同步时钟源 CLK3
TDAT0_out[5:0]	output	通道 0 TX 接口串行数据输出
TDAT0_out_n[5:0]	output	通道 0 TX 接口串行数据输出
TDAT1_out[5:0]	output	通道 1 TX 接口串行数据输出
TDAT1_out_n[5:0]	output	通道 1 TX 接口串行数据输出
TDAT2_out[5:0]	output	通道 2 TX 接口串行数据输出
TDAT2_out_n[5:0]	output	通道 2 TX 接口串行数据输出
TDAT3_out[5:0]	output	通道 3 TX 接口串行数据输出
TDAT3_out_n[5:0]	output	通道 3 TX 接口串行数据输出

接口名称	接口类型	详细描述
LED[3:0]	output	状态/调试接口

6 时序说明

本节旨在介绍 LVDS7:1 接收到 LVDS4:1 桥接参考设计输入信号的时序情况。

6.1 输入信号时序

LVDS7:1 接收到 LVDS4:1 桥接参考设计用于接收 PC 机发送的视频信号, 包括 1 路时钟通道 (RCLK_in) 和 8 路数据通道 (RA_in、RB_in、RC_in、RD_in、RE_in、RF_in、RG_in 和 RH_in), 一对差分数据线可以传输 7-bit 数据, 信号时序如图 6-1 所示。

图 6-1 LVDS7:1 接收到 LVDS4:1 桥接输入信号时序



