



DK-START-GW2A18 V1.0 开发板 用户手册

DBUG354-1.2, 2019-12-23

版权所有©2019 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2018/08/28	1.0	初始版本。
2019/08/30	1.1	更新图 3-5。
2019/12/23	1.2	完善开发板版本信息。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语	2
1.5 技术支持与反馈	2
2 开发板简介	3
2.1 概述	3
2.2 开发板套件	4
2.3 PCB 组件	5
2.4 系统框图	6
2.5 特性	6
3 开发板电路	8
3.1 FPGA 模块	8
3.1.1 介绍	8
3.1.2 I/O 分布	9
3.2 下载模块	11
3.2.1 介绍	11
3.2.2 管脚分配	11
3.3 电源	12
3.3.1 介绍	12

3.3.2 电源系统分配	13
3.4 时钟、复位	14
3.4.1 介绍	14
3.4.2 管脚分配	14
3.5 DDR3 模块	15
3.5.1 介绍	15
3.5.2 管脚分配	15
3.6 以太网	17
3.6.1 介绍	17
3.6.2 管脚分配	17
3.7 LVDS 接口	19
3.7.1 介绍	19
3.7.2 管脚分配	20
3.8 SD 卡模块	21
3.8.1 介绍	21
3.8.2 管脚分配	21
3.9 GPIO	21
3.9.1 介绍	21
3.9.2 管脚分配	23
3.10 LED 模块	25
3.10.1 介绍	25
3.10.2 管脚分配	25
3.11 按键模块	26
3.11.1 介绍	26
3.11.2 管脚分配	26
3.12 开关模块	27
3.12.1 介绍	27
3.12.2 管脚分配	27
4 Gowin 云源软件	28

图目录

图 2-1 开发板 PCB 组件说明	5
图 2-2 系统框图	6
图 3-1 GW2A 系列 FPGA 产品 I/O BANK 整体示意图	9
图 3-2 GW2A-18 器件 PG256 封装管脚分布示意图（顶视图）	9
图 3-3 FPGA 下载与配置连接示意图	11
图 3-4 电源系统分配示意图	13
图 3-5 时钟、复位连接示意图	14
图 3-6 FPGA 与 DDR3 连接示意图	15
图 3-7 FPGA 与以太网模块连接示意图	17
图 3-8 LVDS TX 接口示意图	19
图 3-9 LVDS RX 接口示意图	19
图 3-10 SD 卡模块连接示意图	21
图 3-11 20pin 接口示意图	22
图 3-12 30pin 接口示意图	22
图 3-13 LED 连接示意图	25
图 3-14 GPIO 电路	26
图 3-15 GPIO 电路	27

表目录

表 1-1 术语、缩略语	2
表 4-1 GW2A-LV18PG256 FPGA 产品信息列表.....	8
表 4-2 FPGA I/O Bank 电压及功能分布.....	10
表 4-3 FPGA 下载与配置管脚分配	11
表 4-4 时钟、复位管脚分配	14
表 4-5 DDR3 模块管脚分配	15
表 4-6 以太网模块管脚分配	17
表 4-7 LVDS TX 接口管脚分配	20
表 4-8 LVDS RX 接口管脚分配.....	20
表 4-9 20pin 接口管脚分配	23
表 4-10 30pin 接口管脚分配	23
表 4-11 LED 指示灯管脚分配	25
表 4-12 按键模块管脚分配.....	26
表 4-13 开关模块管脚分配.....	27

1 关于本手册

1.1 手册内容

DK-START-GW2A18 V1.0 开发板（以下简称开发板）用户手册分为四个部分：

1. 简要介绍开发板的功能特点；
2. 介绍开发板整体系统架构和硬件资源；
3. 介绍开发板各部分硬件电路的功能、电路及管脚分配；
4. Gowin 云源软件使用方法。

1.2 适用产品

本手册中描述的信息可适用于以下高云 FPGA 产品：GW2A-18。

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. [DS102, GW2A 系列 FPGA 产品数据手册](#)
2. [UG110, GW2A-18 器件 Pinout 手册](#)
3. [UG111, GW2A 系列 FPGA 产品封装与管脚手册](#)

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
B-SRAM	Block SRAM	块状静态随机存储器
DDR	Double-Data-Rate Synchronous Dynamic Random Access Memory	双倍速率同步动态随机存储器
DSP	Digital Signal Processing	数字信号处理
FLASH	Flash Memory	非易失存储器
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	General Purpose Input Output	通用输入/输出
LDO	Low Dropout Regulator	低压差线性稳压器
LUT4	4-input Look-up Tables	4 输入查找表
LVDS	Low-Voltage Differential Signaling	低电压差分信号
S-SRAM	Shadow SRAM	分布式静态随机存储器

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

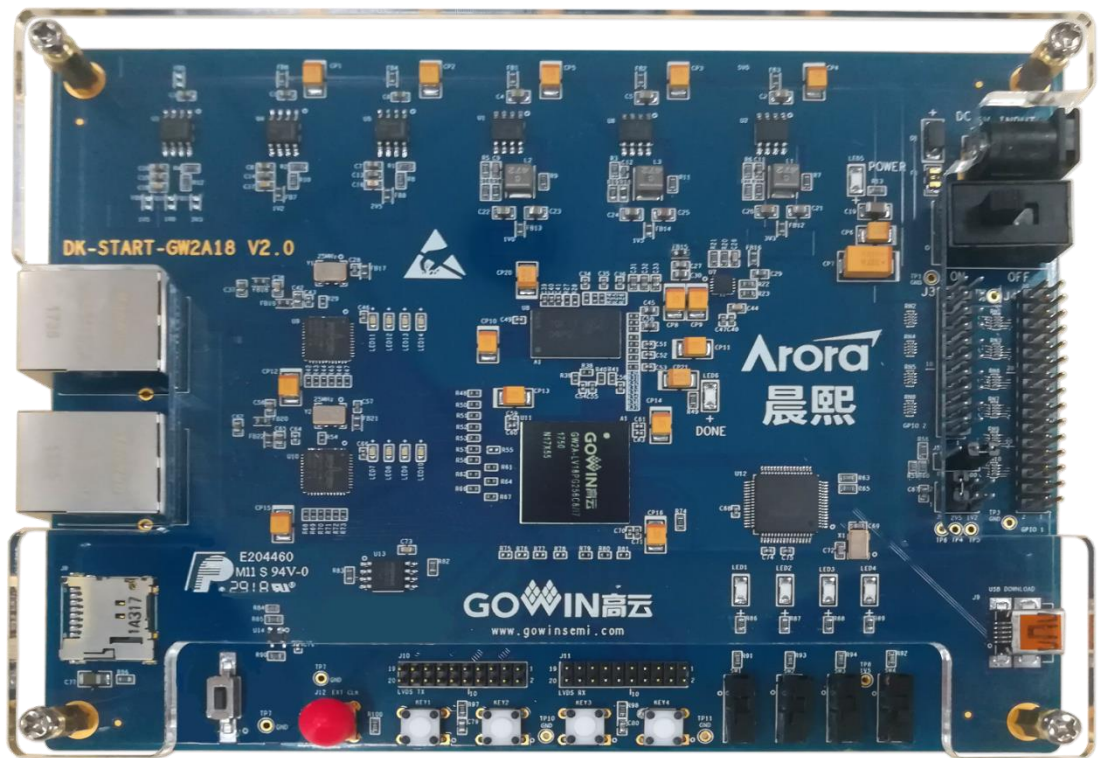
E-mail：support@gowinsemi.com

Tel: 86-20-8757-8868

2 开发板简介

2.1 概述

图 2-1 DK-START-GW2A18 V1.0 开发板



DK-START-GW2A18 V1.0 开发板适用于高速数据存储、高速通信测试、FPGA 功能评估、硬件可靠性验证及软件学习调试等多种应用需求。

开发板采用高云 GW2A-LV18PG256 FPGA 器件，该器件为高云半导体晨熙®家族第一代产品。内部资源丰富，具有高性能的 DSP 资源，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，这些内嵌的资源搭配精简的 FPGA 架构以及 55nm 工艺使 GW2A 系列 FPGA 产品适用于高速低成本的应用场合。

开发板搭载了一颗 DDR3 芯片，存储空间为 2Gbit，16 位数据总线宽度最高数据速率为 1600MT/s；集成了两个千兆以太网接口，支持 10M、100M、

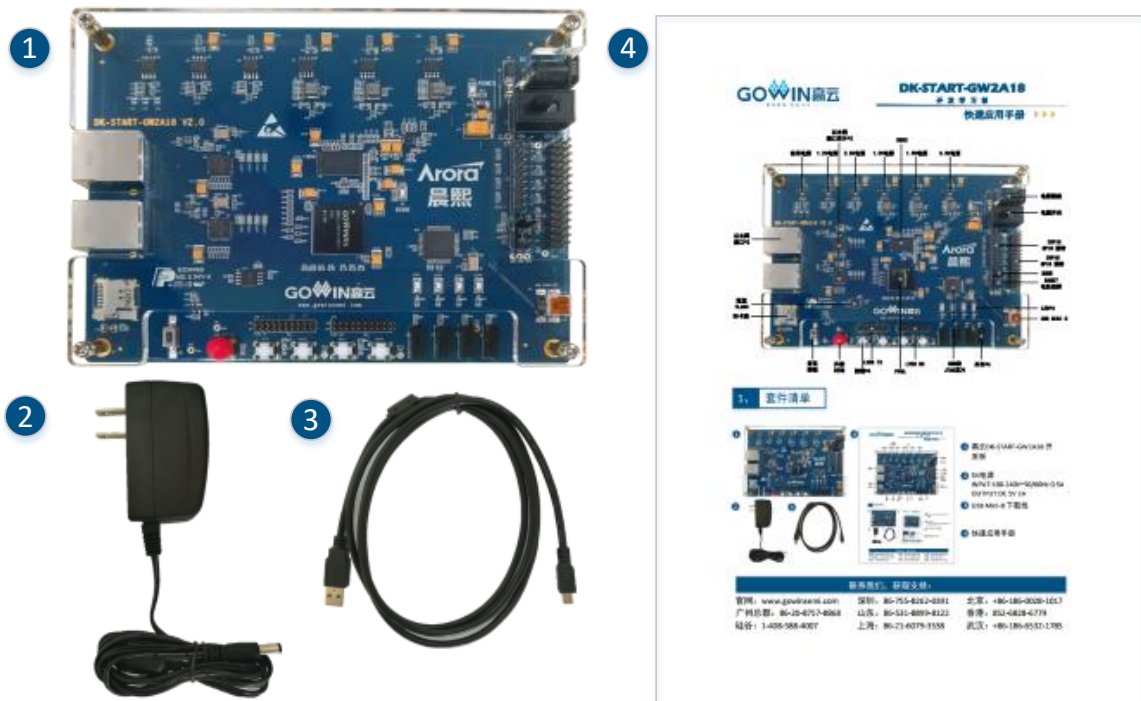
1000M 以太网通讯；设计了丰富的外部接口，包括 LVDS 接口、SD 卡座及 GPIO 接口；同时外接 FLASH 芯片、滑动开关、按键开关、外部时钟等资源。

2.2 开发板套件

开发板套件包括：

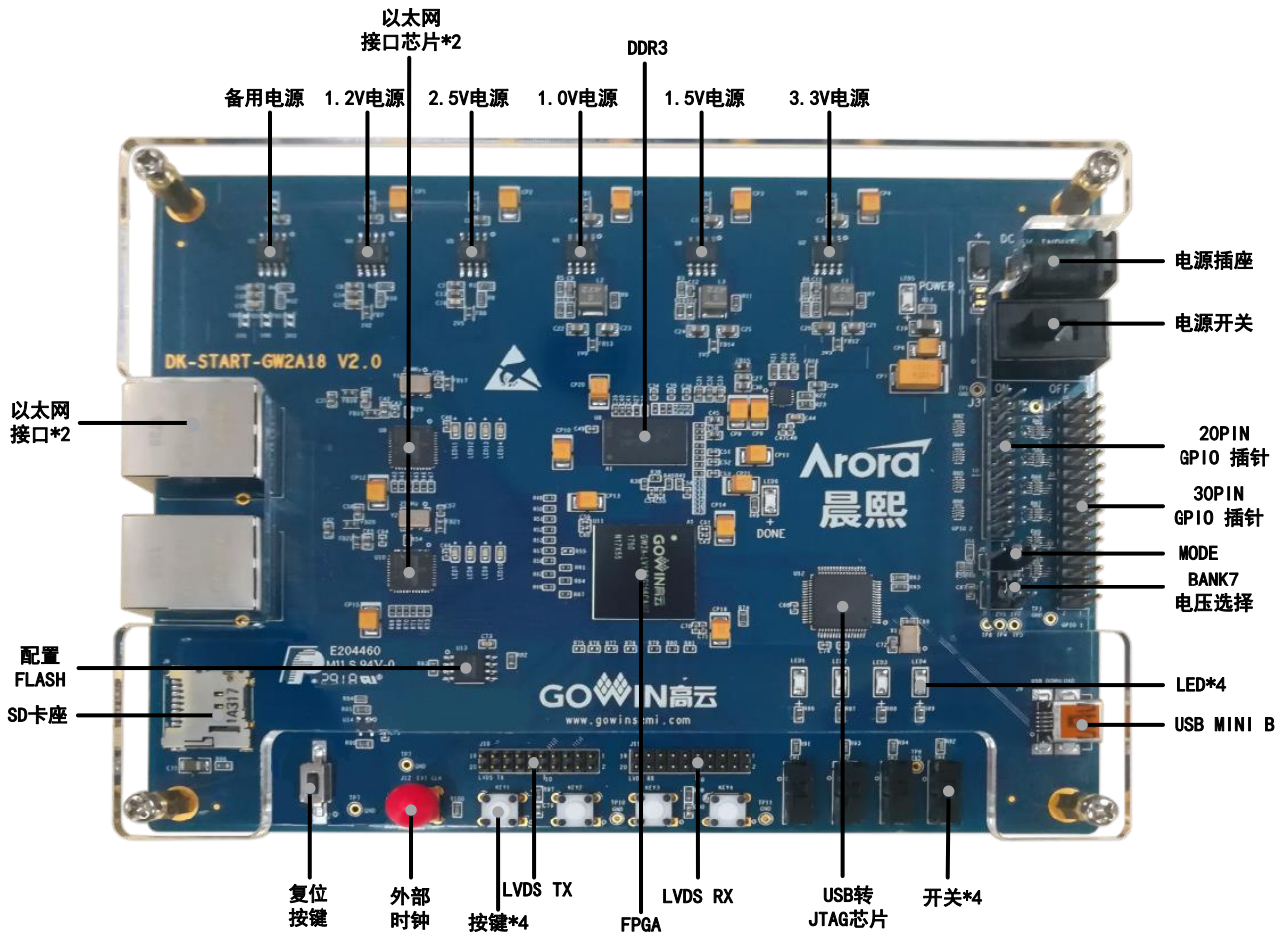
1. DK-START-GW2A18 V1.0 开发板
2. 5V 电源（输入：100-240V~50/60Hz 0.5A，输出：DC 5V 2A）
3. USB Mini B 下载线
4. 快速应用手册

图 2-2 开发板套件



2.3 PCB 组件

图 2-1 开发板 PCB 组件说明



2.4 系统框图

图 2-2 系统框图



2.5 特性

开发板的关键特性如下：

1. FPGA 器件
 - 高云 GW2A-LV18PG256C8/I7
 - 最多用户 I/O 207 个
2. 下载与启动
 - 板上集成下载模块，通过 USB Mini B 下载线下载
 - 外部 FLASH 启动
 - 加载完成后，蓝色 DONE 灯亮
3. 供电方式
 - 外部 DC 5V 2A 供电
 - 上电后，蓝色 POWER 灯亮

- 开发板产生 3.3V、2.5V、1.5V、1.2V、1.0V 及 DDR3 所需的 0.75V 电源
4. 时钟系统
 - 50MHz 晶振输入
 - 外部信号源输入
 5. 存储设备
 - 2Gbit DDR3 SDRAM
 - 64Mbit FLASH
 6. 以太网接口
 - 2 路以太网接口
 - 支持 10M/100M/1000M
 - RJ45 接插件集成变压器
 7. LVDS 接口
 - 一路 LVDS 接收，包括 5 对差分信号。
 - 一路 LVDS 发送，包括 5 对差分信号。
 - 可通过更改电阻改变接收发送功能。

注!

对于 V2.0 版本的开发板，使用 LVDS 功能时，需要将 J13 设置为 2.5V。
 8. SD 卡座
 - 8 触点，推-推式
 - 带有卡检测
 9. 扩展接口
 - 20PIN 双排插针，引出 16 个 GPIO，I/O 所在 Bank 电压为 3.3V、2.5V、1.2V 可调，同时引出一个 3.3V，一个 5V，两个地插针。
 - 30PIN 双排插针，引出 24 个 GPIO，I/O 所在 Bank 电压为 2.5V，同时引出两个 3.3V，一个 5V，三个地插针。

注 1!

对于 V2.0 版本的开发板，BANK0 和 BANK1 的电压可通过 J13 选择 3.3V 或 2.5V。
 10. 调试模块
 - 4 个按键
 - 4 个开关
 - 4 个蓝色 LED

3 开发板电路

3.1 FPGA 模块

3.1.1 介绍

GW2A-LV18PG256 FPGA 产品资源信息如表 3-1 所示。

表 3-1 GW2A-LV18PG256 FPGA 产品信息列表

器件	GW2A-LV18PG256
逻辑单元(LUT4)	20,736
寄存器(FF)	15,552
分布式静态随机存储器 S-SRAM(bits)	41,472
块状静态随机存储器 B-SRAM(bits)	828K
块状静态随机存储器数目 B-SRAM(个)	46
乘法器(18 x 18 Multiplier)	48
锁相环(PLLs+DLLs)	4+4
I/O Bank 总数	8
最多用户 I/O	207
核电压	1.0V

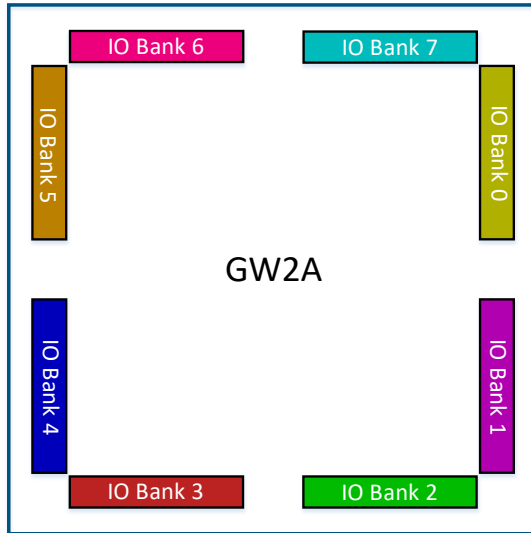
注！

详细信息请参考 [DS102, GW2A 系列 FPGA 产品数据手册](#)。

3.1.2 I/O 分布

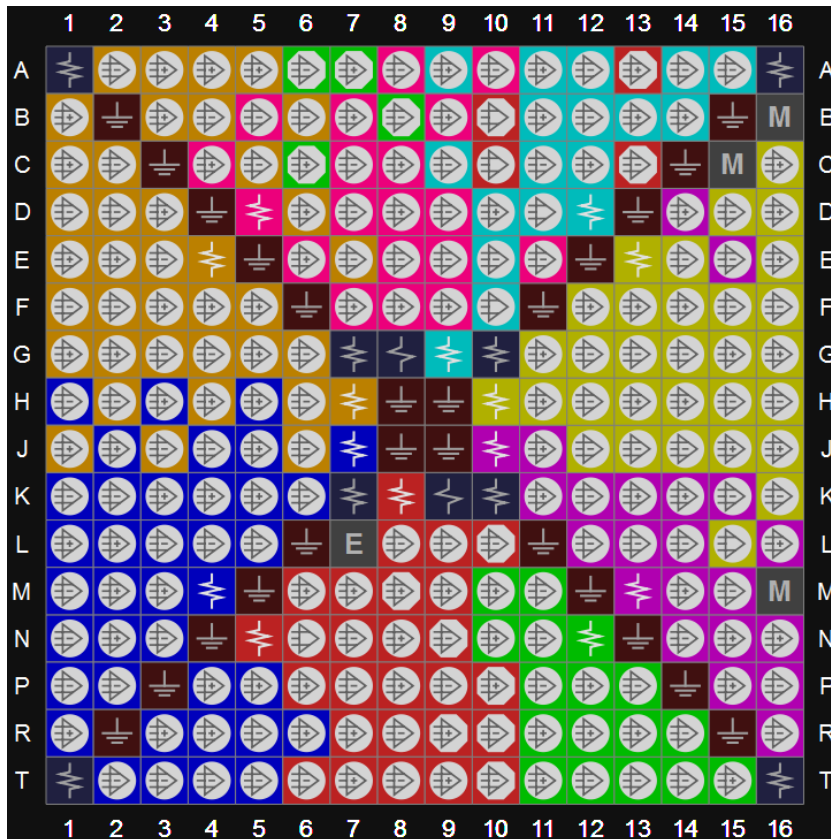
GW2A 系列 FPGA 产品分为八个 I/O BANK 区，GW2A 系列 FPGA 产品的 I/O BANK 整体示意图如图 3-1 所示。

图 3-1 GW2A 系列 FPGA 产品 I/O BANK 整体示意图



GW2A-18 器件 PG256 封装管脚分布示意图如图 3-2 所示。

图 3-2 GW2A-18 器件 PG256 封装管脚分布示意图（顶视图）



此开发板的 I/O Bank 电压及功能设计如表 3-2 所示。

表 3-2 FPGA I/O Bank 电压及功能分布

BANK 序号	供电电压	连接的功能
BANK0	2.5V ¹	LVDS_RX 接口 30PIN GPIO 接口 50MHz 晶振输入 LED
BANK1	2.5V ¹	LVDS_TX 接口 30PIN GPIO 接口
BANK2	3.3V	以太网接口 1 以太网接口 2 JTAG 下载 SD 卡座 外部时钟
BANK3	3.3V	以太网接口 2 配置 FLASH SD 卡座 复位 MODE DONE RECONFIG_N READY FASTRD_N
BANK4	1.5V	DDR3 按键
BANK5	1.5V	DDR3
BANK6	1.5V	DDR3 开关
BANK7	3.3V、2.5V、1.2V 可调	20PIN GPIO 接口

注!

对于 V2.0 版本的开发板，BANK0 和 BANK1 的电压可通过 J13 选择 3.3V 或 2.5V。

3.2 下载模块

3.2.1 介绍

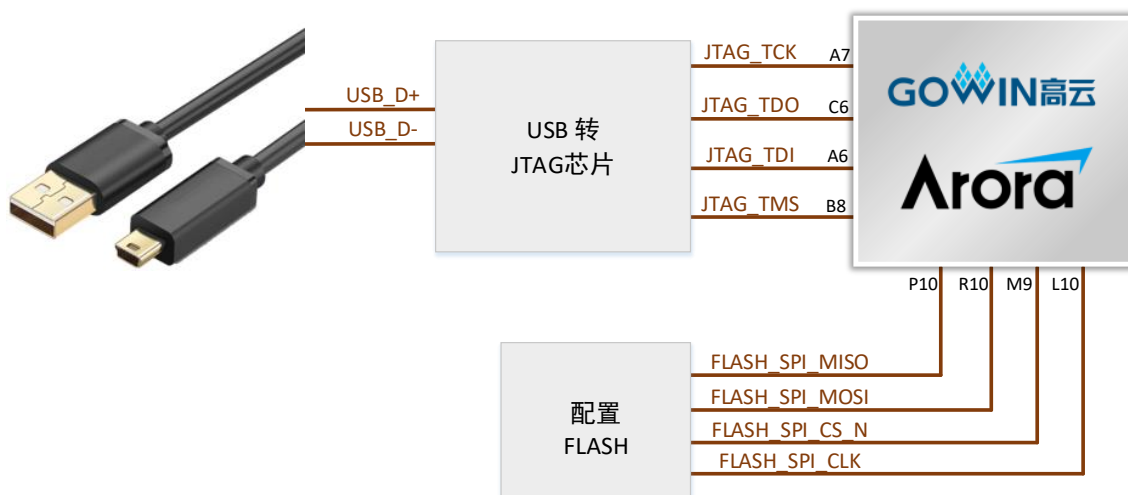
开发板提供 USB 下载接口，通过设置不同的 MODE 值，来决定将程序下载到片内 SRAM 或外部 Flash 中。若下载到 SRAM，当器件掉电后数据流文件会丢失，而下载到 Flash，掉电后数据流文件不会丢失。

MODE 设置规则如下：

1. 任何模式下，都可将程序下载到片内 SRAM，并立即运行。
2. MODE 设置为“000”，将数据下载到配置 Flash 器件中。重新上电，器件自行从配置 Flash 读取 FPGA 配置数据。

下载、配置的连接示意图如下：

图 3-3 FPGA 下载与配置连接示意图



3.2.2 管脚分配

表 3-3 FPGA 下载与配置管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
JTAG_TCK	A7	2	3.3V	JTAG 信号
JTAG_TDO	C6	2	3.3V	JTAG 信号
JTAG_TDI	A6	2	3.3V	JTAG 信号
JTAG_TMS	B8	2	3.3V	JTAG 信号
FLASH_SPI_MISO	P10	3	3.3V	配置 FLASH 信号
FLASH_SPI_MOSI	R10	3	3.3V	配置 FLASH 信号
FLASH_SPI_CS_N	M9	3	3.3V	配置 FLASH 信号

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
FLASH_SPI_CLK	L10	3	3.3V	配置 FLASH 信号

3.3 电源

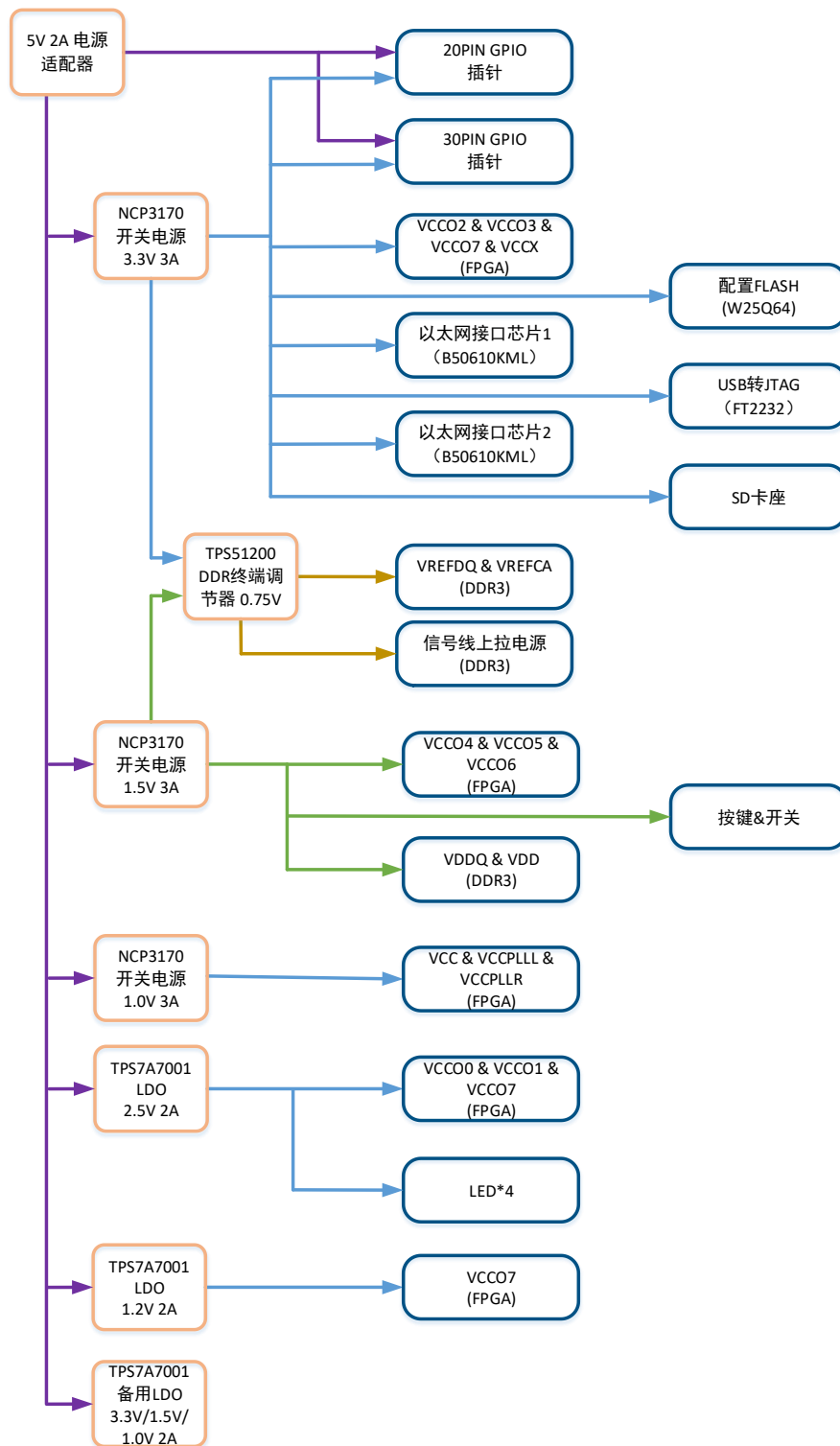
3.3.1 介绍

电源适配器供电, 输入: 100-240V~50/60MHz 0.5A, 输出: DC +5V 2A。开发板上的电源芯片产生 3.3V、2.5V、1.5V、1.2V、1.0V 及 DDR3 所需的 0.75V 电源。

开发板预留一个备用电源位置, 可焊接 LDO 产生 3.3V、1.5V 和 1.0V, 额定电流 2A, 在使用此电源替代相应电源供电时, 注意将对应电源的磁珠拆掉, 避免电源冲突。

3.3.2 电源系统分配

图 3-4 电源系统分配示意图



注!

V2.0 版本的开发板，BANK0 和 BANK1 的电压可通过 J13 选择 3.3V 或 2.5V。

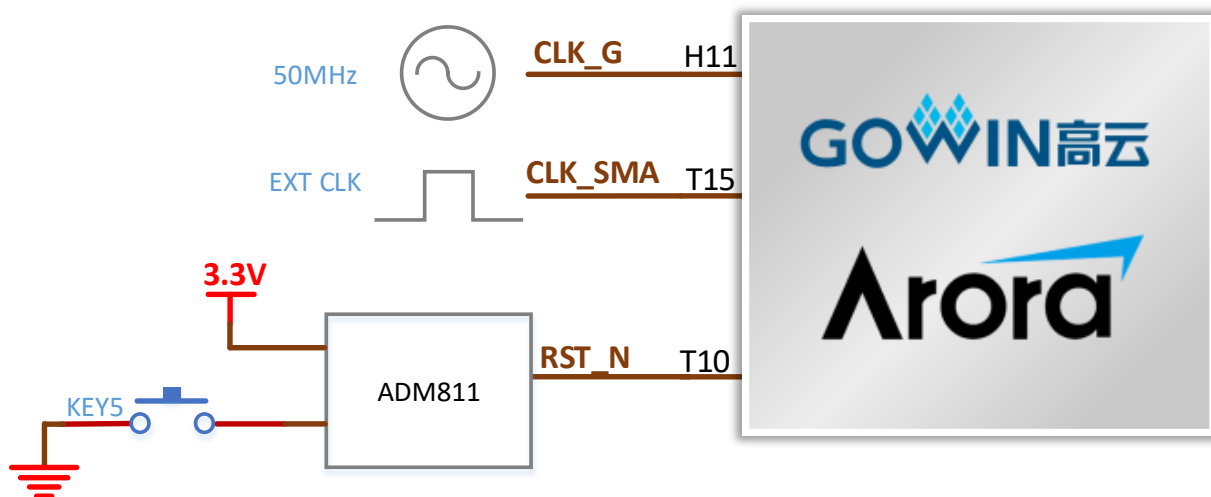
3.4 时钟、复位

3.4.1 介绍

开发板为 FPGA 提供了一个 50MHz 有源晶振, 连接到了全局时钟引脚, 还提供了一个外部时钟输入的 SMA 母座, 供用户输入其他频率时钟, 用于多样化测试。

开发板的复位电路采用按键加专用复位芯片设计, 上电后复位芯片自动产生复位信号给 FPGA 和以太网 PHY 芯片进行复位。并实时监控 3.3V 电压, 出现异常时立即产生复位信号。另外, 也可通过复位按键手动产生复位信号。

图 3-5 时钟、复位连接示意图



3.4.2 管脚分配

表 3-4 时钟、复位管脚分配

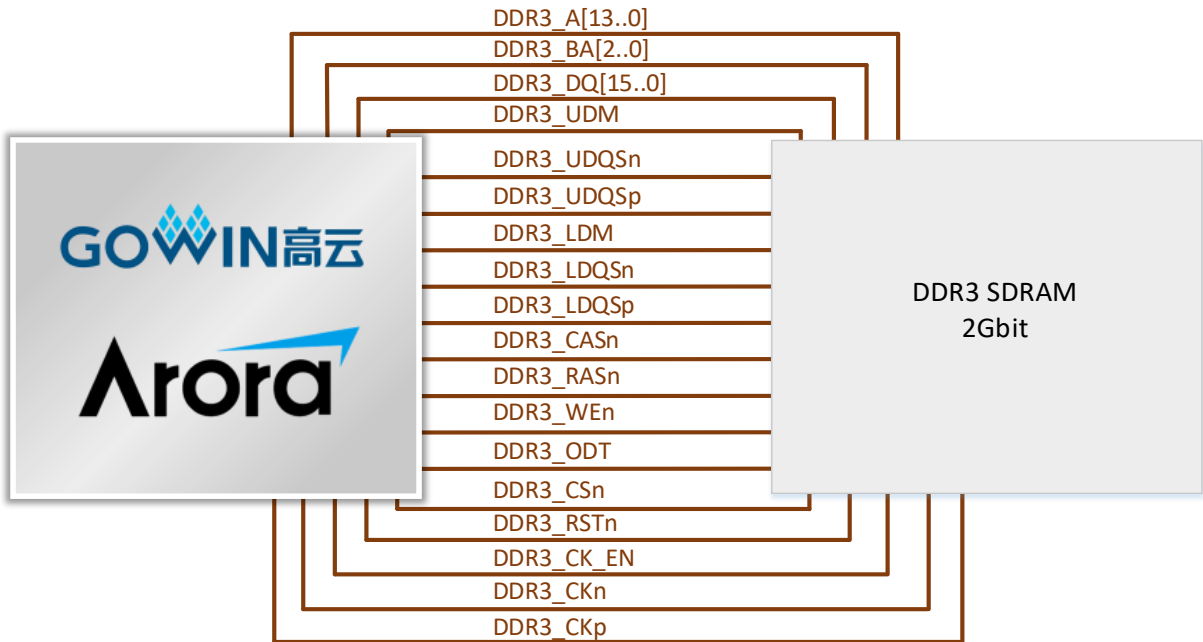
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
CLK_G	H11	0	2.5V	50MHz 有源晶振输入
CLK_SMA	T15	2	3.3V	外部时钟输入
RST_N	T10	3	3.3V	复位信号, 低有效

3.5 DDR3 模块

3.5.1 介绍

开发板搭载了一颗 DDR3 芯片，存储空间为 2Gbit，16 位数据总线宽度最高数据速率为 1600MT/s。

图 3-6 FPGA 与 DDR3 连接示意图



3.5.2 管脚分配

表 3-5 DDR3 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_A0	F7	6	1.5V	地址
DDR3_A1	A4	5	1.5V	地址
DDR3_A2	D6	5	1.5V	地址
DDR3_A3	F8	6	1.5V	地址
DDR3_A4	C4	6	1.5V	地址
DDR3_A5	E6	6	1.5V	地址
DDR3_A6	B1	5	1.5V	地址
DDR3_A7	D8	6	1.5V	地址
DDR3_A8	A5	5	1.5V	地址
DDR3_A9	F9	6	1.5V	地址
DDR3_A10	K3	4	1.5V	地址

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_A11	B7	6	1.5V	地址
DDR3_A12	A3	5	1.5V	地址
DDR3_A13	C8	6	1.5V	地址
DDR3_BA0	H4	5	1.5V	Bank 地址
DDR3_BA1	D3	5	1.5V	Bank 地址
DDR3_BA2	H5	4	1.5V	Bank 地址
DDR3_CASn	R6	4	1.5V	列地址选通
DDR3_CK_EN	J2	4	1.5V	时钟使能
DDR3_CKn	J3	5	1.5V	差分时钟
DDR3_CKp	J1	5	1.5V	差分时钟
DDR3_CSn	P5	4	1.5V	片选
DDR3_DQ0	G5	5	1.5V	数据
DDR3_DQ1	F5	5	1.5V	数据
DDR3_DQ2	F4	5	1.5V	数据
DDR3_DQ3	F3	5	1.5V	数据
DDR3_DQ4	E2	5	1.5V	数据
DDR3_DQ5	C1	5	1.5V	数据
DDR3_DQ6	E1	5	1.5V	数据
DDR3_DQ7	B3	5	1.5V	数据
DDR3_DQ8	M3	4	1.5V	数据
DDR3_DQ9	K4	4	1.5V	数据
DDR3_DQ10	N2	4	1.5V	数据
DDR3_DQ11	L1	4	1.5V	数据
DDR3_DQ12	P4	4	1.5V	数据
DDR3_DQ13	H3	4	1.5V	数据
DDR3_DQ14	R1	4	1.5V	数据
DDR3_DQ15	M2	4	1.5V	数据
DDR3_LDM	G1	5	1.5V	数据输入屏蔽
DDR3_LDQSn	G3	5	1.5V	数据选通
DDR3_LDQSp	G2	5	1.5V	数据选通
DDR3_ODT	R3	4	1.5V	片上终端使能
DDR3_RASn	R4	4	1.5V	行地址选通
DDR3_RSTn	B9	6	1.5V	复位
DDR3_UDM	K5	4	1.5V	数据输入屏蔽
DDR3_UDQSn	K6	4	1.5V	数据选通

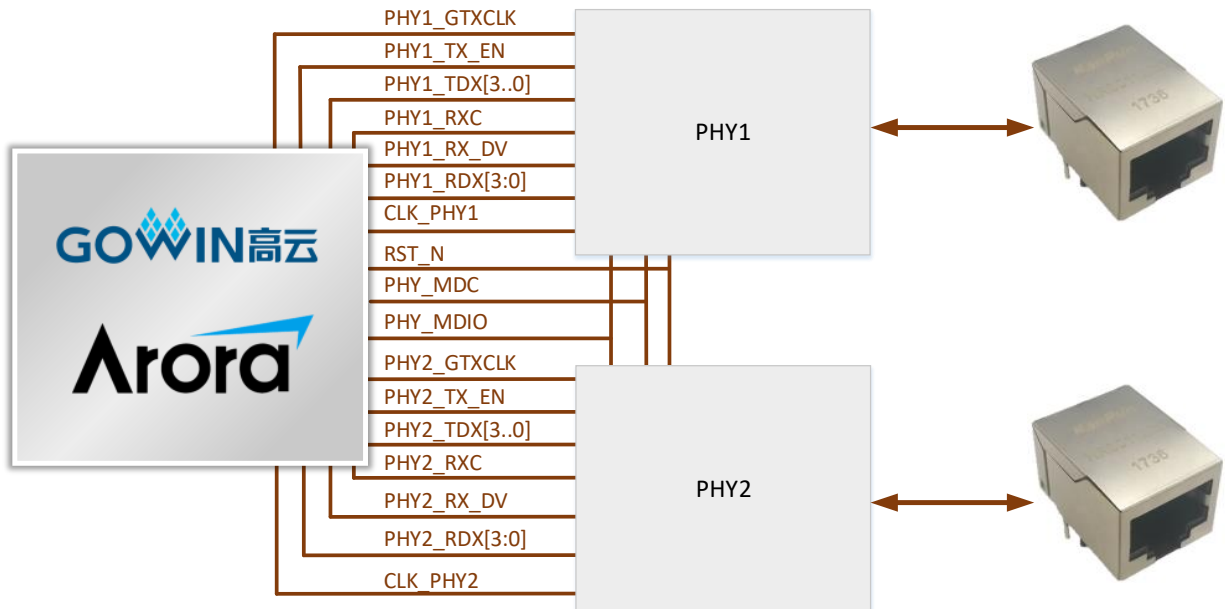
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_UDQSp	J5	4	1.5V	数据选通
DDR3_WEn	L2	4	1.5V	写使能

3.6 以太网

3.6.1 介绍

开发板上带有 2 路以太网电路，支持千兆模式，可为用于 LED 显示应用的用户提供测试硬件环境，进行以太网数据传输。与其他设备连接接口为 RJ45，内部集成变压器。连接示意图如下所示。

图 3-7 FPGA 与以太网模块连接示意图



3.6.2 管脚分配

表 3-6 以太网模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
PHY_MDC	M10	2	3.3V	管理通道时钟
PHY_MDIO	N11	2	3.3V	管理通道数据
PHY1_GTXCLK	N10	2	3.3V	PHY1 发送时钟
PHY1_TXD0	P11	2	3.3V	PHY1 发送数据通道 0
PHY1_TXD1	P12	2	3.3V	PHY1 发送数据通道 1
PHY1_TXD2	P13	2	3.3V	PHY1 发送数据通道 2
PHY1_TXD3	T11	2	3.3V	PHY1 发送数据通道 3
PHY1_TX_EN	R11	2	3.3V	PHY1 发送数据使能

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
PHY1_RXC	T12	2	3.3V	PHY1 接收时钟
PHY1_RXD0	R12	2	3.3V	PHY1 接收数据通道 0
PHY1_RXD1	T13	2	3.3V	PHY1 接收数据通道 1
PHY1_RXD2	R13	2	3.3V	PHY1 接收数据通道 2
PHY1_RXD3	T14	2	3.3V	PHY1 接收数据通道 3
PHY1_RX_DV	R14	2	3.3V	PHY1 接收数据使能
PHY2_GTCLK	T7	3	3.3V	PHY2 发送时钟
PHY2_TXD0	M6	3	3.3V	PHY2 发送数据通道 0
PHY2_TXD1	N6	3	3.3V	PHY2 发送数据通道 1
PHY2_TXD2	P6	3	3.3V	PHY2 发送数据通道 2
PHY2_TXD3	M7	3	3.3V	PHY2 发送数据通道 3
PHY2_TX_EN	P8	3	3.3V	PHY2 发送数据使能
PHY2_RXC	N7	3	3.3V	PHY2 接收时钟
PHY2_RXD0	P7	3	3.3V	PHY2 接收数据通道 0
PHY2_RXD1	R7	3	3.3V	PHY2 接收数据通道 1
PHY2_RXD2	R8	3	3.3V	PHY2 接收数据通道 2
PHY2_RXD3	T8	3	3.3V	PHY2 接收数据通道 3
PHY2_RX_DV	T9	3	3.3V	PHY2 接收数据使能

3.7 LVDS 接口

3.7.1 介绍

LVDS 接口为 2 个 2.00mm 间距的 20pin 插针，一个默认为发送接口，另一个默认为接收接口，每个接口包含 5 对差分信号，可根据实际需求改变端接电阻，从而改变发送和接收属性，如下图所示。

图 3-8 LVDS TX 接口示意图

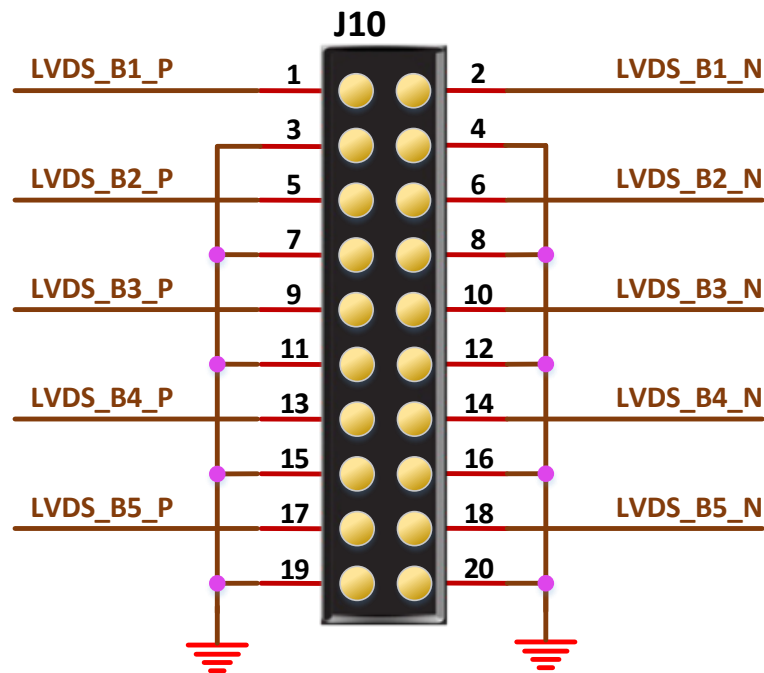
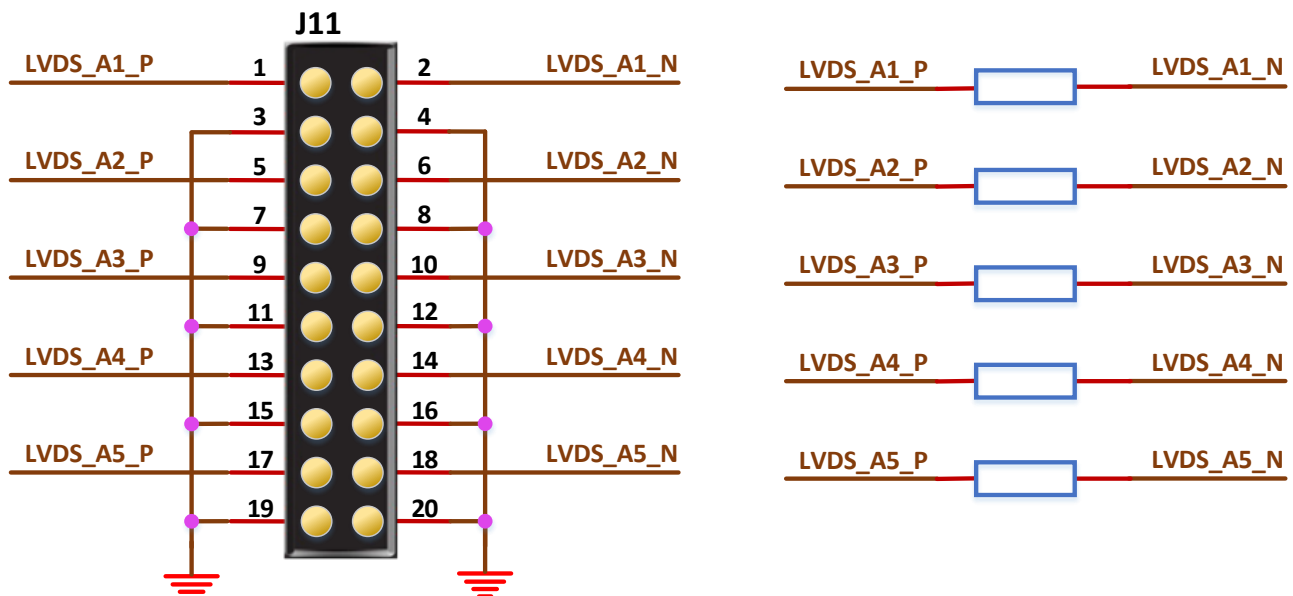


图 3-9 LVDS RX 接口示意图



3.7.2 管脚分配

表 3-7 LVDS TX 接口管脚分配

接口引脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	LVDS_B1_P	K14	1	2.5V	差分通道 1+
2	LVDS_B1_N	K15	1	2.5V	差分通道 1-
5	LVDS_B2_P	L16	1	2.5V	差分通道 2+
6	LVDS_B2_N	L14	1	2.5V	差分通道 2-
9	LVDS_B3_P	N16	1	2.5V	差分通道 3+
10	LVDS_B3_N	N14	1	2.5V	差分通道 3-
13	LVDS_B4_P	N15	1	2.5V	差分通道 4+
14	LVDS_B4_N	P16	1	2.5V	差分通道 4-
17	LVDS_B5_P	P15	1	2.5V	差分通道 5+
18	LVDS_B5_N	R16	1	2.5V	差分通道 5-

注!

对于 V2.0 版本的开发板, 使用 LVDS 功能时, 需要将 J13 设置为 2.5V。

表 3-8 LVDS RX 接口管脚分配

接口引脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	LVDS_A1_P	D16	0	2.5V	差分通道 1+
2	LVDS_A1_N	E14	0	2.5V	差分通道 1-
5	LVDS_A2_P	E16	0	2.5V	差分通道 2+
6	LVDS_A2_N	F15	0	2.5V	差分通道 2-
9	LVDS_A3_P	G16	0	2.5V	差分通道 3+
10	LVDS_A3_N	H15	0	2.5V	差分通道 3-
13	LVDS_A4_P	H14	0	2.5V	差分通道 4+
14	LVDS_A4_N	H16	0	2.5V	差分通道 4-
17	LVDS_A5_P	J15	0	2.5V	差分通道 5+
18	LVDS_A5_N	K16	0	2.5V	差分通道 5-

注!

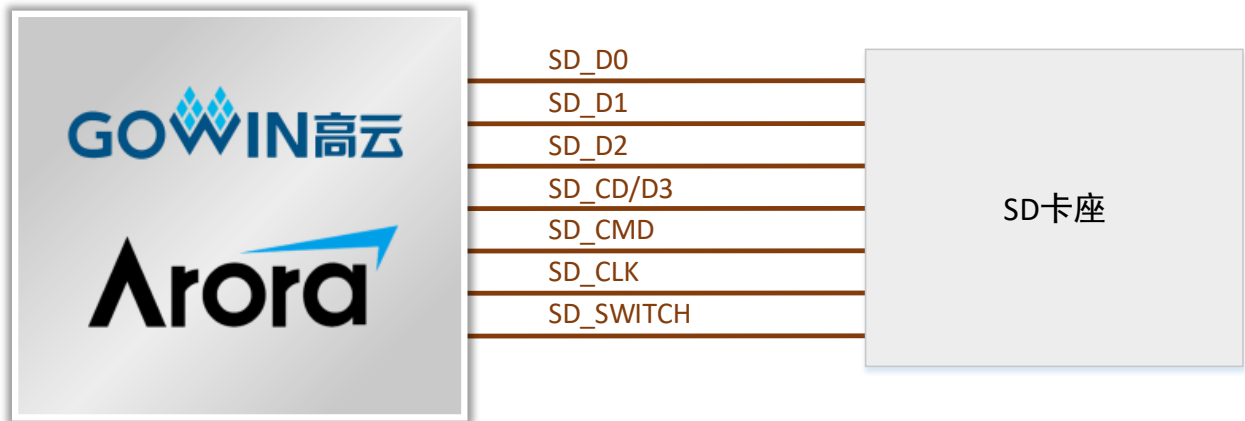
对于 V2.0 版本的开发板, 使用 LVDS 功能时, 需要将 J13 设置为 2.5V。

3.8 SD 卡模块

3.8.1 介绍

开发板上的 SD 卡座为 8 触点推-推式,带卡插入检测,连接示意图如下:

图 3-10 SD 卡模块连接示意图



3.8.2 管脚分配

表 4-3 SD 卡模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SD_D0	M8	3	3.3V	数据位 0
SD_D1	N8	3	3.3V	数据位 1
SD_D2	L9	3	3.3V	数据位 2
SD_CD/D3	N9	3	3.3V	卡检测/数据位 3
SD_CMD	P9	3	3.3V	命令/回复
SD_CLK	L8	3	3.3V	时钟
SD_SWITCH	M11	2	3.3V	插入检测

3.9 GPIO

3.9.1 介绍

为了方便用户测试,在开发板上预留 2 个 2.54mm 间距的双列插针,其中 20pin 接口连接到了 Bank7, I/O 电平可调,调整范围为 3.3V、2.5V、1.2V,如图。30pin 接口的 I/O 电平固定为 2.5V,如图所示。

图 3-11 20pin 接口示意图

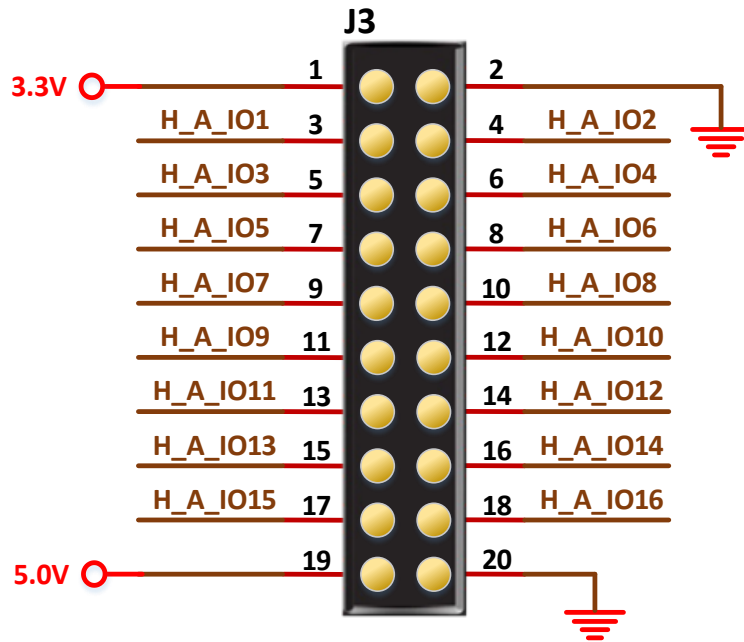
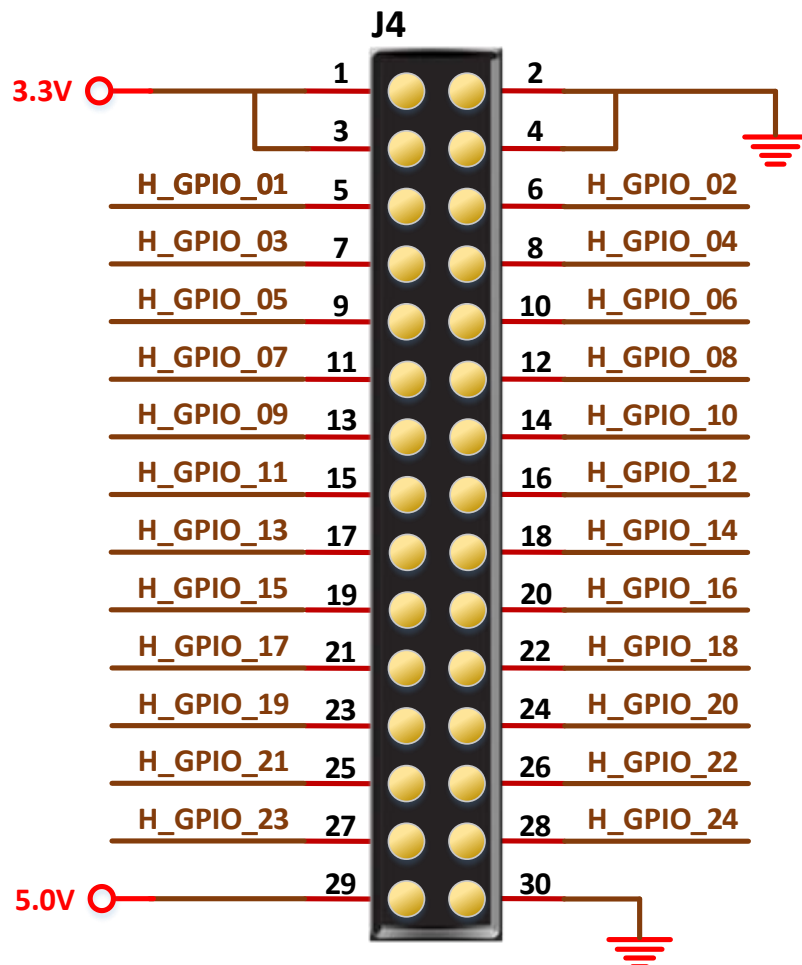


图 3-12 30pin 接口示意图



3.9.2 管脚分配

表 3-9 20pin 接口管脚分配

接口引脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
3	H_A_IO1	A15	7	3.3V / 2.5V / 1.2V	通用 I/O
4	H_A_IO2	A14	7	3.3V / 2.5V / 1.2V	通用 I/O
5	H_A_IO3	B14	7	3.3V / 2.5V / 1.2V	通用 I/O
6	H_A_IO4	B13	7	3.3V / 2.5V / 1.2V	通用 I/O
7	H_A_IO5	C12	7	3.3V / 2.5V / 1.2V	通用 I/O
8	H_A_IO6	D11	7	3.3V / 2.5V / 1.2V	通用 I/O
9	H_A_IO7	A12	7	3.3V / 2.5V / 1.2V	通用 I/O
10	H_A_IO8	B12	7	3.3V / 2.5V / 1.2V	通用 I/O
11	H_A_IO9	C11	7	3.3V / 2.5V / 1.2V	通用 I/O
12	H_A_IO10	D10	7	3.3V / 2.5V / 1.2V	通用 I/O
13	H_A_IO11	A11	7	3.3V / 2.5V / 1.2V	通用 I/O
14	H_A_IO12	B11	7	3.3V / 2.5V / 1.2V	通用 I/O
15	H_A_IO13	E10	7	3.3V / 2.5V / 1.2V	通用 I/O
16	H_A_IO14	C9	7	3.3V / 2.5V / 1.2V	通用 I/O
17	H_A_IO15	A9	7	3.3V / 2.5V / 1.2V	通用 I/O
18	H_A_IO16	F10	7	3.3V / 2.5V / 1.2V	通用 I/O

表 3-10 30pin 接口管脚分配

接口引脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
5	H_GPIO_01	M14	1	2.5V	通用 I/O
6	H_GPIO_02	K12	1	2.5V	通用 I/O
7	H_GPIO_03	J13	0	2.5V	通用 I/O
8	H_GPIO_04	H13	0	2.5V	通用 I/O
9	H_GPIO_05	G13	0	2.5V	通用 I/O
10	H_GPIO_06	L13	1	2.5V	通用 I/O
11	H_GPIO_07	L15	0	2.5V	通用 I/O
12	H_GPIO_08	M15	1	2.5V	通用 I/O
13	H_GPIO_09	J16	0	2.5V	通用 I/O
14	H_GPIO_10	L12	1	2.5V	通用 I/O
15	H_GPIO_11	K13	1	2.5V	通用 I/O
16	H_GPIO_12	K11	1	2.5V	通用 I/O
17	H_GPIO_13	J11	1	2.5V	通用 I/O
18	H_GPIO_14	J14	0	2.5V	通用 I/O
19	H_GPIO_15	J12	0	2.5V	通用 I/O
20	H_GPIO_16	G15	0	2.5V	通用 I/O

接口引脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
21	H_GPIO_17	E15	1	2.5V	通用 I/O
22	H_GPIO_18	C16	0	2.5V	通用 I/O
23	H_GPIO_19	D15	0	2.5V	通用 I/O
24	H_GPIO_20	D14	1	2.5V	通用 I/O
25	H_GPIO_21	G14	0	2.5V	通用 I/O
26	H_GPIO_22	H12	0	2.5V	通用 I/O
27	H_GPIO_23	F12	0	2.5V	通用 I/O
28	H_GPIO_24	G11	0	2.5V	通用 I/O

注!

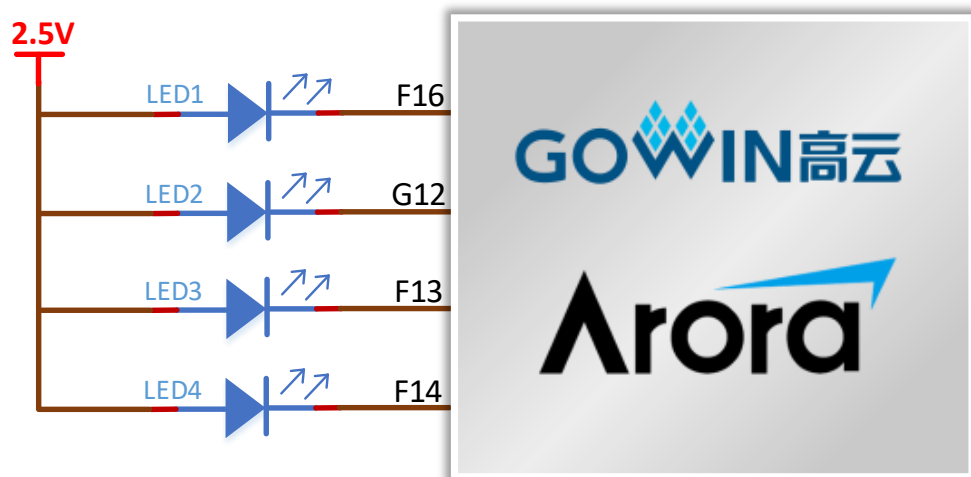
对于 V2.0 版本的开发板，BANK0 和 BANK1 的电压可通过 J13 选择 3.3V 或 2.5V。

3.10 LED 模块

3.10.1 介绍

开发板中有 4 个蓝色 LED 灯, 用户可用 LED 灯来显示所需状态。当 FPGA 对应管脚输出信号为逻辑低电平时, LED 被点亮; 当输出信号为高电平时, LED 熄灭。连接示意图如图 3-13 所示。

图 3-13 LED 连接示意图



3.10.2 管脚分配

表 3-11 LED 指示灯管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平 ¹	描述
LED1	F16	0	2.5V	LED 指示灯 1
LED2	G12	0	2.5V	LED 指示灯 2
LED3	F13	0	2.5V	LED 指示灯 3
LED4	F14	0	2.5V	LED 指示灯 4

注!

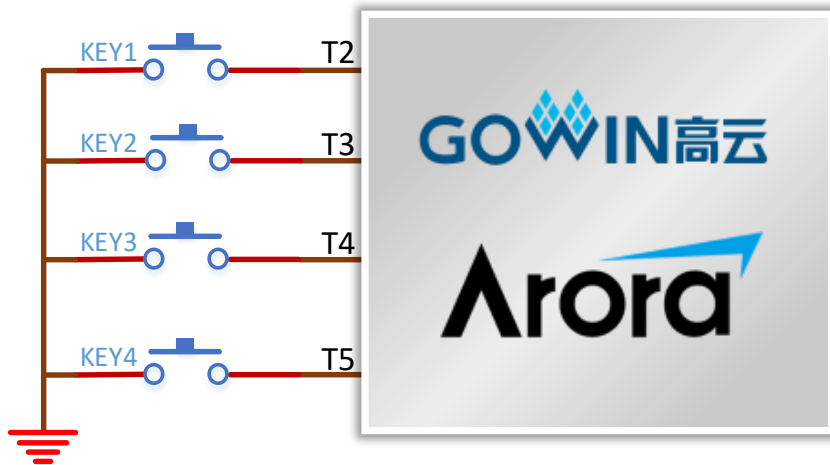
对于 V2.0 版本的开发板, BANK0 和 BANK1 的电压可通过 J13 选择 3.3V 或 2.5V。

3.11 按键模块

3.11.1 介绍

开发板中有 4 个按键开关，可用于用户测试时控制输入。连接示意图如图 3-14 所示。

图 3-14 GPIO 电路



3.11.2 管脚分配

表 3-12 按键模块管脚分配

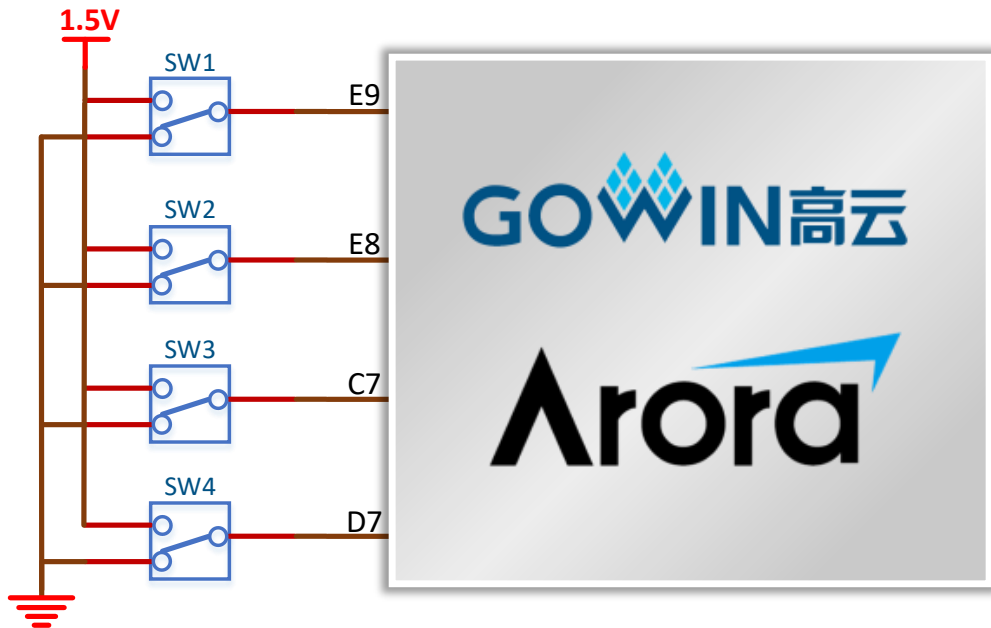
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
KEY1	T2	4	1.5V	按键 1
KEY2	T3	4	1.5V	按键 2
KEY3	T4	4	1.5V	按键 3
KEY4	T5	4	1.5V	按键 4

3.12 开关模块

3.12.1 介绍

开发板中有 4 个滑动开关，可用于用户测试时控制输入。连接示意图如下：

图 3-15 GPIO 电路



3.12.2 管脚分配

表 3-13 开关模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SW1	E9	6	1.5V	滑动开关 1
SW2	E8	6	1.5V	滑动开关 2
SW3	C7	6	1.5V	滑动开关 3
SW4	D7	6	1.5V	滑动开关 4

4 Gowin 云源软件

详细信息请参考 [SUG100, Gowin 云源软件用户手册](#)。

