



EVAL-PSRAM-GW1NR4

# 用户手册

DBUG356-1.0, 2018-11-05

## **版权所有©2018 广东高云半导体科技股份有限公司**

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

日期	版本	说明
2018/11/05	1.0	初始版本。

# 目录

目录 .....	<b>i</b>
图目录 .....	<b>iii</b>
表目录 .....	<b>iv</b>
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 适用产品 .....	1
1.3 相关文档 .....	1
1.4 术语、缩略语 .....	2
1.5 技术支持与反馈 .....	2
<b>2 开发板简介 .....</b>	<b>3</b>
2.1 概述 .....	3
2.2 开发板套件 .....	4
2.3 PCB 组件 .....	5
2.4 系统框图 .....	6
2.5 特性 .....	7
2.6 指标 .....	8
<b>3 开发板电路 .....</b>	<b>9</b>
3.1 FPGA 模块 .....	9
3.1.1 概述 .....	9
3.1.2 I/O BANK 说明 .....	10
3.2 下载 .....	12
3.2.1 概述 .....	12
3.2.2 JTAG 下载电路 .....	12
3.2.3 下载流程 .....	12
3.2.4 管脚分配 .....	12
3.3 电源 .....	12
3.3.1 概述 .....	13

---

3.3.2 电源系统分配 .....	13
3.4 时钟、复位 .....	14
3.4.1 概述 .....	14
3.4.2 时钟、复位电路 .....	14
3.4.3 管脚分配 .....	14
3.5 LED .....	15
3.5.1 概述 .....	15
3.5.2 LED 电路 .....	15
3.5.3 管脚分配 .....	15
3.6 数码管 .....	16
3.6.1 概述 .....	16
3.6.2 数码管显示电路 .....	16
3.6.3 管脚分配 .....	17
3.7 按键 .....	17
3.7.1 概述 .....	17
3.7.2 按键电路 .....	18
3.7.3 管脚分配 .....	18
3.8 GPIO .....	19
3.8.1 概述 .....	19
3.8.2 GPIO 电路 .....	19
3.8.3 管脚分配 .....	20
<b>4 开发板注意事项 .....</b>	<b>21</b>
<b>5 开发软件介绍 .....</b>	<b>22</b>

# 图目录

图 2-1 EVAL-PSRAM-GW1NR4 开发板 .....	3
图 2-2 开发板套件 .....	4
图 2-3 开发板 PCB 组件说明 .....	5
图 2-4 系统框图 .....	6
图 3-1 GW1NR 系列 FPGA 产品 I/O BANK 整体示意图 .....	10
图 3-2 GW1NR-4 器件 MG81 封装管脚分布示意图（顶视图） .....	10
图 3-3 FPGA JTAG 下载连接示意图 .....	12
图 3-4 电源系统分配示意图 .....	13
图 3-5 时钟、复位电路 .....	14
图 3-6 LED 电路 .....	15
图 3-7 数码管显示电路 .....	16
图 3-8 按键电路 .....	18
图 3-9 GPIO 电路 .....	19

# 表目录

表 1-1 术语、缩略语 .....	2
表 2-1 开发板指标 .....	8
表 3-1 GW1NR-4 系列 FPGA 产品信息列表 .....	9
表 3-2 FPGA I/O 管脚分布 .....	11
表 3-3 FPGA 下载管脚分配 .....	12
表 3-4 FPGA 时钟与复位管脚分配 .....	14
表 3-5 LED 管脚分配 .....	15
表 3-6 数码管管脚分配 .....	17
表 3-7 按键电路管脚分配 .....	18
表 3-8 GPIO 管脚分配 .....	20

# 1 关于本手册

## 1.1 手册内容

EVAL-PSRAM-GW1NR4 用户手册分为四个部分：

1. 简述开发板的功能特点和硬件资源；
2. 介绍开发板上的各部分硬件电路的功能、电路及管脚分配；
3. 开发板使用注意事项；
4. 介绍 FPGA 开发软件的使用方法。

## 1.2 适用产品

本手册中所述信息可适用于 GW1NR 系列 FPGA 产品：GW1NR-4。

## 1.3 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

1. GW1NR 系列 FPGA 产品数据手册
2. GW1NR 系列 FPGA 产品封装与管脚手册
3. GW1NR-4 器件 Pinout 手册
4. Gowin FPGA 产品编程配置手册
5. Gowin 云源软件用户手册



## 1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

**表 1-1 术语、缩略语**

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
LED	Light Emitting Diode	发光二极管
LDO	Low Dropout Regulator	低压差线性稳压器
GPIO	General Purpose Input Output	通用输入/输出
LUT4	4-input Look-up Table	4 输入查找表
S-SRAM	Shadow SRAM	分布式静态随机存储器
B-SRAM	Block SRAM	块状静态随机存储器
PLL	Phase-locked Loop	锁相环
DLL	Delay-locked Loop	延迟锁相环
DSP	Digital Signal Processing	数字信号处理
MG81	MBGA81	MBGA81 封装

## 1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

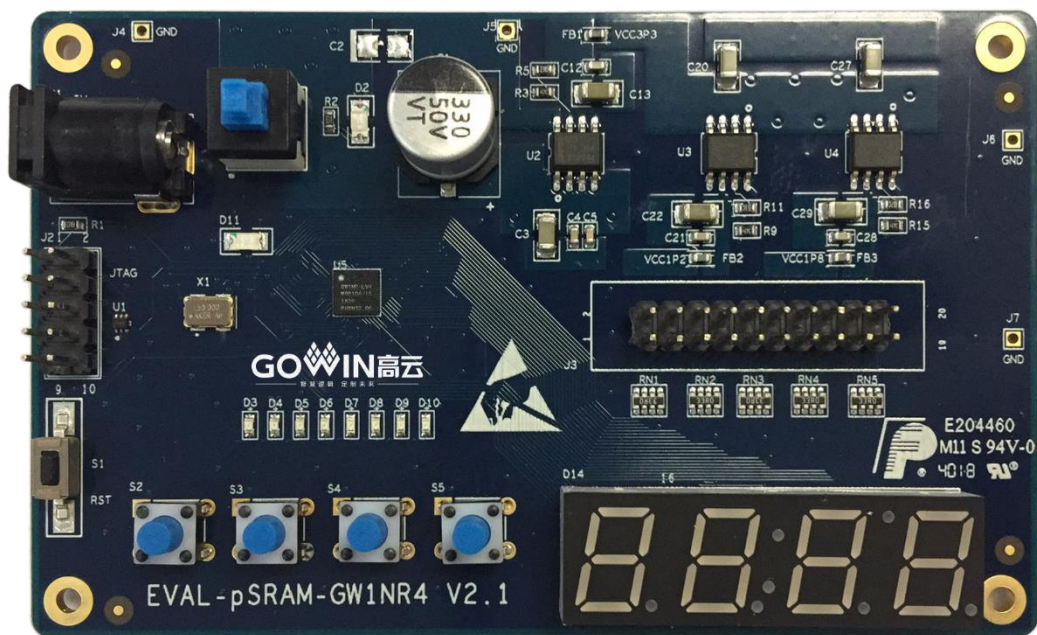
E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 开发板简介

## 2.1 概述

图 2-1 EVAL-PSRAM-GW1NR4 开发板



开发板采用高云半导体 GW1NR-4 FPGA 器件，高云半导体 GW1NR 系列 FPGA 产品是高云半导体小蜜蜂®(LittleBee®)家族第一代产品，是一款系统级封装芯片，在 GW1N 基础上集成了丰富容量的 PSRAM 存储芯片，同时具有低功耗、瞬时启动、低成本、非易失性、高安全性、封装类型丰富、使用方便灵活等特点。

开发板上集成了 JTAG 下载接口、GPIO 接口、按键开关、时钟、LED、显示数码管等资源,可供开发人员或爱好者学习使用。

## 2.2 开发板套件

开发板套件包括:

- EVAL-PSRAM-GW1R4 开发板
- 5V 电源（220V 输入，DC 5V 2A 输出）
- 快速应用手册

图 2-2 开发板套件

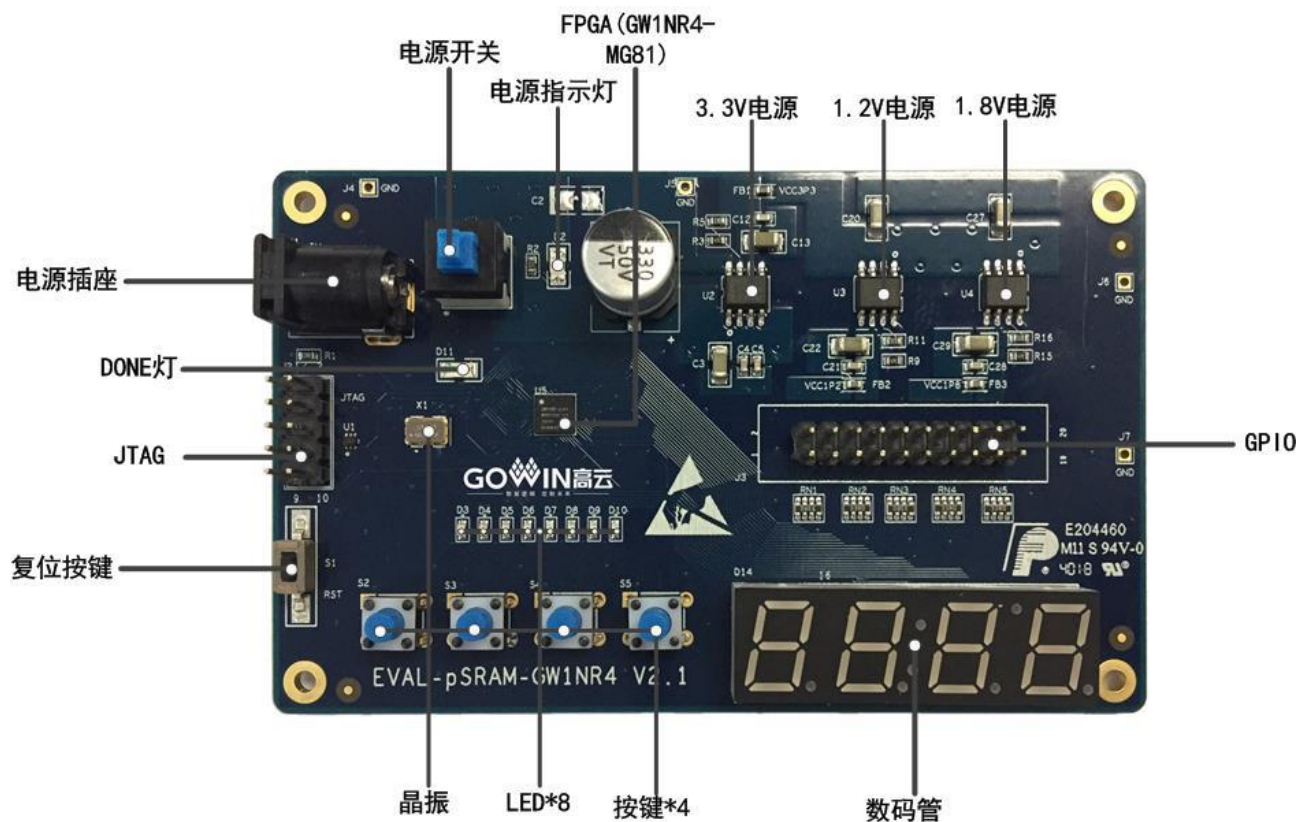


- ① 高云EVAL-pSRAM-GW1NR4 开发板
- ② 5V电源  
INPUT:100-240V~50/60Hz 0.5A  
OUTPUT:DC 5V 2A
- ③ 快速应用手册

- ① EVAL-PSRAM-GW1NR4开发板
- ② 5V电源
- ③ 快速应用手册

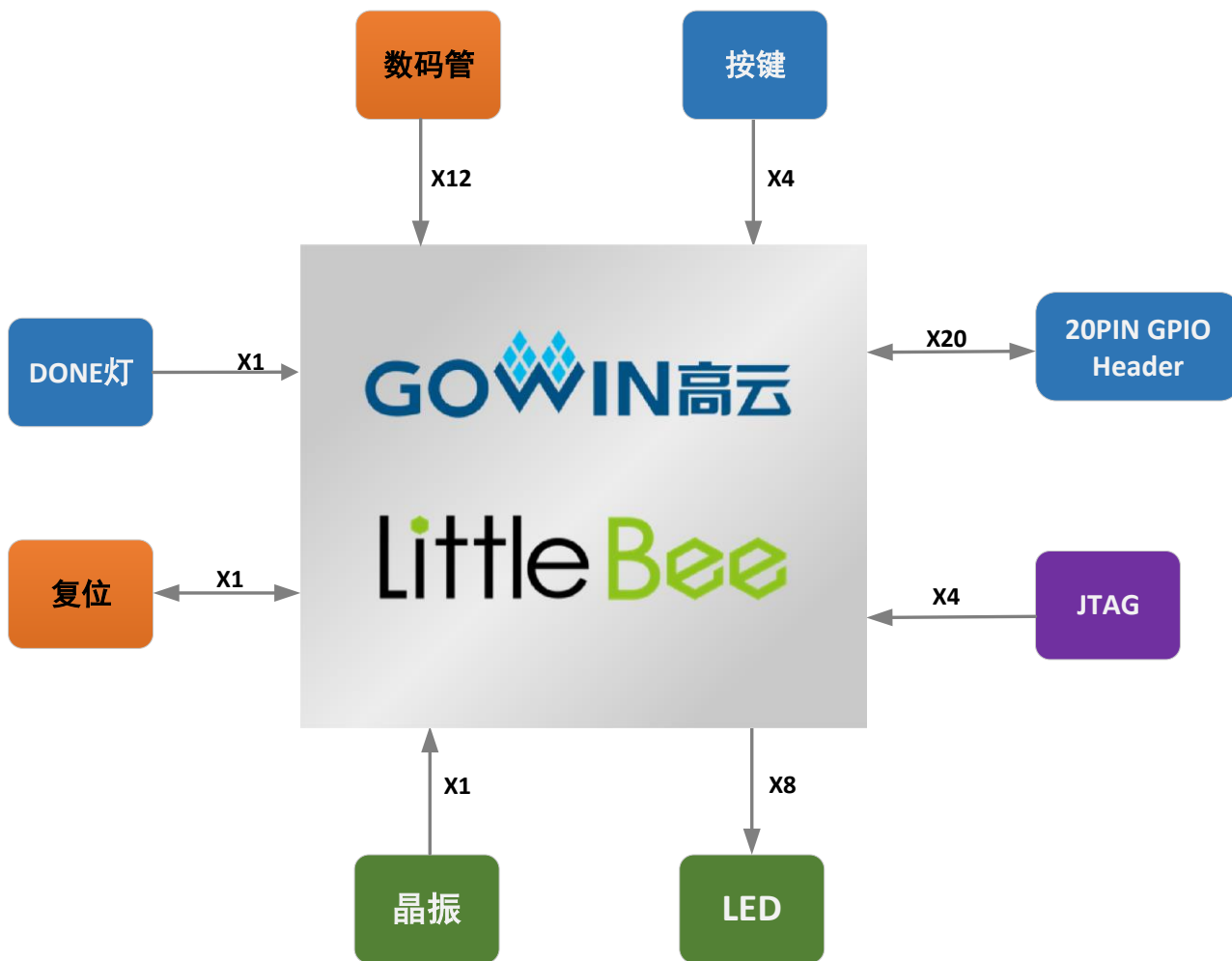
## 2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



## 2.4 系统框图

图 2-4 系统框图



## 2.5 特性

开发板组成结构及特性如下：

### 1. FPGA

- 采用 MBGA81 封装
- 多达 68 个用户 I/O
- 内嵌 Flash，掉电不易丢失
- 内嵌两片 64M 的 PSRAM
- 丰富的 LUT4 资源
- 多种模式、容量丰富的 B-SRAM
- 支持 LV 版本和 UV 版本

### 2. FPGA 配置模式

- JTAG
- AUTO BOOT
- DUAL BOOT

### 3. 时钟资源

50MHz 时钟晶振

### 4. 按键

- 1 个复位按键
- 4 个按键开关

### 5. LED

- 1 个电源指示灯（蓝）
- 1 个 DONE 指示灯（蓝）
- 8 个 LED（绿）

### 6. 存储设备

1Mbit 内嵌 Flash

### 7. GPIO

20 个 I/O 资源

### 8. LDO 电源

- 具有电压反向保护、过流保护功能
- 提供 5V、3.3V、1.8V、1.2V 电源

## 2.6 指标

表 2-1 开发板指标

序号	项目	功能描述	技术条件	备注
1	FPGA	开发板核心芯片	—	—
2	下载	支持 JTAG、AUTOBOOT	板上集成 JTAG 下载接口	—
3	电源	提供 DC5V 输入，通过 LDO 电路输出 3.3V、1.8V、1.2V 电源	<ul style="list-style-type: none"> <li>● 输入电源为 5V；</li> <li>● 5V 转 3.3V 电路为 FPGA、下载电路及其他电路提供电源；</li> <li>● 5V 转 1.8V 电路为 FPGA 提供电源；</li> <li>● 3.3V 转 1.2V 电路给 FPGA 提供电源</li> </ul>	—
4	按键开关	可供用户测试使用	4 个	—
5	复位按键	为 FPGA 提供复位	1 个	—
6	LED	测试指示、DONE 指示、电源指示	<ul style="list-style-type: none"> <li>● 测试指示灯 8 个，绿色；</li> <li>● DONE 指示灯 1 个，蓝色；</li> <li>● 电源指示灯 1 个，蓝色。</li> </ul>	—
7	数码管	测试指示	TDCR1050M	—
8	晶振	为 FPGA 提供 50MHz 时钟	封装 5032	—
9	GPIO	I/O，方便用户进行扩展和测试	20 个	—
10	保护	JTAG 接口有 ESD 保护、电源接口具有反向保护功能、电流过流保护	<ul style="list-style-type: none"> <li>● JTAG 接口 ESD 保护：±15kV 非接触放电，±8kV 接触放电；</li> <li>● 电源接口正负极间方向接有肖特基二极管；</li> <li>● 电源入口接有耐 2A 的自恢复保险丝。</li> </ul>	—
11	电压	—	输入电压 5V	—
12	湿度	—	95%	—
13	温度	—	工作范围-20°~70°	—

# 3 开发板电路

## 3.1 FPGA 模块

### 3.1.1 概述

GW1NR4 系列 FPGA 产品资源信息如表 3-1 所示。

表 3-1 GW1NR-4 系列 FPGA 产品信息列表

器件	GW1NR-4
逻辑单元(LUT4)	4,608
寄存器(FF)	3,456
块状静态随机存储器 B-SRAM(bits)	180K
块状静态随机存储器数目 B-SRAM(个)	10
用户闪存(bits)	256K
PSRAM(bits)	64M
乘法器(18 x 18 Multiplier)	16
锁相环(PLLs+DLLs)	2+2
I/O Bank 总数	4
最多用户 I/O <sup>1</sup>	70
核电压 (LV 版本)	1.2V
供电电压 (UV 版本)	2.5V/3.3V

注!

详细信息请参考 [《GW1NS 系列 FPGA 产品数据手册》](#)。



### 3.1.2 I/O BANK 说明

GW1NR 系列 FPGA 产品分为四个 I/O BANK 区，图 3-1 为 GW1NR 系列 FPGA 产品的 I/O BANK 整体示意图。

图 3-1 GW1NR 系列 FPGA 产品 I/O BANK 整体示意图

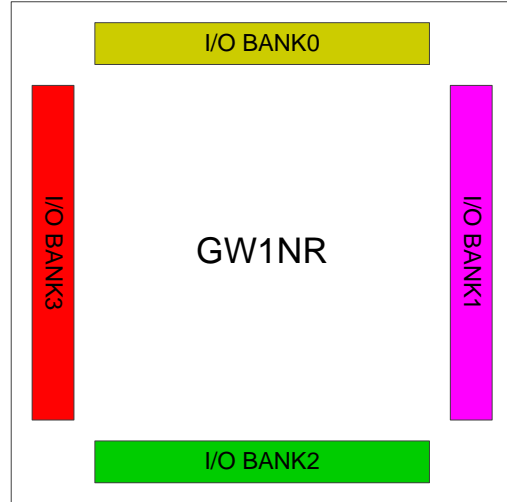


图 3-2 GW1NR-4 器件 MG81 封装管脚分布示意图（顶视图）



表 3-2 FPGA I/O 管脚分布

I/O BANK 序号	连接的模块
I/O BANK0	MODE 数码管 LED
I/O BANK1	GPIO
I/O BANK2	按键开关 LED 数码管 50MHz 时钟输入 复位
I/O BANK3	GPIO 接口 JTAG 下载

## 3.2 下载

### 3.2.1 概述

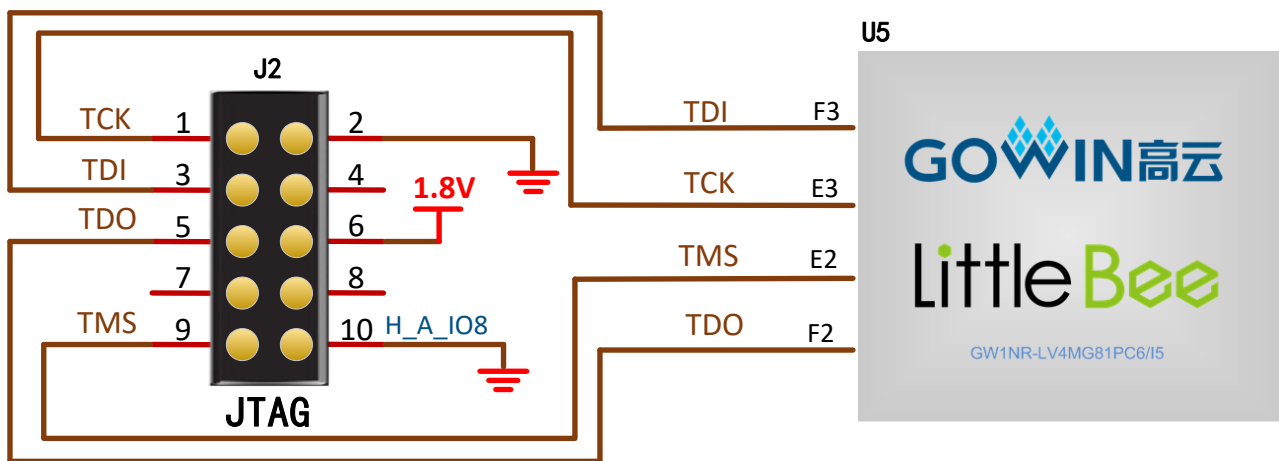
开发板提供 JTAG 下载接口。下载时可根据需要下载至片内 SRAM、内部 Flash。

注！

- 下载至 SRAM 时，当器件掉电后数据流文件会丢失，重新上电需再次下载数据流文件；
- 下载至 Flash 后，掉电后数据流文件不会丢失。

### 3.2.2 JTAG 下载电路

图 3-3 FPGA JTAG 下载连接示意图



### 3.2.3 下载流程

FPGA 下载模式：

对 FPGA 下载时将高云下载线一端插在开发板的 JTAG 接口（J2），另一端接在 PC。

### 3.2.4 管脚分配

表 3-3 FPGA 下载管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
TDI	F3	3	JTAG 信号	3.3V
TCK	E3	3	JTAG 信号	3.3V
TMS	E2	3	JTAG 信号	3.3V
TDO	F3	3	JTAG 信号	3.3V

## 3.3 电源

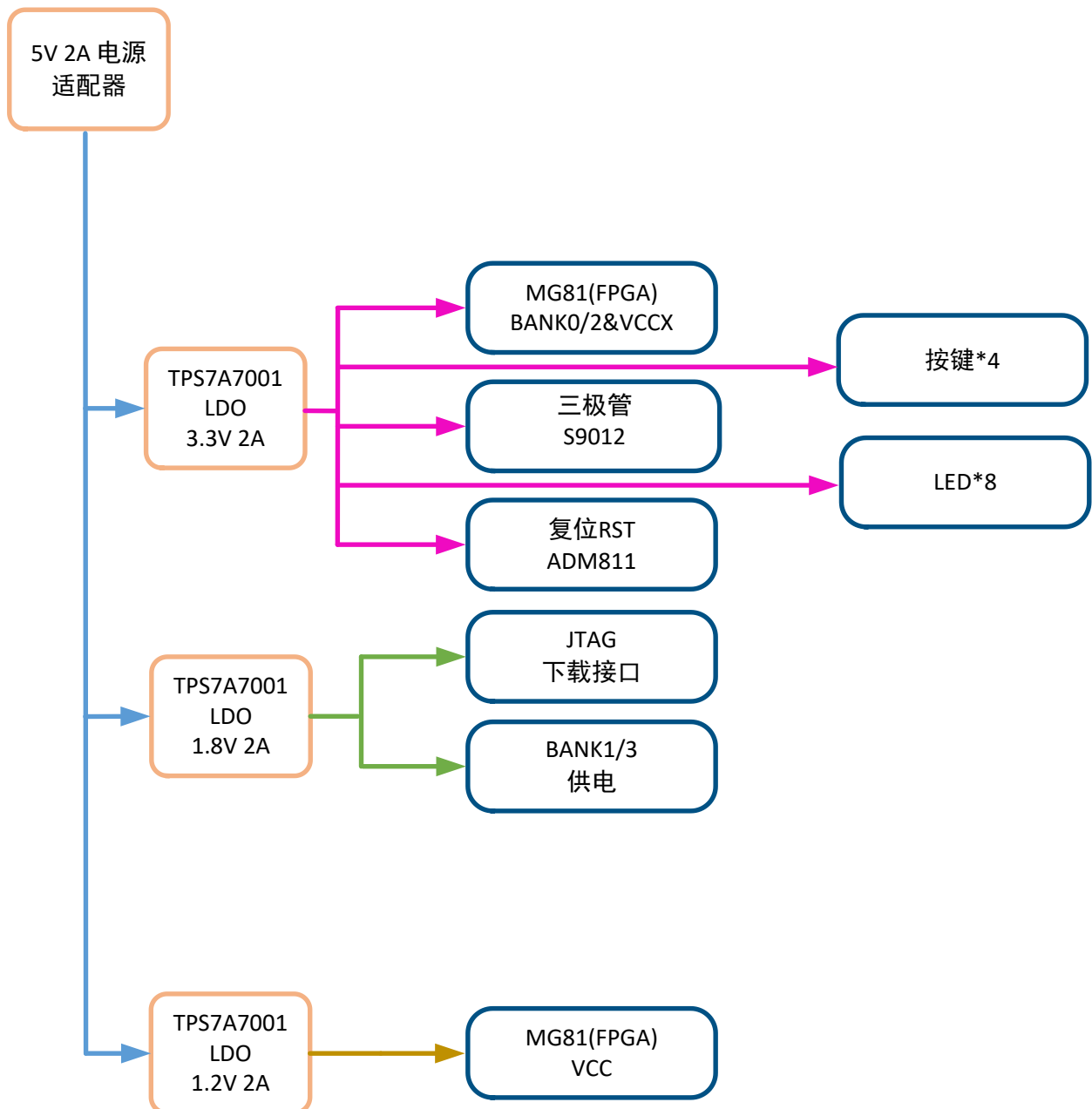
### 3.3.1 概述

电源 DC5V 输入，同时接口具有过流保护和反向保护功能，过流保护电流 2A。

采用 TI 的 LDO 电源芯片，实现由 5V 到 3.3V、1.8V、1.2V 的变换，供电电流可达 2A，输入电压为 5V，可满足开发板的电源需求。

### 3.3.2 电源系统分配

图 3-4 电源系统分配示意图



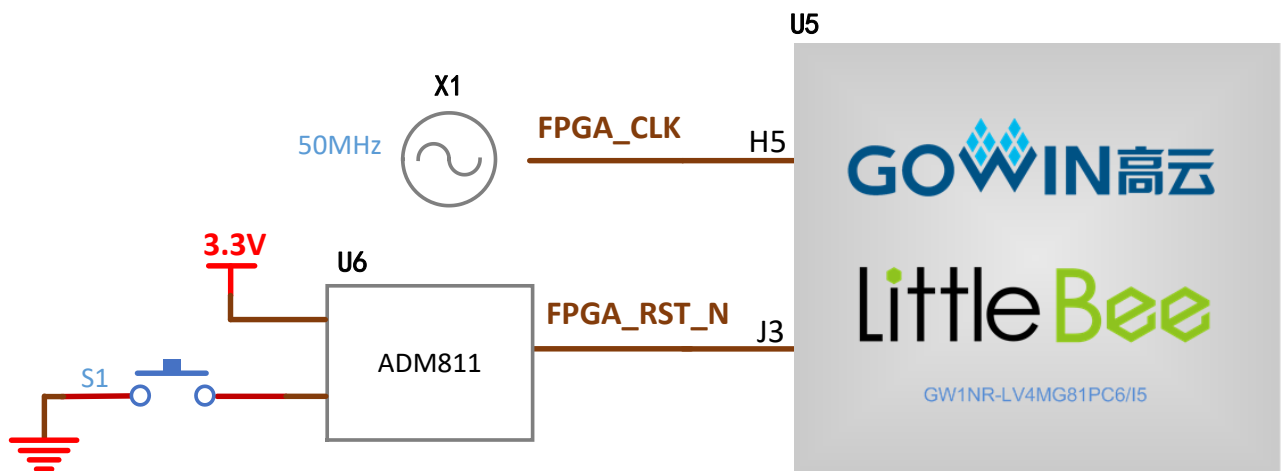
## 3.4 时钟、复位

### 3.4.1 概述

开发板提供了一个 50MHz 晶振，连接到 GCLK 输入管脚，可作为 FPGA 全局时钟的输入，通过 PLL 的分倍频可以输出用户所需的时钟。

### 3.4.2 时钟、复位电路

图 3-5 时钟、复位电路



### 3.4.3 管脚分配

表 3-4 FPGA 时钟与复位管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
FPGA_CLK	H5	2	50MHz 有源晶振输入	3.3V
FPGA_RST2_N	J3	2	复位信号，低有效	3.3V

## 3.5 LED

### 3.5.1 概述

开发板中有 8 个绿色 LED 灯，用户可通过 LED 灯显示所需状态。同时为了便于观察电源情况和 FPGA 加载情况，亦分别各留一个 LED 灯。

可通过以下方式对 LED 灯进行测试：

- 当 FPGA 对应管脚输出信号为逻辑低电平时，LED 被点亮；
- 当输出信号为高电平时，LED 熄灭。

### 3.5.2 LED 电路

图 3-6 LED 电路



### 3.5.3 管脚分配

表 3-5 LED 管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
F_LED1	G6	2	LED 指示灯 1	3.3V
F_LED2	G7	2	LED 指示灯 2	3.3V
F_LED3	H8	2	LED 指示灯 3	3.3V
F_LED4	C6	0	LED 指示灯 4	3.3V
F_LED5	A7	0	LED 指示灯 5	3.3V
F_LED6	A6	0	LED 指示灯 6	3.3V
F_LED7	B6	0	LED 指示灯 7	3.3V
F_LED8	B5	0	LED 指示灯 8	3.3V

## 3.6 数码管

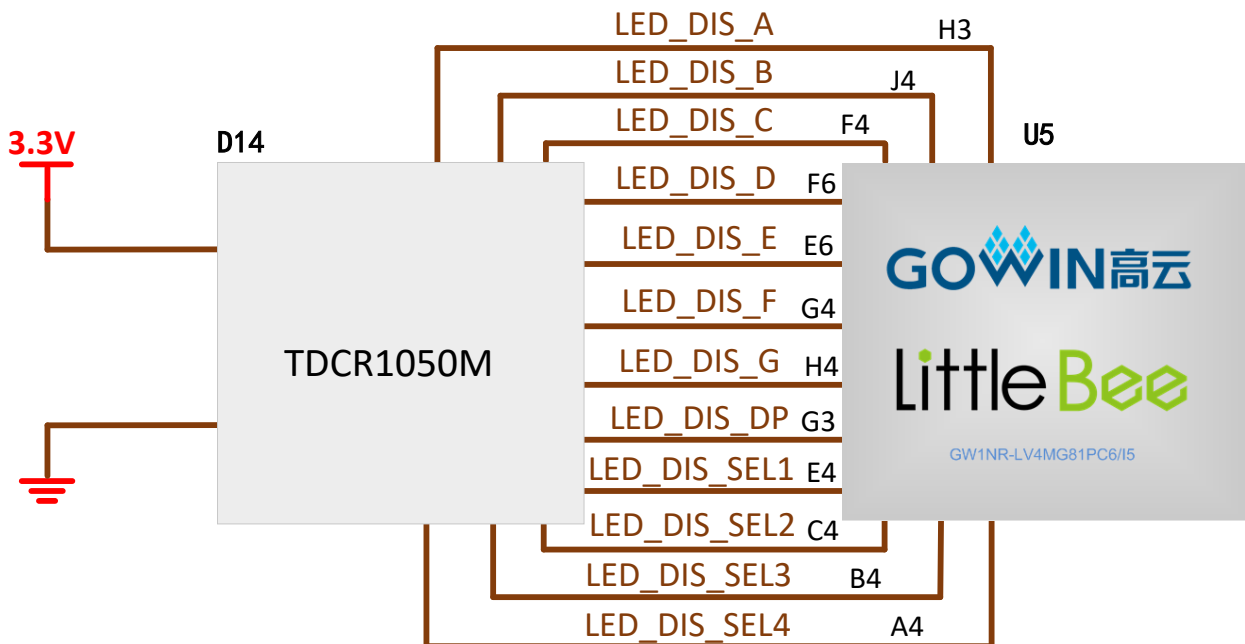
### 3.6.1 概述

开发板中有 1 个 TDCR1050M 数码管显示，用户可通过 TDCR1050M 数码管显示对开发板进行读写测试，并在 TDCR1050M 数码管显示屏上显示信息。

- 当 FPGA 对应管脚输出信号为逻辑低电平时，TDCR1050M 数码管对应的位选和段选有效；
- 当输出信号为高电平时，TDCR1050M 数码管熄灭。

### 3.6.2 数码管显示电路

图 3-7 数码管显示电路



### 3.6.3 管脚分配

表 3-6 数码管管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
LED_DIS_A	H3	2	数码管显示段选 A	3.3V
LED_DIS_B	J4	2	数码管显示段选 B	3.3V
LED_DIS_C	F4	2	数码管显示段选 C	3.3V
LED_DIS_D	F6	2	数码管显示段选 D	3.3V
LED_DIS_E	E6	2	数码管显示段选 E	3.3V
LED_DIS_F	G4	2	数码管显示段选 F	3.3V
LED_DIS_G	H4	2	数码管显示段选 G	3.3V
LED_DIS_DP	G3	2	数码管显示段选 DP	3.3V
LED_DIS_SEL1	E4	2	数码管显示位选 1	3.3V
LED_DIS_SEL2	C4	0	数码管显示位选 2	3.3V
LED_DIS_SEL3	B4	0	数码管显示位选 3	3.3V
LED_DIS_SEL4	A4	0	数码管显示位选 4	3.3V

## 3.7 按键

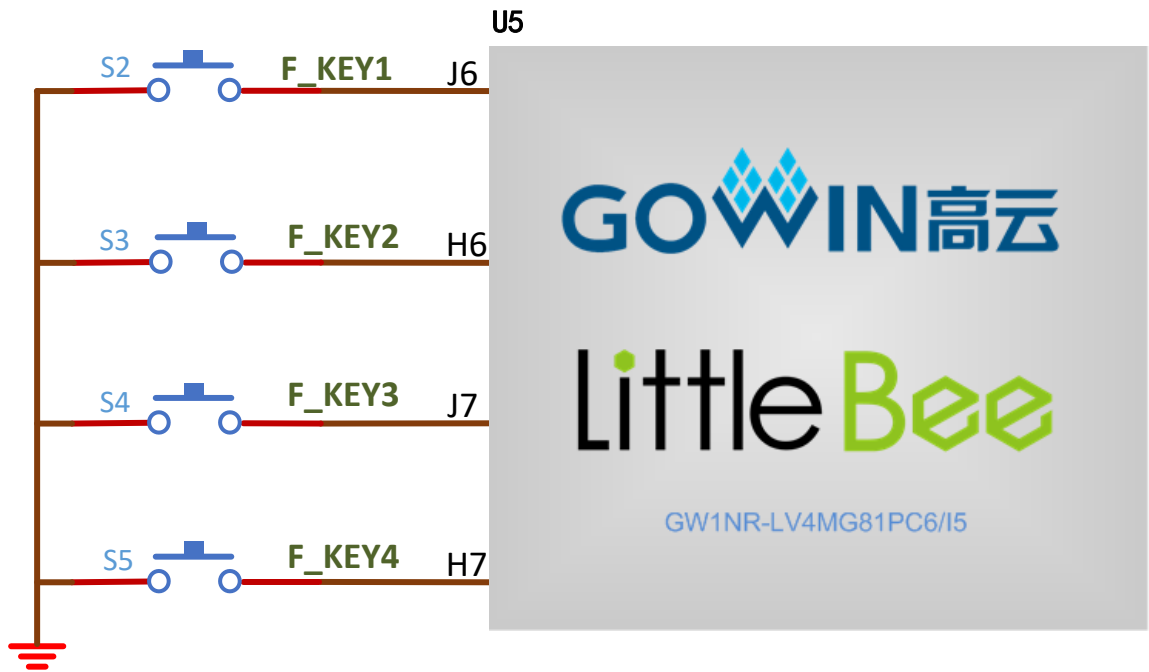
### 3.7.1 概述

开发板有 4 个按键开关，用户可通过手动控制向对应 FPGA 管脚输入低电平，可作为测试控制输入使用。



### 3.7.2 按键电路

图 3-8 按键电路



### 3.7.3 管脚分配

表 3-7 按键电路管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
F_KEY1	J6	2	按键 1	3.3V
F_KEY2	H6	2	按键 2	3.3V
F_KEY3	J7	2	按键 3	3.3V
F_KEY4	H7	2	按键 4	3.3V

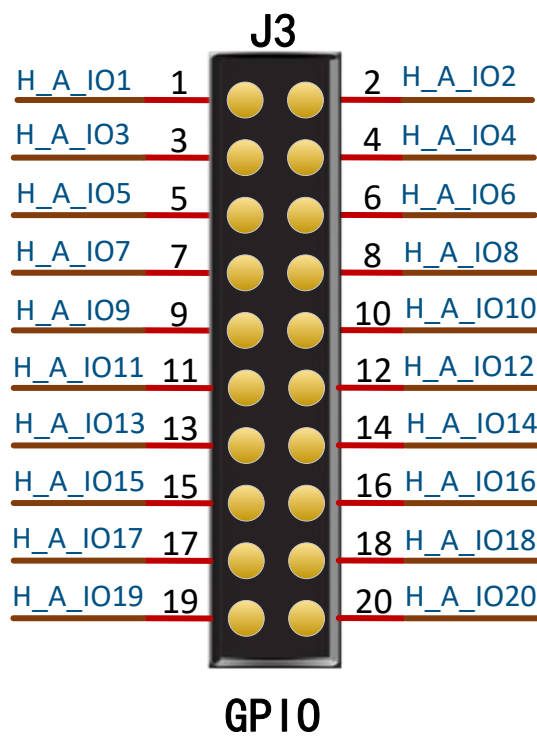
## 3.8 GPIO

### 3.8.1 概述

为方便用户功能扩展和测试，在开发板上预留 1 个 2.54mm 间距的 DC3-20P 插座。

### 3.8.2 GPIO 电路

图 3-9 GPIO 电路



### 3.8.3 管脚分配

表 3-8 GPIO 管脚分配

信号名称	FPGA 管脚序号	20P 插座管脚号	BANK	描述	I/O 电平
H_A_IO1	H1	1	3	通用 I/O	1.8V
H_A_IO2	G1	2	3	通用 I/O	1.8V
H_A_IO3	F1	3	3	通用 I/O	1.8V
H_A_IO4	D1	4	3	通用 I/O	1.8V
H_A_IO5	C1	5	3	通用 I/O	1.8V
H_A_IO6	C2	6	3	通用 I/O	1.8V
H_A_IO7	A3	7	0	通用 I/O	3.3V
H_A_IO8	B9	8	1	通用 I/O	1.8V
H_A_IO9	B8	9	1	通用 I/O	1.8V
H_A_IO10	C9	10	1	通用 I/O	1.8V
H_A_IO11	C8	11	1	通用 I/O	1.8V
H_A_IO12	B7	12	1	通用 I/O	1.8V
H_A_IO13	D9	13	1	通用 I/O	1.8V
H_A_IO14	D8	14	1	通用 I/O	1.8V
H_A_IO15	E8	15	1	通用 I/O	1.8V
H_A_IO16	F9	16	1	通用 I/O	1.8V
H_A_IO17	F8	17	1	通用 I/O	1.8V
H_A_IO18	G9	18	1	通用 I/O	1.8V
H_A_IO19	G8	19	1	通用 I/O	1.8V
H_A_IO20	H9	20	1	通用 I/O	1.8V

# 4 开发板注意事项

## 开发板使用注意事项:

1. 开发板使用时，注意轻拿轻放，并做好静电防护；
2. 电源 DC5V 插座输入；
3. 下载 bitstream 文件到 FPGA，需用高云下载线进行下载，下载线一端接开发板的 JTAG 下载接口（J2），另一端接 PC。

# 5 开发软件介绍

详细资料请参考 《Gowin 云源软件用户手册》。

