



DK-START-GW1NZ1

# 用户手册

DBUG357-1.1, 2019-04-12

## **版权所有©2019 广东高云半导体科技股份有限公司**

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

日期	版本	说明
2018/12/13	1.0	初始版本。
2019/04/12	1.1	1. 修改 I/O Bank 示意图; 2. 增加 GPIO 使用注意事项。

# 目录

目录 .....	<b>i</b>
图目录 .....	<b>iii</b>
表目录 .....	<b>iv</b>
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 适用产品 .....	1
1.3 相关文档 .....	1
1.4 术语、缩略语 .....	2
1.5 技术支持与反馈 .....	2
<b>2 开发板简介 .....</b>	<b>3</b>
2.1 概述 .....	3
2.2 开发板套件 .....	4
2.3 PCB 组件 .....	5
2.4 系统框图 .....	6
2.5 特性 .....	7
2.6 指标 .....	8
<b>3 开发板电路 .....</b>	<b>9</b>
3.1 FPGA 模块 .....	9
3.1.1 概述 .....	9
3.1.2 I/O BANK 说明 .....	10
3.2 下载 .....	12
3.2.1 概述 .....	12
3.2.2 USB 下载电路 .....	12
3.2.3 下载流程 .....	12
3.2.4 管脚分配 .....	12
3.3 电源 .....	13
3.3.1 概述 .....	13

---

3.3.2 电源系统分配 .....	13
3.4 时钟、复位 .....	14
3.4.1 概述 .....	14
3.4.2 时钟、复位电路 .....	14
3.4.3 管脚分配 .....	14
3.5 LED .....	15
3.5.1 概述 .....	15
3.5.2 LED 电路 .....	15
3.5.3 管脚分配 .....	15
3.6 按键 .....	15
3.6.1 概述 .....	15
3.6.2 按键电路 .....	16
3.6.3 管脚分配 .....	16
3.7 GPIO .....	16
3.7.1 概述 .....	16
3.7.2 GPIO 电路 .....	17
3.7.3 管脚分配 .....	17
3.8 LVDS .....	18
3.8.1 概述 .....	18
3.8.2 LVDS 电路 .....	18
3.8.3 管脚分配 .....	19
<b>4 开发板注意事项 .....</b>	<b>20</b>
<b>5 开发软件介绍 .....</b>	<b>21</b>

# 图目录

图 2-1 DK-START-GW1NZ1 开发板 .....	3
图 2-2 开发板套件 .....	4
图 2-3 开发板 PCB 组件说明 .....	5
图 2-4 系统框图 .....	6
图 3-1 GW1NZ 系列 FPGA 产品 I/O BANK 整体示意图 .....	10
图 3-2 GW1NZ-1 器件 FN32 封装管脚分布示意图（顶视图） .....	11
图 3-3 FPGA USB 下载连接示意图 .....	12
图 3-4 电源系统分配示意图 .....	13
图 3-5 时钟、复位电路 .....	14
图 3-6 LED 电路 .....	15
图 3-7 按键电路 .....	16
图 3-8 GPIO 电路 .....	17
图 3-9 LVDS 电路 .....	18

# 表目录

表 1-1 术语、缩略语 .....	2
表 2-1 开发板指标.....	8
表 3-1 GW1NZ-1 系列 FPGA 产品信息列表.....	9
表 3-2 FPGA I/O 管脚分布.....	11
表 3-3 FPGA 下载管脚分配.....	12
表 3-4 FPGA 时钟与复位管脚分配.....	14
表 3-5 LED 管脚分配.....	15
表 3-6 按键电路管脚分配.....	16
表 3-7 GPIO 管脚分配.....	17
表 3-8 LVDS 管脚分配.....	19

# 1 关于本手册

## 1.1 手册内容

DK-START-GW1NZ1 用户手册分为四个部分：

1. 简述开发板的功能特点和硬件资源；
2. 介绍开发板上的各部分硬件电路的功能、电路及管脚分配；
3. 开发板使用注意事项；
4. 介绍 FPGA 开发软件的使用方法。

## 1.2 适用产品

本手册中所述信息可适用于 GW1NZ 系列 FPGA 产品：GW1NZ-1。

## 1.3 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

1. GW1NZ 系列 FPGA 产品数据手册
2. GW1NZ 系列 FPGA 产品封装与管脚手册
3. GW1NZ-1 器件 Pinout 手册
4. Gowin FPGA 产品编程配置手册
5. Gowin 云源软件用户手册



## 1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

**表 1-1 术语、缩略语**

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
LED	Light Emitting Diode	发光二极管
GPIO	General Purpose Input Output	通用输入/输出
LUT4	4-input Look-up Table	4 输入查找表
S-SRAM	Shadow SRAM	分布式静态随机存储器
B-SRAM	Block SRAM	块状静态随机存储器
PLL	Phase-locked Loop	锁相环
LVDS	Low-Voltage Differential Signaling	低电压差分信号
DSP	Digital Signal Processing	数字信号处理
SPMI	System Power Management Interface	系统电源管理接口
FN32	QFN32	QFN32 封装

## 1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

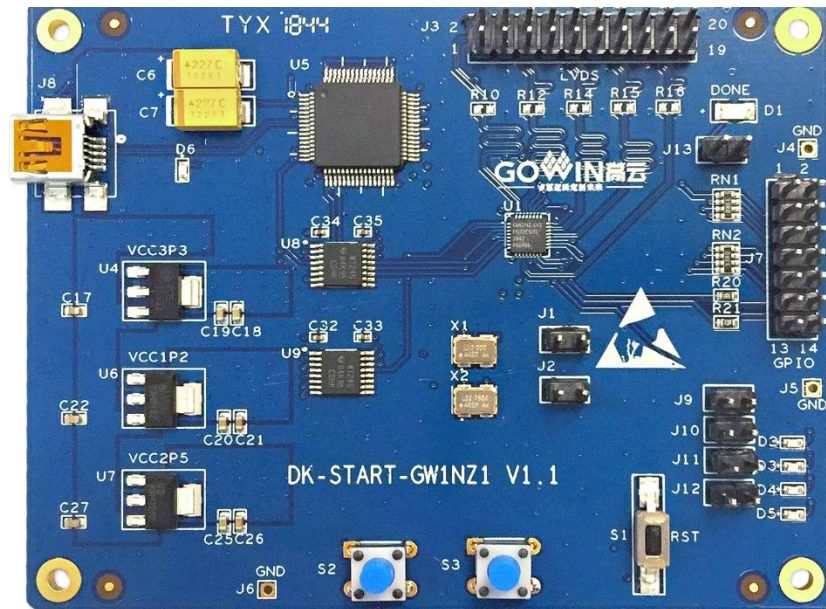
E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 开发板简介

## 2.1 概述

图 2-1 DK-START-GW1NZ1 开发板



开发板采用高云半导体 GW1NZ-1 FPGA 器件，高云半导体 GW1NZ 系列 FPGA 产品是高云半导体小蜜蜂®(LittleBee®)家族第一代低功耗产品，具有低功耗、低成本、瞬时启动、非易失性、高安全性、封装类型丰富、使用方便灵活等特点，可广泛应用于通信、工业控制、消费类、视频监控等领域。

高云半导体提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 GW1NZ 系列 FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

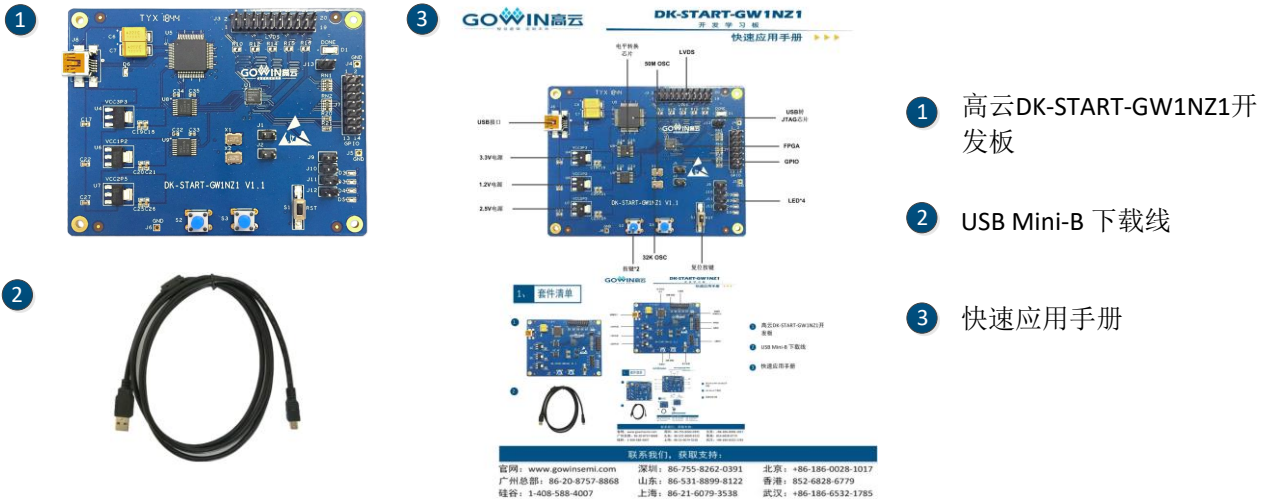
开发板上集成了 USB 下载接口、GPIO 接口、LVDS 接口、按键开关、时钟、LED 等资源,可供开发人员或爱好者学习使用。

## 2.2 开发板套件

开发板套件包括:

- DK-START-GW1NZ1 开发板
- USB 数据线
- 快速应用手册

图 2-2 开发板套件

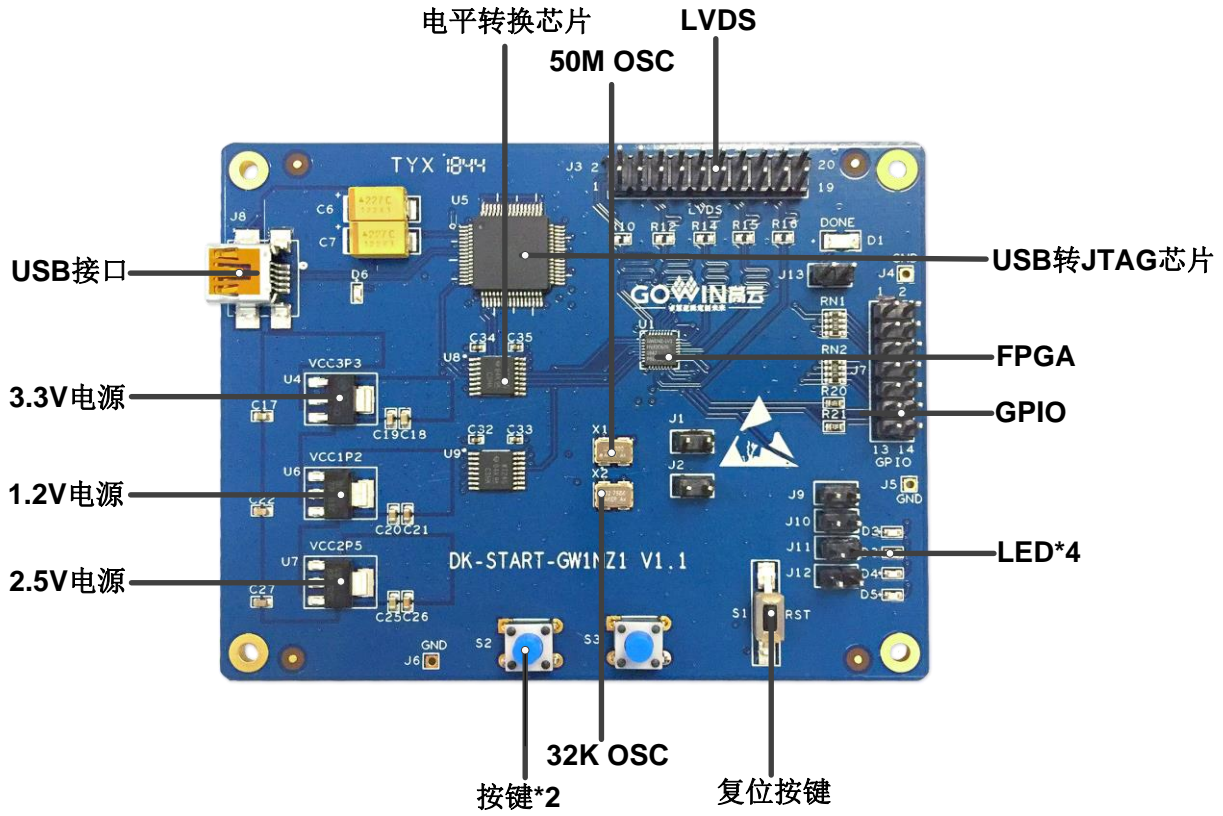


- ① 高云DK-START-GW1NZ1开发板
- ② USB Mini-B 下载线
- ③ 快速应用手册

- ① DK-START-GW1NZ1开发板
- ② USB数据线
- ③ 快速应用手册

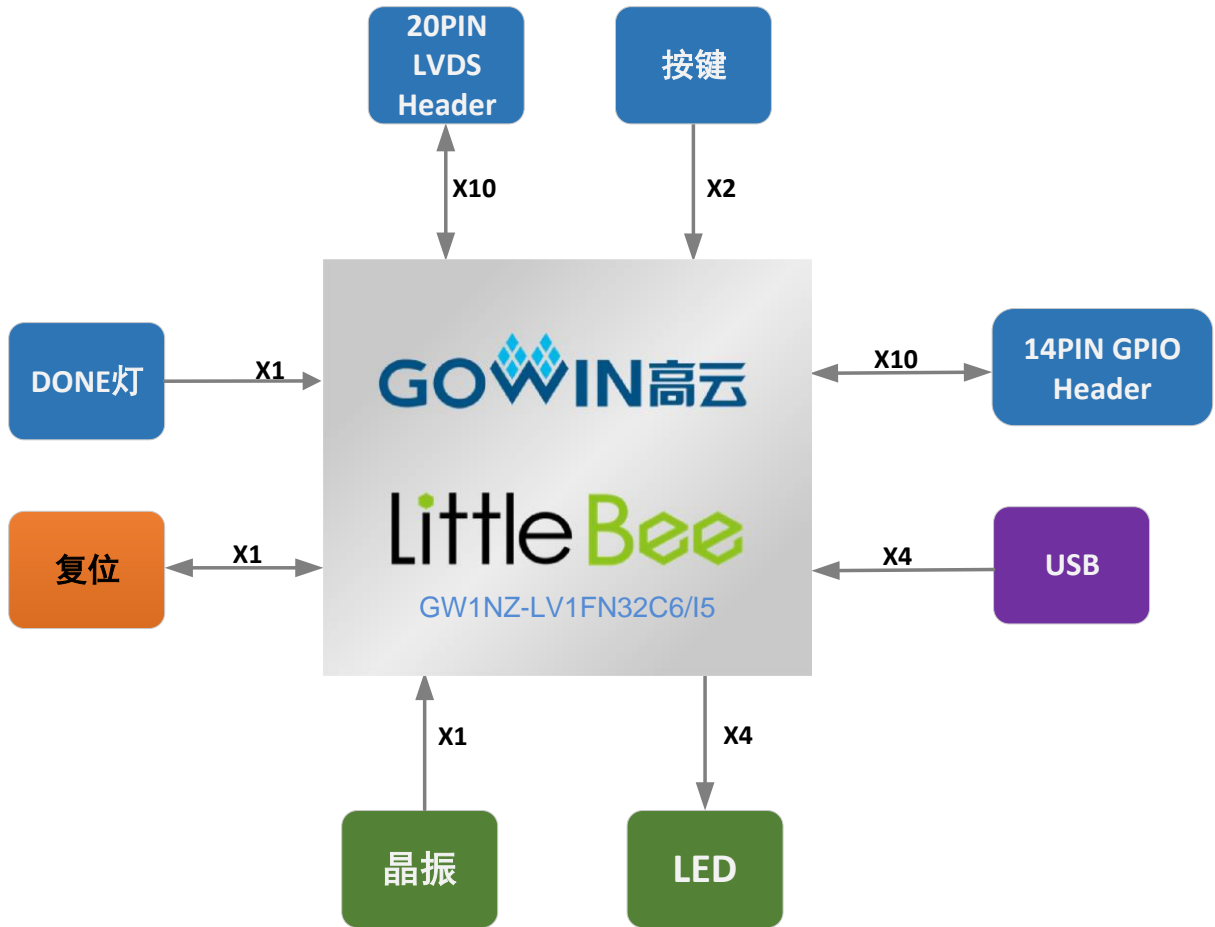
## 2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



## 2.4 系统框图

图 2-4 系统框图



## 2.5 特性

开发板组成结构及特性如下：

### 1. FPGA

- 采用 QFN32 封装
- 25 个用户 I/O
- 内嵌 Flash，掉电不易丢失
- 丰富的 LUT4 资源
- 多种模式、容量丰富的 B-SRAM
- 支持 LV 版本和 ZV 版本
- 内嵌 SPMI 模块

### 2. FPGA 配置模式

- JTAG
- AUTO BOOT
- DUAL BOOT

### 3. 时钟资源

50MHz 时钟晶振

### 4. 按键

- 1 个复位按键
- 2 个按键开关

### 5. LED

- 1 个电源指示灯（绿）
- 1 个 DONE 指示灯（绿）
- 4 个 LED（绿）

### 6. 存储设备

64Kbit 内嵌 Flash

### 7. GPIO

10 个 I/O 资源

### 8. LDO 电源

- 具有电压反向保护、过流保护功能
- 提供 5V、3.3V、2.5V、1.2V 电源

## 2.6 指标

表 2-1 开发板指标

序号	项目	功能描述	技术条件	备注
1	FPGA	开发板核心芯片	—	—
2	下载	支持 JTAG、AUTOBOOT	板上集成 USB 下载接口	—
3	电源	提供 USB 接口 5V 输入, 通过 LDO 电路输出 3.3V、2.5V、1.2V 电源	<ul style="list-style-type: none"> <li>● 输入电源为 5V;</li> <li>● 5V 转 3.3V 电路为下载电路及其他电路提供电源;</li> <li>● 5V 转 2.5V 电路为 FPGA 提供电源;</li> <li>● 3.3V 转 1.2V 电路给 FPGA 提供电源</li> </ul>	—
4	按键开关	可供用户测试使用	2 个	—
5	复位按键	为 FPGA 提供复位	1 个	—
6	LED	测试指示、DONE 指示、电源指示	<ul style="list-style-type: none"> <li>● 测试指示灯 4 个, 绿色;</li> <li>● DONE 指示灯 1 个, 绿色;</li> <li>● 电源指示灯 1 个, 绿色。</li> </ul>	—
7	50M 晶振	为 FPGA 提供 50MHz 时钟	封装 5032	—
8	32K 晶振	为 FPGA 提供 32KHz 时钟	封装 5032	—
9	GPIO	I/O, 方便用户进行扩展和测试	10 个	—
10	电压	—	输入电压 5V	—
11	湿度	—	95%	—
12	温度	—	工作范围-20°~70°	—

# 3 开发板电路

## 3.1 FPGA 模块

### 3.1.1 概述

GW1NZ 系列 FPGA 产品资源信息如表 3-1 所示。

表 3-1 GW1NZ-1 系列 FPGA 产品信息列表

器件	GW1NZ-1
逻辑单元(LUT4)	1,152
寄存器(FF)	864
分布式静态随机存储器 S-SRAM(bits)	4K
块状静态随机存储器 B-SRAM(bits)	72K
锁相环(PLLs+DLLs)	1+0
用户闪存(bits)	64K
V <sub>CC</sub>	1.2V(LV 版本); 0.9V(ZV 版本)

注!

详细信息请参考 [《GW1NS 系列 FPGA 产品数据手册》](#)。



### 3.1.2 I/O BANK 说明

GW1NZ 系列 FPGA 产品分为两个 I/O BANK 区，图 3-1 为 GW1NZ 系列 FPGA 产品的 I/O BANK 整体示意图。

图 3-1 GW1NZ 系列 FPGA 产品 I/O BANK 整体示意图

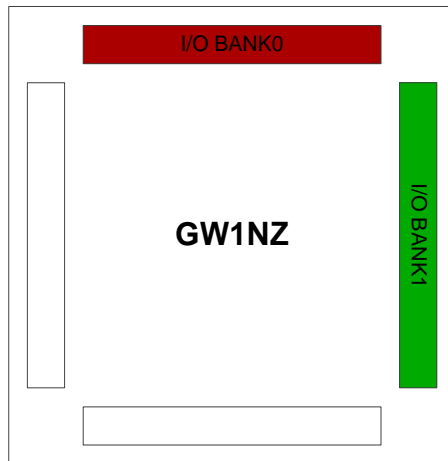


图 3-2 GW1NZ-1 器件 FN32 封装管脚分布示意图（顶视图）

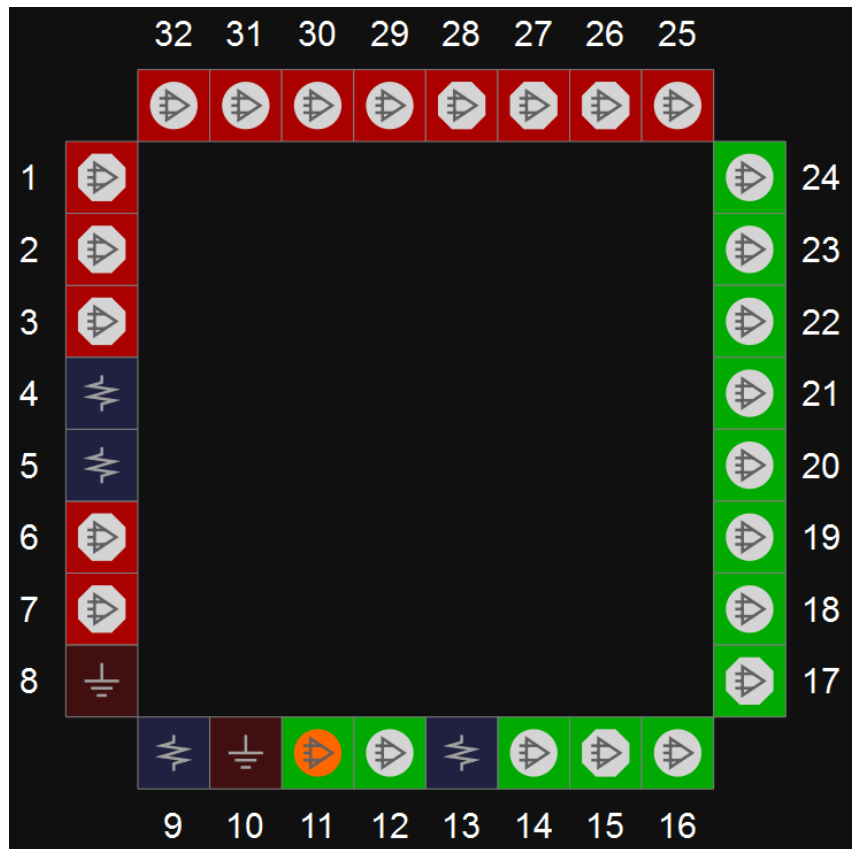


表 3-2 FPGA I/O 管脚分布

I/O BANK 序号	连接的模块
I/O BANK0	<ul style="list-style-type: none"> <li>● JTAG 下载</li> <li>● GPIO 接口</li> <li>● LVDS 接口</li> <li>● 按键开关</li> </ul>
I/O BANK1	<ul style="list-style-type: none"> <li>● LED</li> <li>● GPIO 接口</li> <li>● LVDS 接口</li> <li>● 时钟输入</li> <li>● 复位</li> </ul>

## 3.2 下载

### 3.2.1 概述

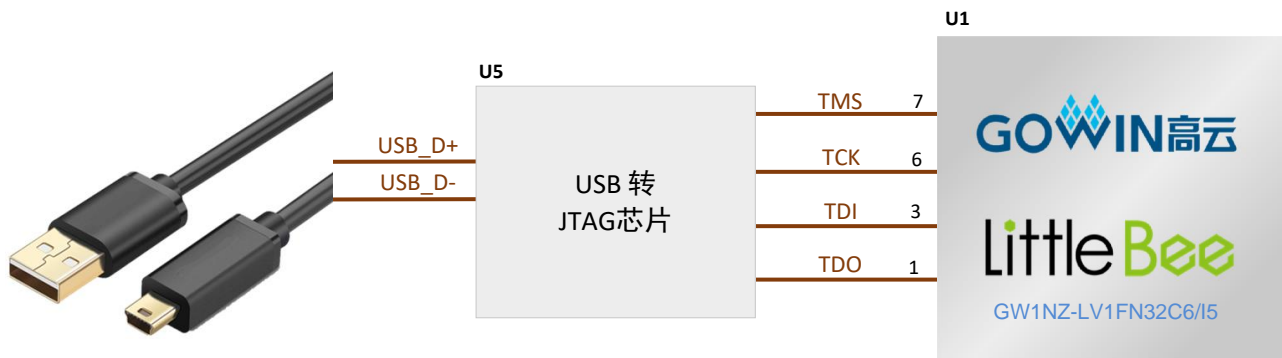
开发板提供 USB 下载接口。下载时可根据需要下载至片内 SRAM、内部 Flash。

注！

- 下载至 SRAM 时，当器件掉电后数据流文件会丢失，重新上电需再次下载数据流文件；
- 下载至 Flash 后，掉电后数据流文件不会丢失。

### 3.2.2 USB 下载电路

图 3-3 FPGA USB 下载连接示意图



### 3.2.3 下载流程

#### 1. SRAM 方式：

上电后扫描器件，并进行 bit 文件下载，当 Done 灯指示亮时代表下载成功。

#### 2. 内部 Flash 方式：

上电，进行下载，下载成功后，可断电重启，从内部 Flash 加载 bit 文件，当 Done 灯指示亮时代表加载成功。

### 3.2.4 管脚分配

表 3-3 FPGA 下载管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
TDI	3	0	JTAG 信号	2.5V
TCK	6	0	JTAG 信号	2.5V
TMS	7	0	JTAG 信号	2.5V
TDO	1	0	JTAG 信号	2.5V

## 3.3 电源

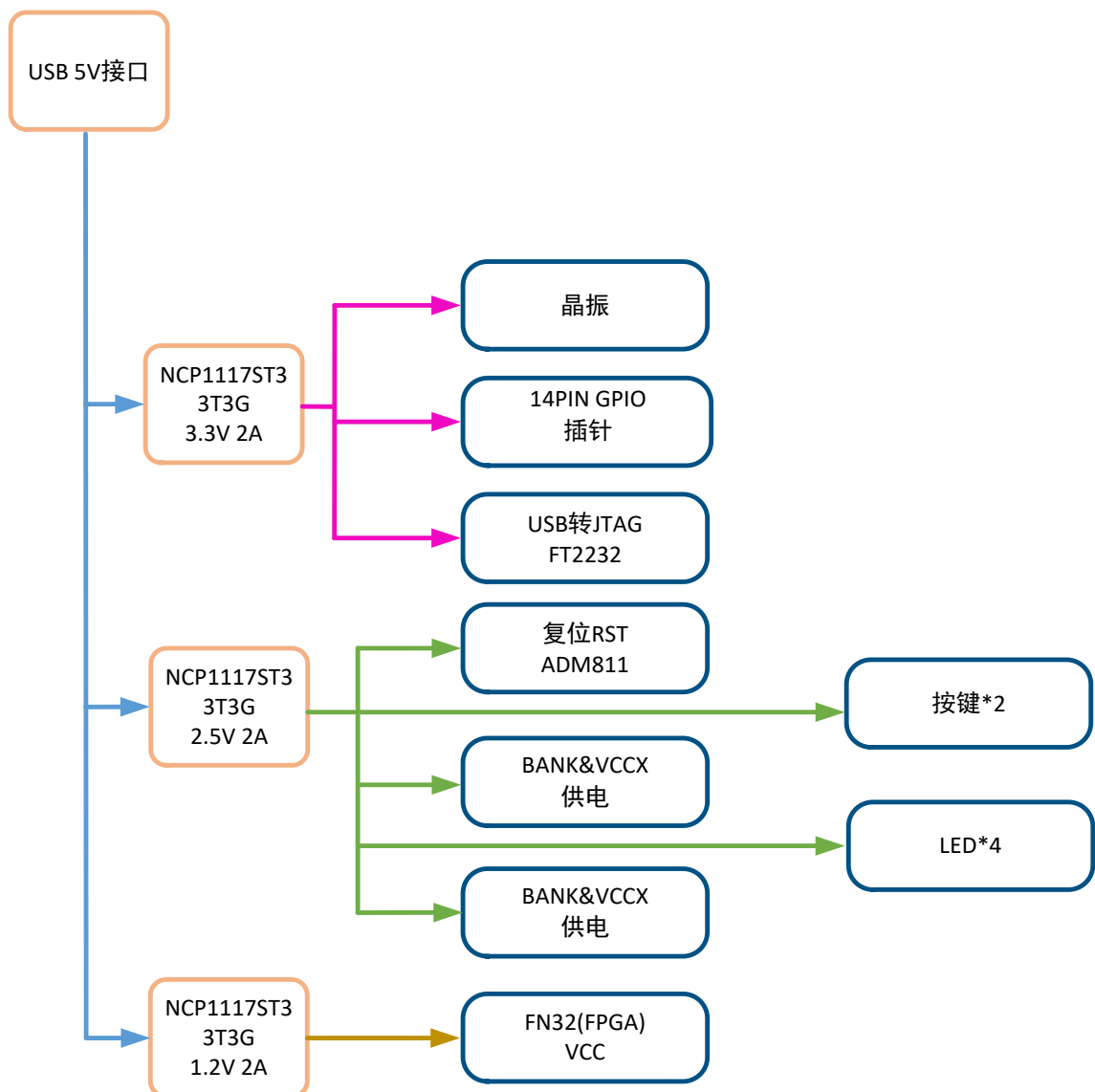
### 3.3.1 概述

电源 USB 接口 5V 输入，同时接口具有过流保护和反向保护功能，过流保护电流 2A。

采用 LDO 电源芯片，实现由 5V 到 3.3V、2.5V、1.2V 的变换，供电电流可达 2A，输入电压为 5V，可满足开发板的电源需求。

### 3.3.2 电源系统分配

图 3-4 电源系统分配示意图



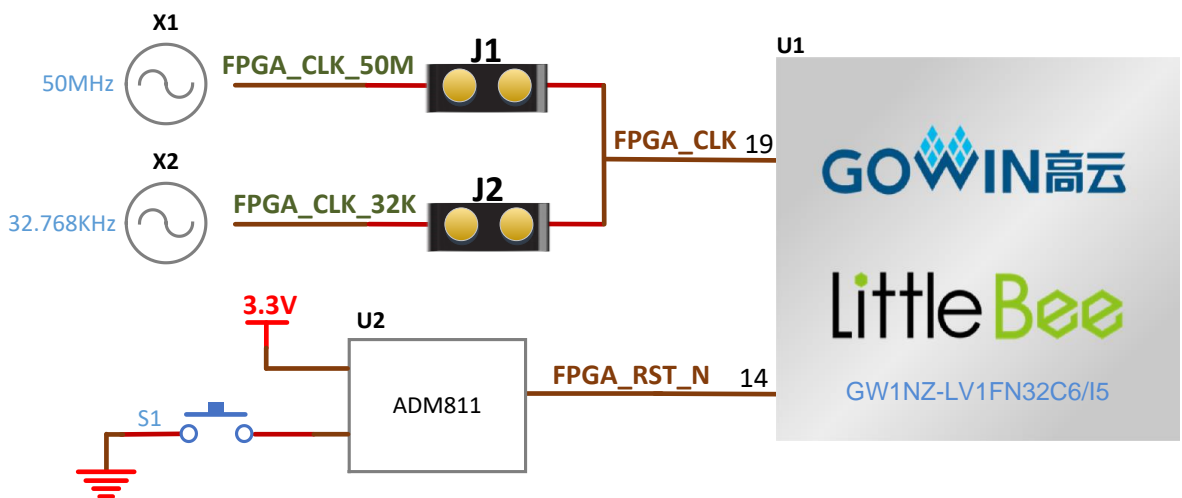
## 3.4 时钟、复位

### 3.4.1 概述

开发板提供了一个 50MHz 晶振和 32.768KHz 晶振，连接到 GCLK 输入管脚，可作为 FPGA 全局时钟的输入，通过 PLL 的分倍频可以输出用户所需的时钟。用户可通过跳线帽对 J1、J2 进行选择时钟源的输入。

### 3.4.2 时钟、复位电路

图 3-5 时钟、复位电路



### 3.4.3 管脚分配

表 3-4 FPGA 时钟与复位管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
FPGA_CLK	19	1	有源晶振输入	2.5V
FPGA_RST2_N	14	1	复位信号，低有效	2.5V

## 3.5 LED

### 3.5.1 概述

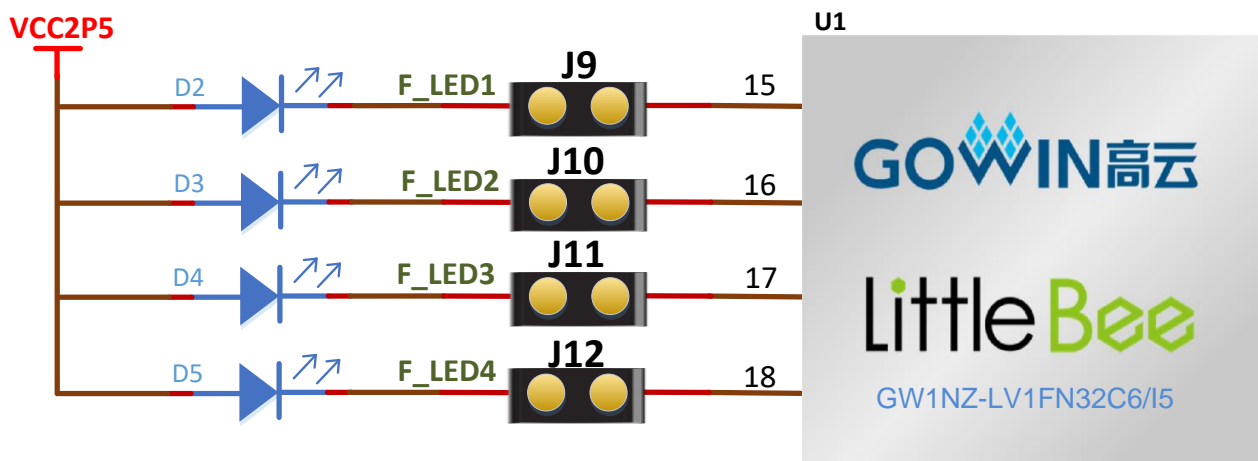
开发板中有 4 个绿色 LED 灯，用户可通过 LED 灯显示所需状态对开发板进行测试验证，若要使用 4 个 LED 灯，必须用跳线帽将 J9、J10、J11、J12 连接起来。

可通过以下方式对 LED 灯进行测试：

- 当 FPGA 对应管脚输出信号为逻辑低电平时，LED 被点亮；
- 当输出信号为高电平时，LED 熄灭。

### 3.5.2 LED 电路

图 3-6 LED 电路



### 3.5.3 管脚分配

表 3-5 LED 管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
F_LED1	15	1	LED 指示灯 1	2.5V
F_LED2	16	1	LED 指示灯 2	2.5V
F_LED3	17	1	LED 指示灯 3	2.5V
F_LED4	18	1	LED 指示灯 4	2.5V

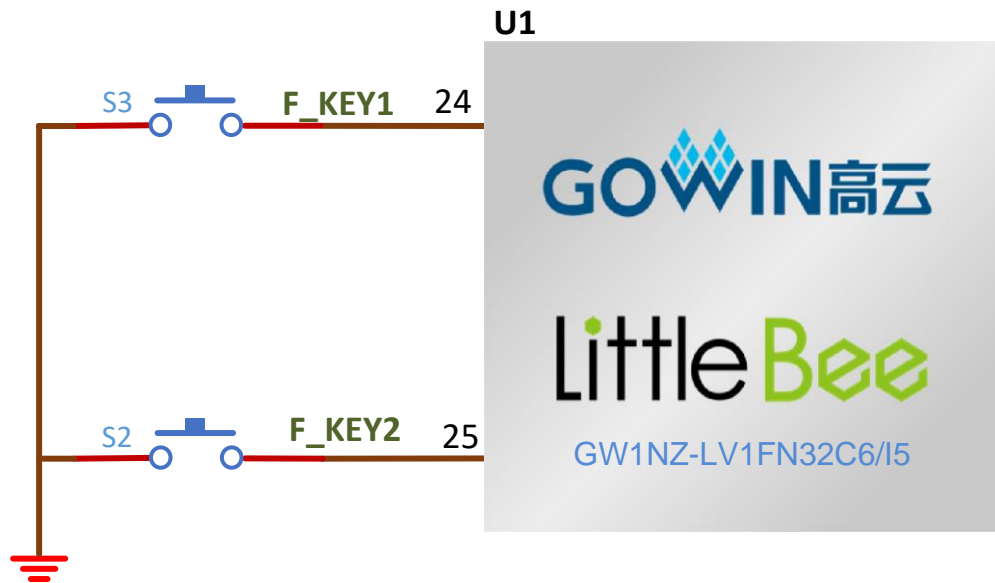
## 3.6 按键

### 3.6.1 概述

开发板有 2 个按键开关，用户可通过手动控制向对应 FPGA 管脚输入低电平，可作为测试控制输入使用。

## 3.6.2 按键电路

图 3-7 按键电路



## 3.6.3 管脚分配

表 3-6 按键电路管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
F_KEY1	24	1	按键 1	2.5V
F_KEY2	25	0	按键 2	2.5V

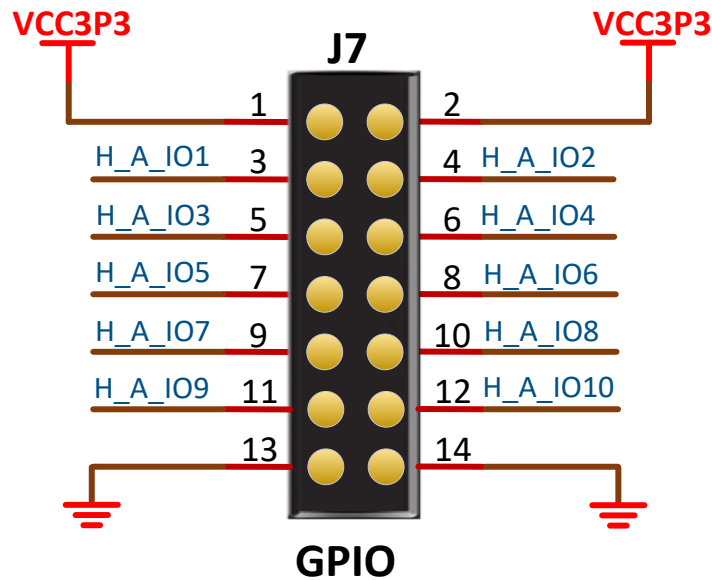
## 3.7 GPIO

### 3.7.1 概述

为方便用户功能扩展和测试，在开发板上预留 1 个 2.54mm 间距的 DC3-14P 插座。

### 3.7.2 GPIO 电路

图 3-8 GPIO 电路



### 3.7.3 管脚分配

表 3-7 GPIO 管脚分配

信号名称	FPGA 管脚序号	20P 插座管脚号	BANK	描述	I/O 电平
VCC3P3	--	1	--	通用 I/O	3.3V
VCC3P3	--	2	--	通用 I/O	3.3V
H_A_IO1	28	3	0	通用 I/O	2.5V
H_A_IO2	27	4	0	通用 I/O	2.5V
H_A_IO3	2	5	0	通用 I/O	2.5V
H_A_IO4	26	6	0	通用 I/O	2.5V
H_A_IO5	25	7	0	通用 I/O	2.5V
H_A_IO6	24	8	1	通用 I/O	2.5V
H_A_IO7	18	9	1	通用 I/O	2.5V
H_A_IO8	17	10	1	通用 I/O	2.5V
H_A_IO9	16	11	1	通用 I/O	2.5V
H_A_IO10	15	12	1	通用 I/O	2.5V
GND	--	13	--	通用 I/O	--
GND	--	14	--	通用 I/O	--



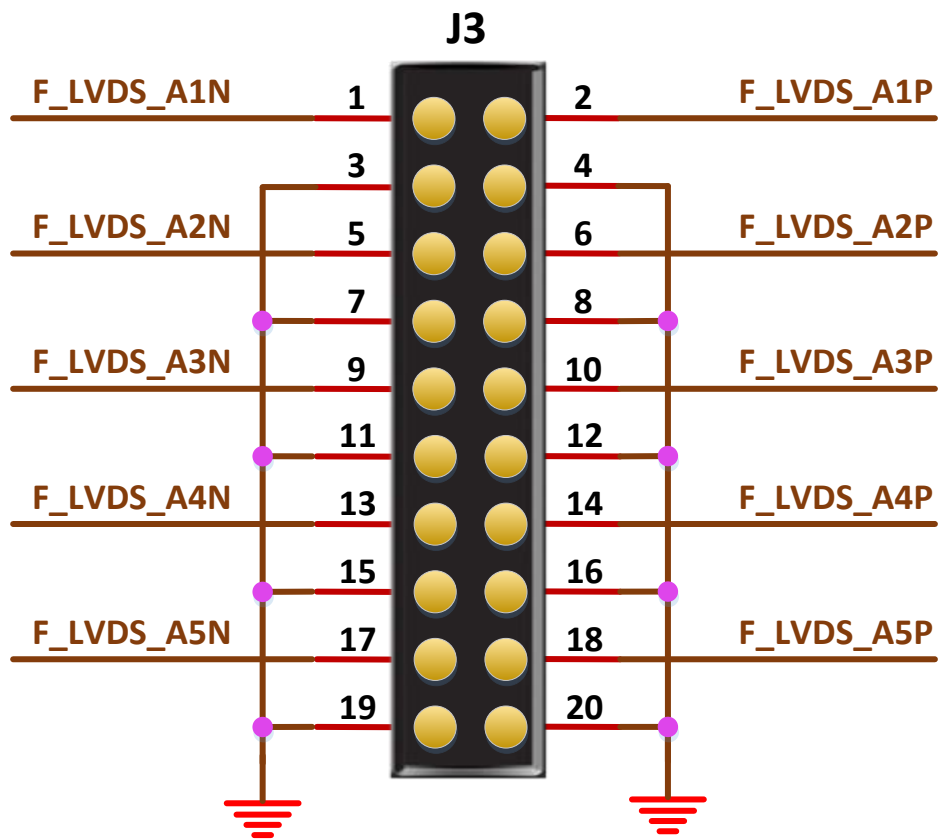
## 3.8 LVDS

### 3.8.1 概述

为方便用户 LVDS 测试和数据通信，在开发板上预留 2 个 2.54mm 间距的 DC3-20P 插座。

### 3.8.2 LVDS 电路

图 3-9 LVDS 电路



### 3.8.3 管脚分配

表 3-8 LVDS 管脚分配

信号名称	FPGA 管脚序号	20P 插座管脚号	BANK	描述	I/O 电平
F_LVDS_A1P	32	1	0	差分通道 1+	2.5V
F_LVDS_A1N	31	2	0	差分通道 1-	2.5V
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_A2P	30	5	0	差分通道 2+	2.5V
F_LVDS_A2N	29	6	0	差分通道 2-	2.5V
GND	-	7	-	-	
GND	-	8	-	-	
F_LVDS_A3P	23	9	1	差分通道 3+	2.5V
F_LVDS_A3N	22	10	1	差分通道 3-	2.5V
GND	-	11	-	-	
GND	-	12	-	-	
F_LVDS_A4P	21	13	1	差分通道 4+	2.5V
F_LVDS_A4N	20	14	1	差分通道 4-	2.5V
GND	-	15	-	-	
GND	-	16	-	-	
F_LVDS_A5P	12	17	1	差分通道 5+	2.5V
F_LVDS_A5N	11	18	1	差分通道 5-	2.5V
GND	-	19	-	-	
GND	-	20	-	-	

# 4 开发板注意事项

## 开发板使用注意事项：

1. 开发板使用时，注意轻拿轻放，并做好静电防护；
2. 电源 USB 接口 5V 输入；
3. 时钟源输入：X1 为 50MHz 晶振，X2 为 32.768KHz 晶振，使用时必须选择 J1 或是 J2 其中一个，用跳线帽连接，为开发板提供时钟输入。
4. 若要使用 LED 灯和 DONE 灯时，需将 J9、J10、J11、J12、J13 用跳线帽连接起来。
5. GPIO 使用注意事项：H\_A\_IO5（pin25）、H\_A\_IO6（pin24）使用时只能作为输入，不能作为输出。

# 5 开发软件介绍

详细资料请参考 《Gowin 云源软件用户手册》。

