



DK_START_GW2AR-LV18EQ144PC8I7_V1.

1

用户手册

DBUG359-1.2, 2021-01-06

版权所有© 2021 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2019/01/15	1.0	初始版本。
2019/09/12	1.1	增加开发板使用注意事项。
2021/01/06	1.2	<ul style="list-style-type: none">● 开发板名称更新；● 3.1 章节 FPGA 模块描述更新。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语	1
1.5 技术支持与反馈	2
2 开发板简介	3
2.1 概述	3
2.2 开发板套件	4
2.3 PCB 组件	5
2.4 系统框图	6
2.5 特性	6
2.6 指标	8
3 开发板电路	9
3.1 FPGA 模块	9
3.2 下载	9
3.2.1 概述	9
3.2.2 USB 下载电路	9
3.2.3 下载流程	10
3.2.4 管脚分配	10
3.3 电源	10
3.3.1 概述	10
3.3.2 电源系统分配	11
3.3.3 FPGA 电源管脚分配	12

3.4 时钟、复位	12
3.4.1 概述	12
3.4.2 时钟、复位电路	13
3.4.3 管脚分配	13
3.5 LED	13
3.5.1 概述	13
3.5.2 LED 电路	14
3.5.3 管脚分配	14
3.6 开关	14
3.6.1 概述	14
3.6.2 开关电路	15
3.6.3 管脚分配	15
3.7 按键	15
3.7.1 概述	15
3.7.2 按键电路	16
3.7.3 管脚分配	16
3.8 GPIO	16
3.8.1 概述	16
3.8.2 GPIO 电路	17
3.8.3 管脚分配	17
3.9 LVDS	20
3.9.1 概述	20
3.9.2 LVDS 电路	20
3.9.3 管脚分配	20
3.10 Ethernet	21
3.10.1 概述	21
3.10.2 Ethernet 电路	22
3.10.3 管脚分配	22
4 开发板使用注意事项	24
5 开发软件介绍	25

图目录

图 2-1 DK_START_GW2AR-LV18EQ144PC8I7_V1.1 开发板.....	3
图 2-2 开发板套件.....	4
图 2-3 开发板 PCB 组件说明.....	5
图 2-4 系统框图.....	6
图 3-3 FPGA USB 下载连接示意图.....	9
图 3-4 电源系统分配示意图.....	11
图 3-5 时钟、复位电路.....	13
图 3-6 LED 电路.....	14
图 3-7 开关电路.....	15
图 3-8 按键电路.....	16
图 3-9 GPIO 电路.....	17
图 3-10 LVDS 电路.....	20
图 3-11 Ethernet 下载连接示意图.....	22

表目录

表 1-1 术语、缩略语	1
表 2-1 开发板指标	8
表 3-3 FPGA 下载管脚分配	10
表 3-4 FPGA 电源管脚分配	12
表 3-5 FPGA 时钟与复位管脚分配	13
表 3-6 LED 管脚分配	14
表 3-7 开关电路管脚分配	15
表 3-8 按键电路管脚分配	16
表 3-9 J5 GPIO 管脚分配	17
表 3-10 J14 GPIO 管脚分配	18
表 3-11 J2 GPIO 管脚分配	19
表 3-12 J15 GPIO 管脚分配	19
表 3-13 J3 FPGA 管脚分配	20
表 3-14 J4 FPGA 管脚分配	21
表 3-15 Ethernet1 管脚分配	22
表 3-16 Ethernet2 管脚分配	23

1 关于本手册

1.1 手册内容

DK_START_GW2AR-LV18EQ144PC8I7_V1.1 用户手册分为四个部分：

- 简述开发板的功能特点和硬件资源；
- 介绍开发板上的各部分硬件电路的功能、电路及管脚分配；
- 开发板使用注意事项；
- 介绍 FPGA 开发软件的使用方法。

1.2 适用产品

本手册中所述信息可适用于 GW2AR 系列 FPGA 产品：GW2AR-18。

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [UG229, GW2AR 系列 FPGA 产品封装与管脚手册](#)
- [UG113, GW2AR-18 器件 Pinout 手册](#)
- [UG290, GW1N 系列 FPGA 产品编程配置手册](#)
- [SUG100, Gowin 云源软件用户手册](#)

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
SIP	System in Package	系统级封装

术语、缩略语	全称	含义
SDRAM	Synchronous Dynamic RAM	同步动态随机存储器
CFU	Configurable Function Unit	可配置功能单元
CLS	Configurable Logic Section	可配置逻辑块
CRU	Configurable Routing Unit	可编程布线单元
LUT4	4-input Look-up Tables	4 输入查找表
LUT5	5-input Look-up Tables	5 输入查找表
LUT6	6-input Look-up Tables	6 输入查找表
LUT7	7-input Look-up Tables	7 输入查找表
LUT8	8-input Look-up Tables	8 输入查找表
REG	Register	寄存器
ALU	Arithmetic Logic Unit	算术逻辑单元
IOB	Input/Output Block	输入输出模块
SSRAM	Shadow Static Random Access Memory	附加静态随机存储器
BSRAM	Block Static Random Access Memory	块状静态随机存储器
GPIO	Gowin Programmable I/O	Gowin 可编程通用管脚
PLL	Phase-locked Loop	锁相环
DLL	Delay-locked Loop	延迟锁相环
EQ144	EQFP144	EQFP144 封装

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

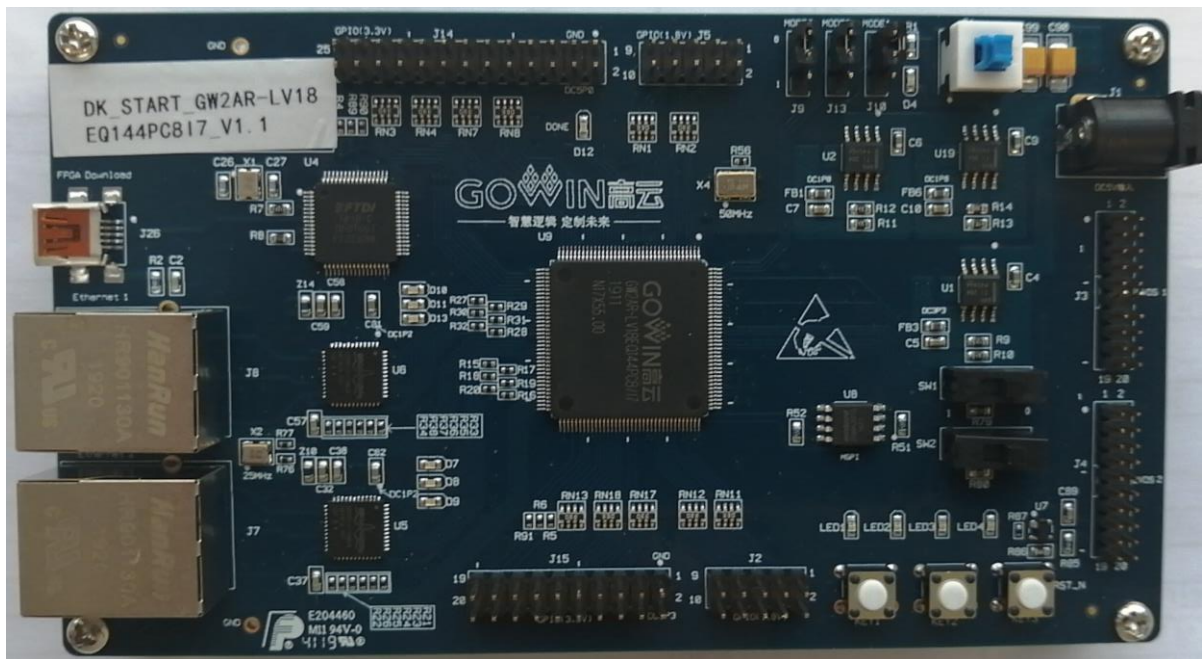
E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 开发板简介

2.1 概述

图 2-1 DK_START_GW2AR-LV18EQ144PC8I7_V1.1 开发板



开发板采用高云半导体 GW2AR-18 FPGA 器件，内嵌 64Mbit PSRAM 资源。高云半导体 GW2AR 系列 FPGA 产品是高云半导体晨熙®家族第一代产品，是一款系统级封装芯片，在 GW2A 系列基础上集成了丰富容量的存储资源，同时具有 GW2A 系列高性能的 DSP 资源、高速 LVDS 接口以及丰富的 BSRAM 存储器资源，这些内嵌的资源搭配精简的 FPGA 架构以及 55nm 工艺使 GW2AR 适用于高速低成本的应用场合。

开发板上设计了丰富的外部接口，包括 LVDS 接口、GPIO 接口等；同时还有滑动开关、按键开关、LED、复位、时钟等资源，可供开发人员或爱好者学习使用。

2.2 开发板套件

开发板套件包括:

- DK_START_GW2AR-LV18EQ144PC8I7_V1.1 开发板
- USB 数据线
- 快速应用手册

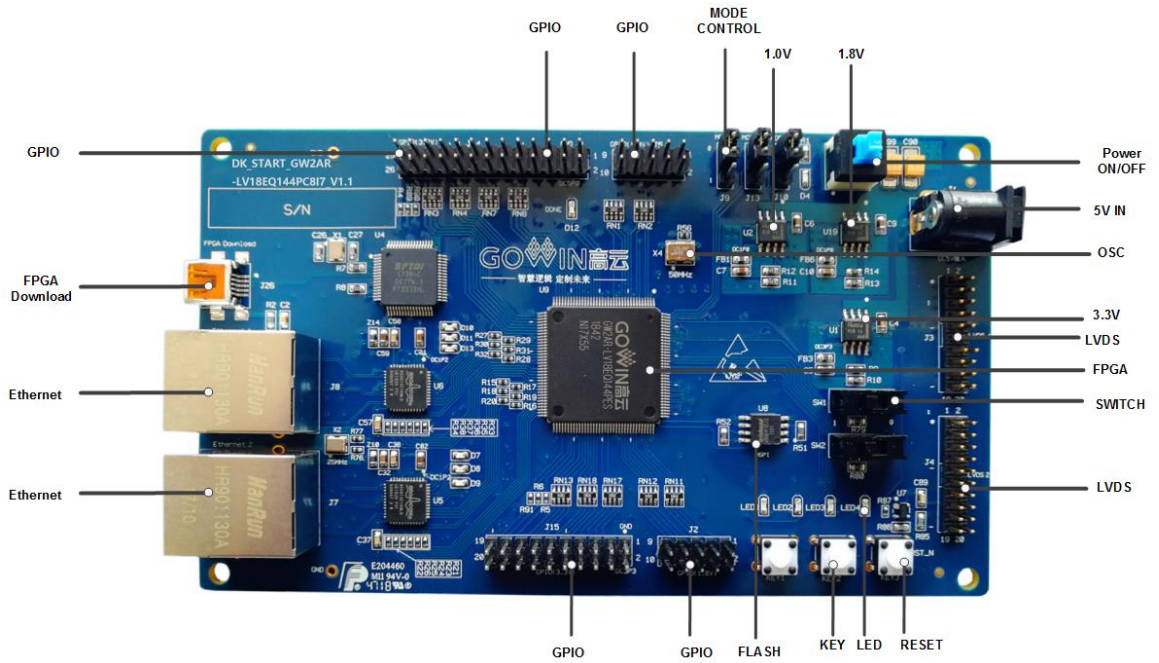
图 2-2 开发板套件



- ① DK_START_GW2AR-LV18EQ144PC8I7_V1.1 开发板
- ② USB 数据线
- ③ 快速应用手册

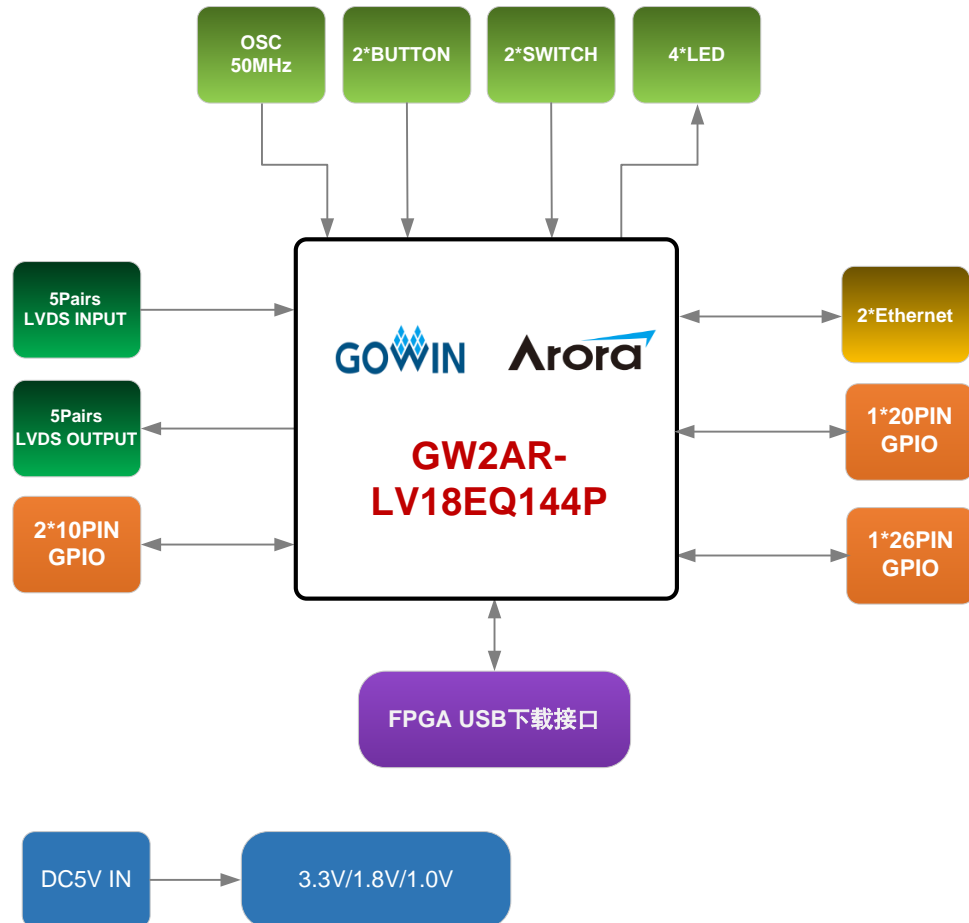
2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



2.4 系统框图

图 2-4 系统框图



2.5 特性

开发板组成结构及特性如下：

1. FPGA
 - 采用 EQFP144 封装
 - 多达 120 个用户 I/O
 - 丰富的 LUT4 资源
 - 多种模式、容量丰富的 BSRAM
2. FPGA 配置模式
 - JTAG
 - MSPI
 - Multi BOOT
3. 时钟资源
 - 50MHz 时钟晶振
4. 按键和滑动开关

- 1 个复位按键
 - 2 个按键开关
 - 2 个滑动开关
5. LED
 - 1 个电源指示灯（绿）
 - 1 个 DONE 指示灯（绿）
 - 4 个 LED（绿）
 6. 存储
 - 64Mbit 内嵌 PSRAM
 7. LVDS
 - 5 对 LVDS 差分输入；5 对 LVDS 差分输出
 8. GPIO
 - 50 个扩展 I/O 资源
 9. Ethernet
 - 2 路 Ethernet 接口
 10. LDO 电源
 - 提供 3.3V、1.8V、1.0V 电源

2.6 指标

表 2-1 开发板指标

序号	项目	功能描述	技术条件	备注
1	FPGA	开发板核心芯片	—	—
2	下载	USB 接口；支持 JTAG、MSPI、Multi BOOT	板上集成 USB 转 JTAG 芯片	—
3	电源	通过 LDO 电路输出 3.3V、1.8V、1.0V 电源	<ul style="list-style-type: none"> ● 输入电源为 5V； ● 5V 转 3.3V 电路为 FPGA、下载电路及其他电路提供电源； ● 5V 转 1.8V 电路为 FPGA PSRAM 提供电源； ● 5V 转 1.0V 电路给 FPGA 提供电源。 	—
4	滑动开关	可供用户测试使用	2 个	—
5	按键开关	可供用户测试使用	2 个	—
6	复位按键	为 FPGA 提供复位	1 个	—
7	LED	测试指示、DONE 指示、电源指示	<ul style="list-style-type: none"> ● 测试指示灯 4 个，绿色； ● DONE 指示灯 1 个，绿色； ● 电源指示灯 1 个，绿色。 	—
8	晶振	为 FPGA 提供 50MHz 时钟	封装 5032	—
9	存储	提供 PSRAM 资源	64Mbit 内嵌 PSRAM	—
10	GPIO	I/O，方便用户进行扩展和测试	50 个	—
11	LVDS	LVDS，供测试使用	5 对输入，5 对输出	—
12	Ethernet	供设计使用	2 路 Ethernet 接口	—
13	保护	USB 接口有 ESD 保护、电源接口具有反向保护功能、电流过流保护	<ul style="list-style-type: none"> ● USB 接口 ESD 保护：$\pm 15\text{kV}$ 非接触放电，$\pm 8\text{kV}$ 接触放电； ● 电源接口正负极间方向接有肖特基二极管； ● 电源入口接有耐 2A 的自恢复保险丝。 	—
14	电压	—	输入电压 5V	—
15	湿度	—	95%	—
16	温度	—	工作范围 $-20^{\circ}\sim 70^{\circ}$	—

3 开发板电路

3.1 FPGA 模块

概述

GW2AR 系列 FPGA 产品资源信息请参考 [DS226, GW2AR 系列 FPGA 产品数据手册](#)。

I/O BANK 说明

GW2AR 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息请参考 [UG229, GW2AR 系列 FPGA 产品封装与管脚手册](#)。

3.2 下载

3.2.1 概述

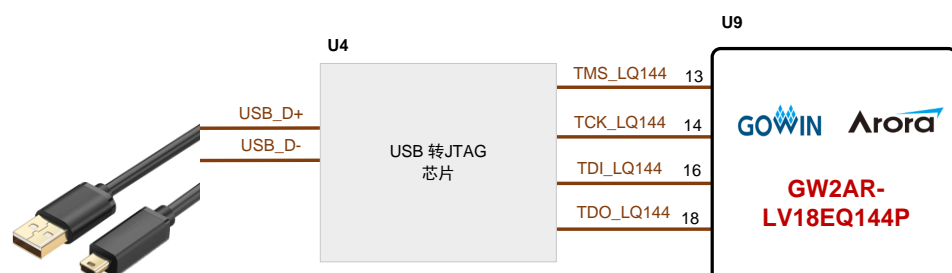
开发板提供 USB 下载接口。下载时可根据需要下载至片内 SRAM、外部 Flash。

注！

- 下载至 SRAM 时，当器件掉电后数据流文件会丢失，重新上电需再次下载数据流文件；
- 下载至 Flash 后，掉电后数据流文件不会丢失。

3.2.2 USB 下载电路

图 3-1 FPGA USB 下载连接示意图



3.2.3 下载流程

1. **FPGA SRAM 下载模式：**
将 USB 数据线插在开发板的 USB 接口（J26）。然后上电，并打开 Programmer 工具，选择 SRAM mode，并选入需要下载的 bitstream 文件。
2. **FPGA MSPI 下载模式：**
将 USB 数据线插在开发板的 USB 接口（J26），并把 J13 设置在“0”状态，J9 和 J10 设置在“1”状态。然后上电，并打开 Programmer 工具，选择 External Flash mode，并选入需要下载的 bitstream 文件及 FLASH 器件型号：Winbond W25Q64。下载成功后，关掉电源，并把 J13、J9 和 J10 设置在“0”状态，然后加电，器件会从外部 Flash 导入 bitstream 文件到 SRAM 中。

3.2.4 管脚分配

表 3-1 FPGA 下载管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
TMS	13	2	JTAG 信号	1.8V
TCK	14	2	JTAG 信号	1.8V
TDI	16	2	JTAG 信号	1.8V
TDO	18	2	JTAG 信号	1.8V
MODE0	144	0	模式选择脚	3.3V
MODE1	142	0	模式选择脚	3.3V
MODE2	143	0	模式选择脚	3.3V
RECONFIG_N	20	3	RECONFIG_N	3.3V
DONE	21	3	DONE 指示	3.3V
READY	22	3	READY	3.3V

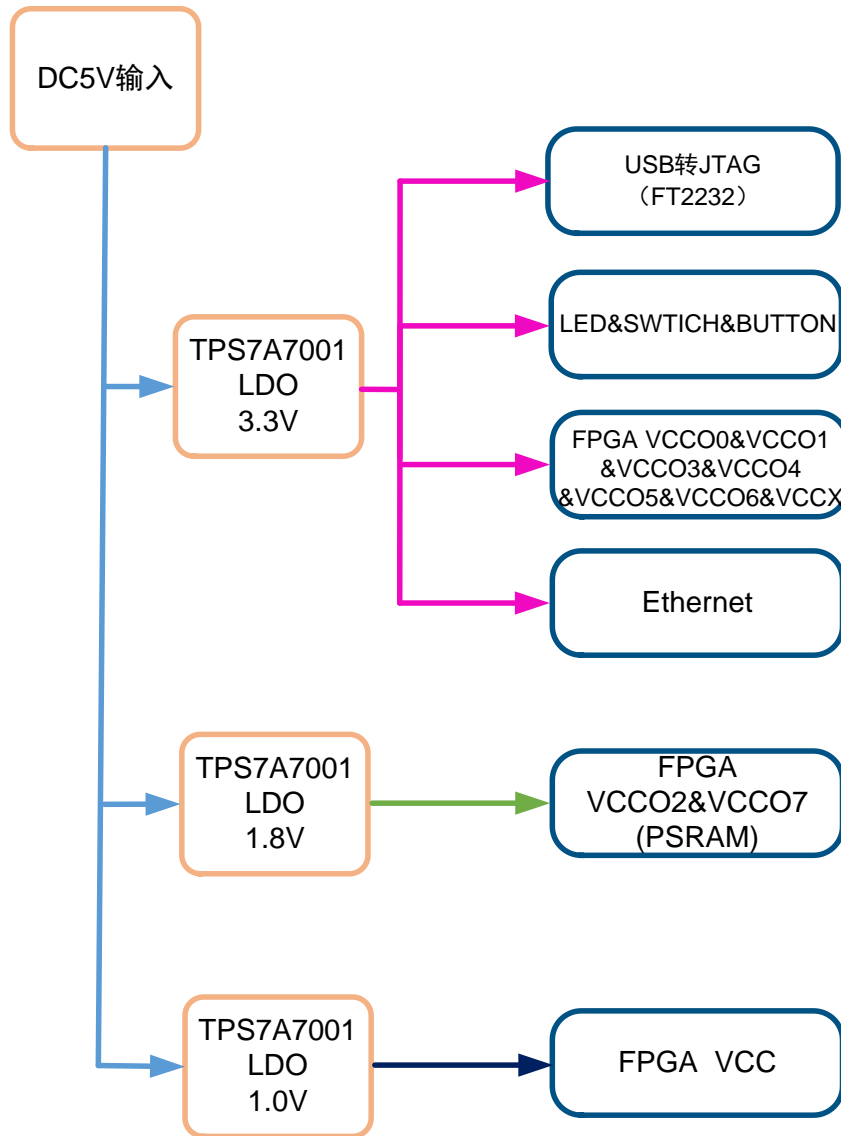
3.3 电源

3.3.1 概述

电源 DC5V 由 USB 接口输入，采用 TI 的 LDO 电源芯片，实现由 5V 到 3.3V、1.8V、1.0V 的变换，可满足开发板的电源需求。

3.3.2 电源系统分配

图 3-2 电源系统分配示意图



3.3.3 FPGA 电源管脚分配

表 3-2 FPGA 电源管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
VCCO0	127	0	I/O Bank 电压	3.3V
VCCO1	109	1	I/O Bank 电压	3.3V
VCCO2	103	2	I/O Bank 电压	1.8V
VCCO3	77、91	3	I/O Bank 电压	3.3V
VCCO4	55	4	I/O Bank 电压	3.3V
VCCO5	37	5	I/O Bank 电压	3.3V
VCCO6	31	6	I/O Bank 电压	3.3V
VCCO7	5、19	7	I/O Bank 电压	1.8V
VCCPLLL0	8	-	PLLL0 电源	1.0V
VCCPLLR0	104	-	PLLR0 电源	1.0V
VCCPLLR1	81	-	PLLR1 电源	1.0V
VCCPLL1	36	-	PLLL1 电源 内部与 VCC 相连	1.0V
VCCX	31、55	-	辅助电压 内部与 VCCO4、VCCO6 相连	3.3V
VCC	1、36、73、108	-	核电压	1.0V
VSS	2、17、53、74、89、107	-	GND	-

3.4 时钟、复位

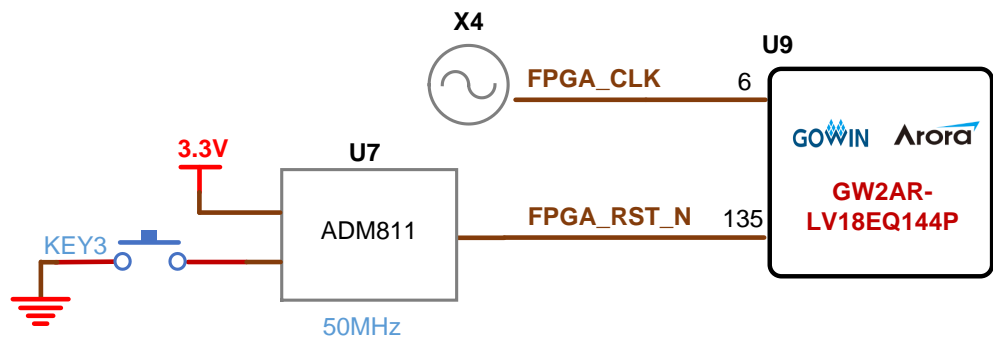
3.4.1 概述

开发板提供了一个 50MHz 晶振，连接到 PLL 输入管脚，可作为 FPGA 内部 PLL 的时钟输入，通过 PLL 的分倍频可以输出用户所需的时钟。

同时为了方便调试设计，开发板增加一路复位信号，低有效。

3.4.2 时钟、复位电路

图 3-3 时钟、复位电路



3.4.3 管脚分配

表 3-3 FPGA 时钟与复位管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
FPGA_CLK	6	7	50MHz 有源晶振输入	3.3V
FPGA_RST_N	135	0	复位信号，低有效。	1.8V

3.5 LED

3.5.1 概述

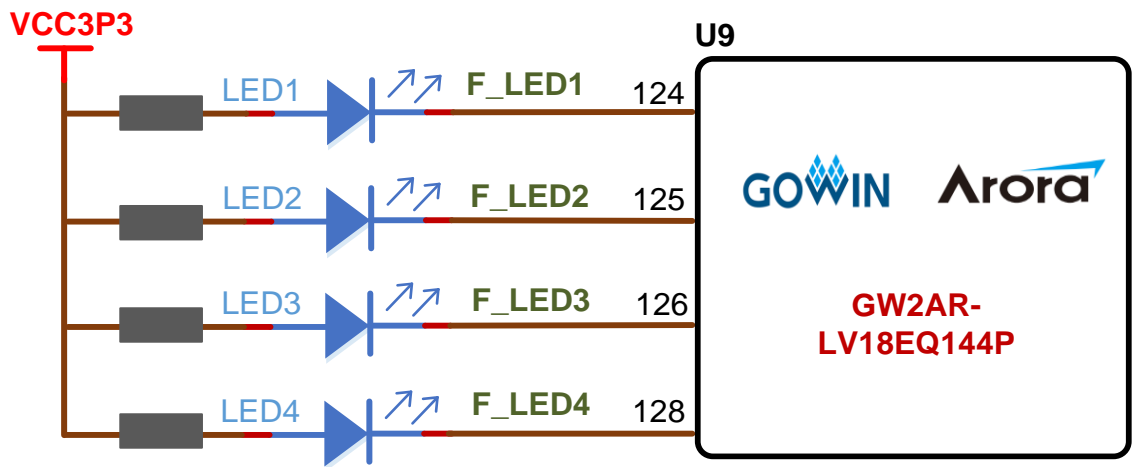
开发板中有 4 个绿色 LED 灯，用户可通过 LED 灯显示所需状态。同时为了便于观察电源情况和 FPGA 加载情况，亦分别各留一个 LED 灯。

可通过以下方式对 LED 灯进行测试：

- 当 FPGA 对应管脚输出信号为逻辑低电平时，LED 被点亮；
- 当输出信号为高电平时，LED 熄灭。

3.5.2 LED 电路

图 3-4 LED 电路



3.5.3 管脚分配

表 3-4 LED 管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
F_LED1	124	0	LED1	3.3V
F_LED2	125	0	LED2	3.3V
F_LED3	126	0	LED3	3.3V
F_LED4	128	0	LED 4	3.3V

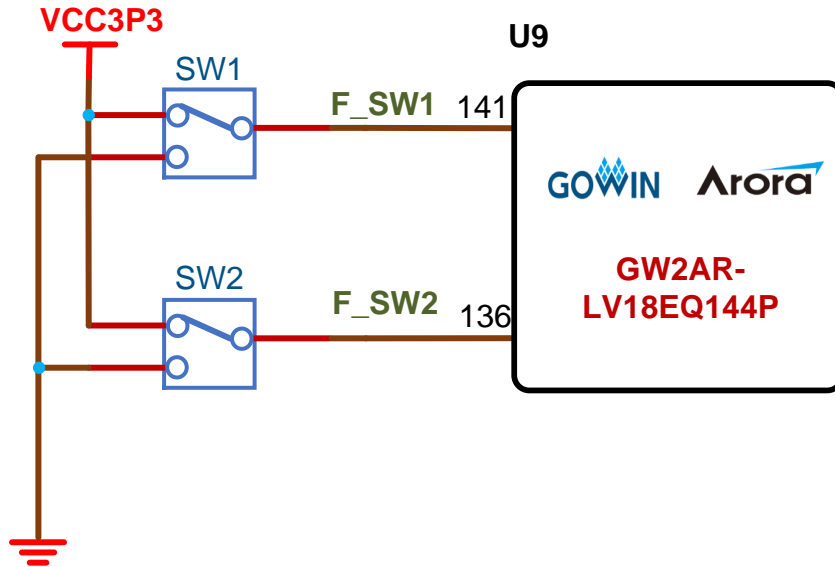
3.6 开关

3.6.1 概述

开发板中有 2 个滑动开关，可用于用户测试时输入 0/1 信号。

3.6.2 开关电路

图 3-5 开关电路



3.6.3 管脚分配

表 3-5 开关电路管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
F_SW1	141	0	滑动开关 1	3.3V
F_SW2	136	0	滑动开关 2	3.3V

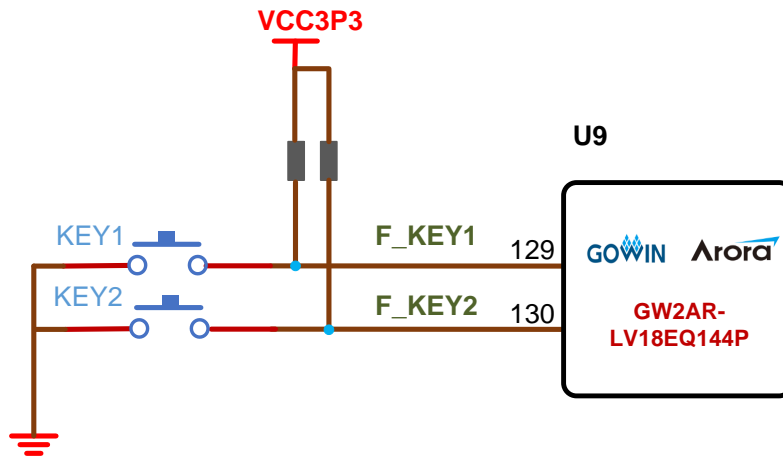
3.7 按键

3.7.1 概述

开发板有 2 个按键开关，用户可通过手动控制向对应 FPGA 管脚输入 0/1 信号，可作为测试控制输入使用。按键按下时，输入 0；按键弹起时，输入 1。

3.7.2 按键电路

图 3-6 按键电路



3.7.3 管脚分配

表 3-6 按键电路管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
F_KEY1	129	0	KEY1	3.3V
F_KEY2	130	0	KEY2	3.3V

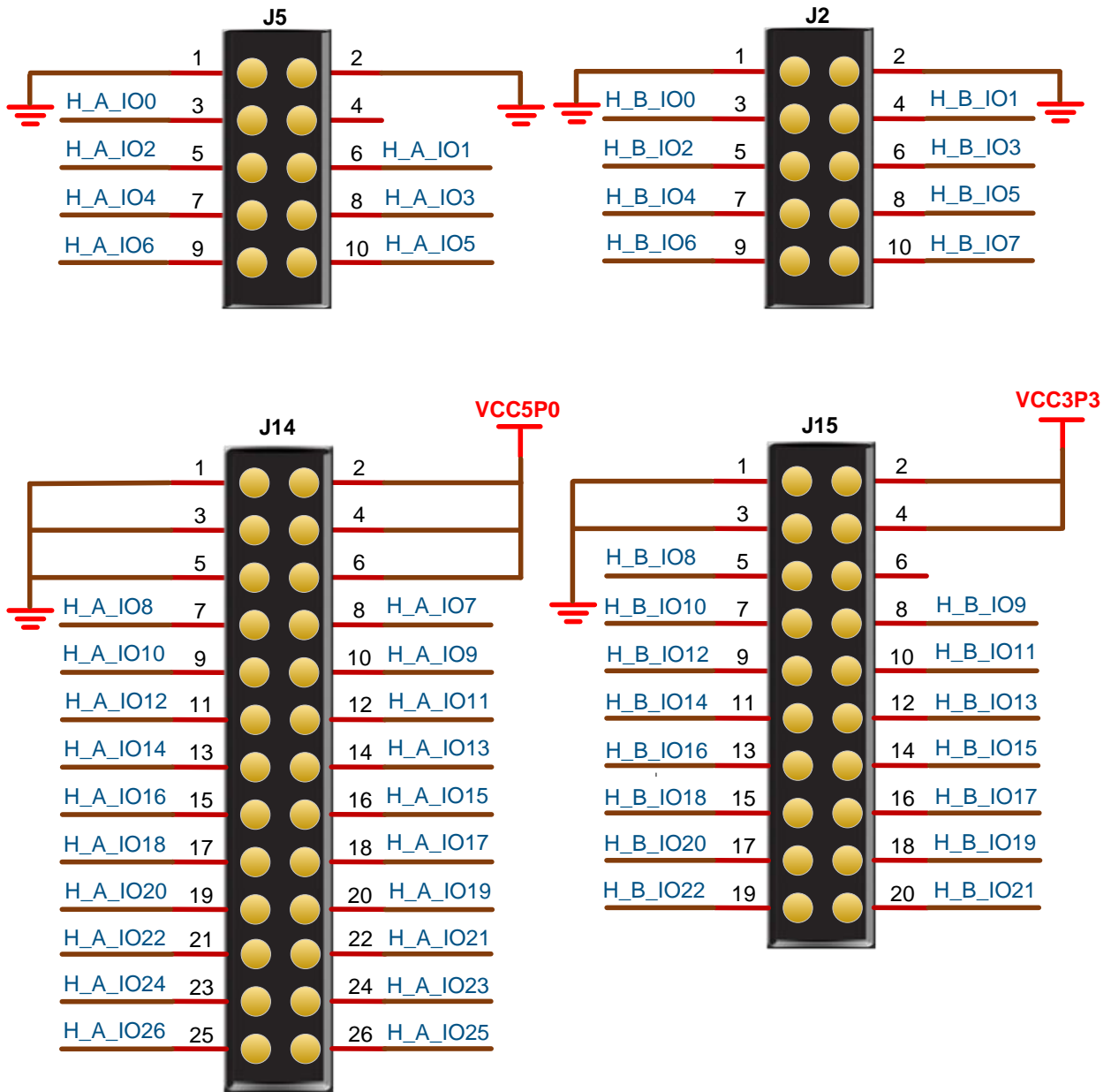
3.8 GPIO

3.8.1 概述

为方便用户功能扩展和测试，在开发板上预留 2 个 2.54mm 间距的 DC3-10P 插座，1 个 2.54mm 间距的 DC3-20P 插座，1 个 2.54mm 间距的 DC3-26P 插座。

3.8.2 GPIO 电路

图 3-7 GPIO 电路



3.8.3 管脚分配

表 3-7 J5 GPIO 管脚分配

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
GND	-	1	-	GND	-
GND	-	2	-	GND	-
H_A_IO0	4	3	7	通用 I/O	1.8V
-	-	4	-	-	-

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
H_A_IO2	9	5	7	通用 I/O	1.8V
H_A_IO1	3	6	7	通用 I/O	1.8V
H_A_IO4	11	7	7	通用 I/O	1.8V
H_A_IO3	7	8	7	通用 I/O	1.8V
H_A_IO6	15	9	6	通用 I/O	3.3V
H_A_IO5	10	10	7	通用 I/O	1.8V

表 3-8 J14 GPIO 管脚分配

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
GND	-	1	-	GND	-
VCC5P0	-	2	-	输出 5V	5V
GND		3	0	GND	-
VCC5P0		4	0	输出 5V	5V
GND		5	0	GND	-
VCC5P0		6	0	输出 5V	5V
H_A_IO8	24	7	6	通用 I/O	3.3V
H_A_IO7	12	8	7	通用 I/O	1.8V
H_A_IO10	26	9	6	通用 I/O	3.3V
H_A_IO9	23	10	6	通用 I/O	3.3V
H_A_IO12	28	11	6	通用 I/O	3.3V
H_A_IO11	25	12	6	通用 I/O	3.3V
H_A_IO14	30	13	6	通用 I/O	3.3V
H_A_IO13	27	14	6	通用 I/O	3.3V
H_A_IO16	33	15	6	通用 I/O	3.3V
H_A_IO15	29	16	6	通用 I/O	3.3V
H_A_IO18	35	17	6	通用 I/O	3.3V
H_A_IO17	32	18	6	通用 I/O	3.3V
H_A_IO20	39	19	5	通用 I/O	3.3V
H_A_IO19	34	20	6	通用 I/O	3.3V
H_A_IO22	41	21	5	通用 I/O	3.3V
H_A_IO21	38	22	5	通用 I/O	3.3V
H_A_IO24	43	23	5	通用 I/O	3.3V
H_A_IO23	40	24	5	通用 I/O	3.3V
H_A_IO26	44	25	5	通用 I/O	3.3V
H_A_IO25	42	26	5	通用 I/O	3.3V

表 3-9 J2 GPIO 管脚分配

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
GND	-	1	-	GND	-
GND	-	2	-	GND	-
H_B_IO0	105	3	2	通用 I/O	1.8V
H_B_IO1	106	4	2	通用 I/O	1.8V
H_B_IO2	101	5	2	通用 I/O	1.8V
H_B_IO3	102	6	2	通用 I/O	1.8V
H_B_IO4	99	7	2	通用 I/O	1.8V
H_B_IO5	100	8	2	通用 I/O	1.8V
H_B_IO6	97	9	2	通用 I/O	1.8V
H_B_IO7	98	10	2	通用 I/O	1.8V

表 3-10 J15 GPIO 管脚分配

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
GND	-	1	-	GND	-
VCC3P3	-	2	-	输出 3.3V	3.3V
GND	-	3	-	GND	-
VCC3P3	-	4	-	输出 3.3V	3.3V
H_B_IO8	122	5	0	通用 I/O	3.3V
-	-	6	-	-	-
H_B_IO10	90	7	3	通用 I/O	3.3V
H_B_IO9	123	8	0	通用 I/O	3.3V
H_B_IO12	87	9	3	通用 I/O	3.3V
H_B_IO11	92	10	3	通用 I/O	3.3V
H_B_IO14	85	11	3	通用 I/O	3.3V
H_B_IO13	88	12	3	通用 I/O	3.3V
H_B_IO16	83	13	3	通用 I/O	3.3V
H_B_IO15	86	14	3	通用 I/O	3.3V
H_B_IO18	80	15	3	通用 I/O	3.3V
H_B_IO17	84	16	3	通用 I/O	3.3V
H_B_IO20	78	17	3	通用 I/O	3.3V
H_B_IO19	82	18	3	通用 I/O	3.3V
H_B_IO22	76	19	3	通用 I/O	3.3V
H_B_IO21	79	20	3	通用 I/O	3.3V

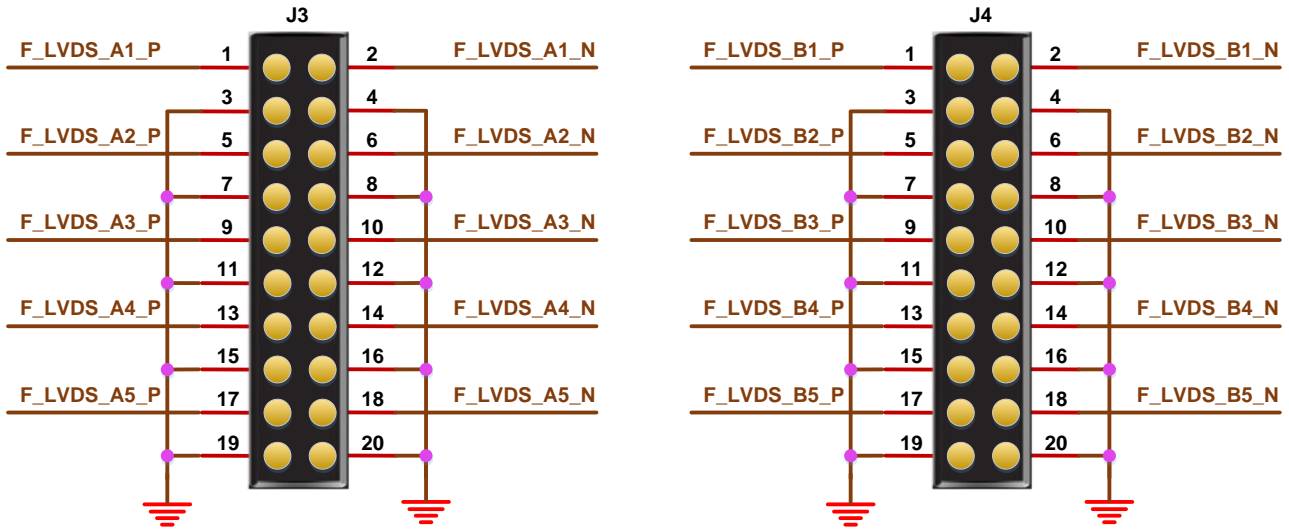
3.9 LVDS

3.9.1 概述

为方便用户 LVDS 输入输出性能测试和高速数据传输，在开发板上预留 2 个 2.0mm 间距的 DC3-20P 插座。

3.9.2 LVDS 电路

图 3-8 LVDS 电路



3.9.3 管脚分配

表 3-11 J3 FPGA 管脚分配

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
F_LVDS_A1_P	140	1	0	A 通道 1+	3.3V
F_LVDS_A1_N	139	2	0	A 通道 1-	3.3V
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_A2_P	138	5	0	A 通道 2+	3.3V
F_LVDS_A2_N	137	6	0	A 通道 2-	3.3V
GND	-	7	-	-	
GND	-	8	-	-	
F_LVDS_A3_P	134	9	0	A 通道 3+	3.3V
F_LVDS_A3_N	133	10	0	A 通道 3-	3.3V
GND	-	11	-	-	
GND	-	12	-	-	
F_LVDS_A4_P	132	13	0	A 通道 4+	3.3V

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
F_LVDS_A4_N	131	14	0	A 通道 4-	3.3V
GND	-	15	-	-	
GND	-	16	-	-	
F_LVDS_A5_P	121	17	1	A 通道 5+	3.3V
F_LVDS_A5_N	120	18	1	A 通道 5-	3.3V
GND	-	19	-	-	
GND	-	20	-	-	

表 3-12 J4 FPGA 管脚分配

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
F_LVDS_B1_P	119	1	1	B 通道 1+	3.3V
F_LVDS_B1_N	118	2	1	B 通道 1-	3.3V
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_B2_P	117	5	1	B 通道 2+	3.3V
F_LVDS_B2_N	116	6	1	B 通道 2-	3.3V
GND	-	7	-	-	-
GND	-	8	-	-	-
F_LVDS_B3_P	115	9	1	B 通道 3+	3.3V
F_LVDS_B3_N	114	10	1	B 通道 3-	3.3V
GND	-	11	-	-	-
GND	-	12	-	-	-
F_LVDS_B4_P	113	13	1	B 通道 4+	3.3V
F_LVDS_B4_N	112	14	1	B 通道 4-	3.3V
GND	-	15	-	-	-
GND	-	16	-	-	-
F_LVDS_B5_P	110	17	1	B 通道 5+	3.3V
F_LVDS_B5_N	110	18	1	B 通道 5-	3.3V
GND	-	19	-	-	-
GND	-	20	-	-	-

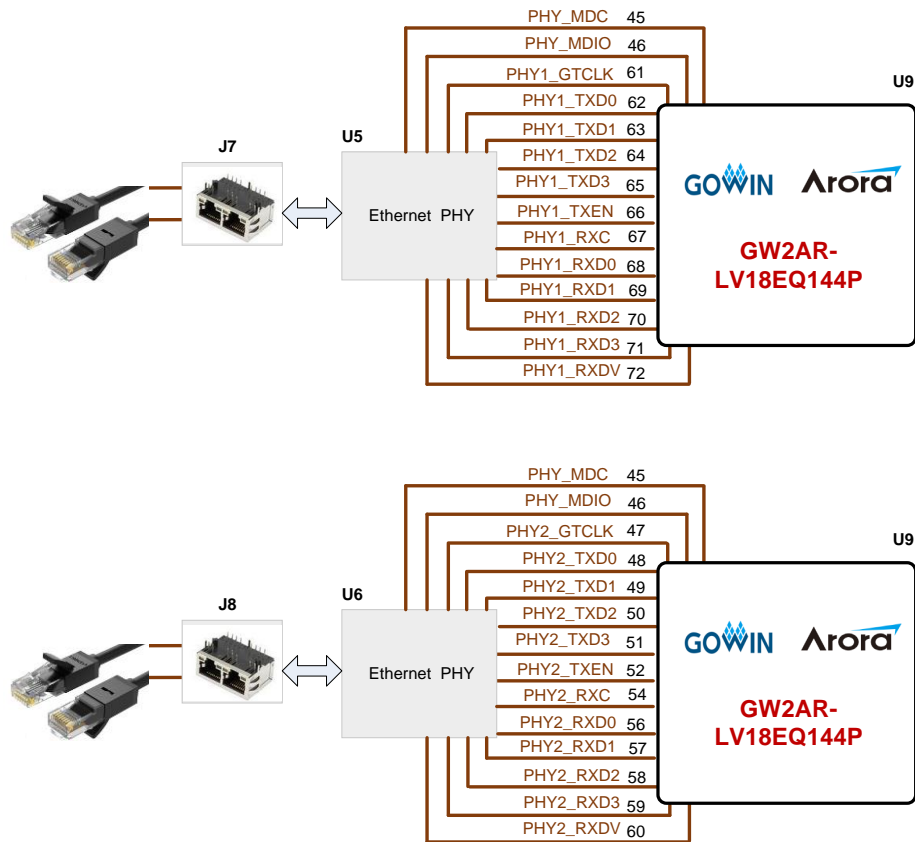
3.10 Ethernet

3.10.1 概述

为方便用户进行 FPGA 与 PC 或其他外部设备通信，预留 2 路 Ethernet 接口。

3.10.2 Ethernet 电路

图 3-9 Ethernet 下载连接示意图



3.10.3 管脚分配

表 3-13 Ethernet1 管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
PHY_MDC	45	5	PHY1 管理接口时钟	3.3V
PHY_MDIO	46	5	PHY1 管理接口数据	3.3V
PHY1_GTCLK	61	4	RGMI/MI 发送时钟	3.3V
PHY1_TXD0	62	4	RGMI/MI 发送数据	3.3V
PHY1_TXD1	63	4	RGMI/MI 发送数据	3.3V
PHY1_TXD2	64	4	RGMI/MI 发送数据	3.3V
PHY1_TXD3	65	4	RGMI/MI 发送数据	3.3V
PHY1_TXEN	66	4	RGMI/MI 发送使能	3.3V
PHY1_RXC	67	4	RGMI/MI 接收时钟	3.3V
PHY1_RXD0	68	4	RGMI/MI 接收数据	3.3V
PHY1_RXD1	69	4	RGMI/MI 接收数据	3.3V
PHY1_RXD2	70	4	RGMI/MI 接收数据	3.3V

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
PHY1_RXD3	71	4	RGMIIMII 接收数据	3.3V
PHY1_RXDV	72	4	RGMIIMII 接收使能	3.3V

表 3-14 Ethernet2 管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
PHY_MDC	45	5	PHY2 管理接口时钟	3.3V
PHY_MDIO	46	5	PHY2 管理接口数据	3.3V
PHY2_GTCLK	47	5	RGMIIMII 发送时钟	3.3V
PHY2_TXD0	48	5	RGMIIMII 发送数据	3.3V
PHY2_TXD1	49	5	RGMIIMII 发送数据	3.3V
PHY2_TXD2	50	5	RGMIIMII 发送数据	3.3V
PHY2_TXD3	51	5	RGMIIMII 发送数据	3.3V
PHY2_TXEN	52	5	RGMIIMII 发送使能	3.3V
PHY2_RXC	54	5	RGMIIMII 接收时钟	3.3V
PHY2_RXD0	56	4	RGMIIMII 接收数据	3.3V
PHY2_RXD1	57	4	RGMIIMII 接收数据	3.3V
PHY2_RXD2	58	4	RGMIIMII 接收数据	3.3V
PHY2_RXD3	59	4	RGMIIMII 接收数据	3.3V
PHY2_RXDV	60	4	RGMIIMII 接收使能	3.3V

4 开发板使用注意事项

开发板使用注意事项：

1. 开发板使用时，注意轻拿轻放，并做好静电防护。
2. 烧写外部 FLASH 时，请按照 [UG290, GW1N 系列 FPGA 产品编程配置手册](#) 中 MODE 值要求进行操作下载。
3. LVDS 差分信号作为输入时，需启用 TOP 层内置 100 欧姆端接电阻。

5 开发软件介绍

详细资料请参考 [SUG100, Gowin 云源软件用户手册](#)。

