



DK-START-GW1NSR2

用户手册

DBUG360-1.2, 2019-11-29

版权所有©2019 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2019/01/15	1.0	初始版本。
2019/04/22	1.1	更新下载流程及开发板使用注意事项。
2019/11/29	1.2	修改 MIPI 输入工作电压。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语	2
1.5 技术支持与反馈	3
2 开发板简介	4
2.1 概述	4
2.2 开发板套件	5
2.3 PCB 组件	6
2.4 系统框图	7
2.5 特性	8
2.6 指标	9
3 开发板电路	10
3.1 FPGA 模块	10
3.1.1 概述	10
3.1.2 I/O BANK 说明	11
3.2 下载	13
3.2.1 概述	13
3.2.2 USB 下载电路	13
3.2.3 下载流程	13
3.2.4 管脚分配	14
3.3 电源	14
3.3.1 概述	14

3.3.2 电源系统分配	15
3.3.1 电源管脚分配	16
3.4 时钟、复位	16
3.4.1 概述	16
3.4.2 时钟、复位电路	16
3.4.3 管脚分配	16
3.5 LED	17
3.5.1 概述	17
3.5.2 LED 电路	17
3.5.3 管脚分配	17
3.6 按键	17
3.6.1 概述	17
3.6.2 按键电路	18
3.6.3 管脚分配	18
3.7 GPIO	18
3.7.1 概述	18
3.7.2 GPIO 电路	19
3.7.3 管脚分配	19
3.8 MIPI/LVDS	19
3.8.1 概述	19
3.8.2 MIPI/LVDS 电路	20
3.8.3 管脚分配	21
3.9 ADC	22
3.9.1 概述	22
3.9.2 ADC 电路	23
3.9.3 管脚分配	23
4 开发板使用注意事项	24
5 开发软件介绍	25

图目录

图 2-1 DK-START-GW1NSR2 开发板	4
图 2-2 开发板套件.....	5
图 2-3 开发板 PCB 组件说明	6
图 2-4 系统框图	7
图 3-1 GW1NSR 系列 FPGA 产品 I/O BANK 整体示意图	11
图 3-2 GW1NSR-2 器件 QN48 封装管脚分布示意图（顶视图）	11
图 3-3 FPGA USB 下载连接示意图	13
图 3-4 电源系统分配示意图	15
图 3-5 时钟、复位电路	16
图 3-6 LED 电路	17
图 3-7 按键电路	18
图 3-8 GPIO 电路	19
图 3-9 LVDS 电路	20
图 3-10 ADC 电路	23

表目录

表 1-1 术语、缩略语	2
表 2-1 开发板指标.....	9
表 3-1 GW1NSR-2/GW1NSR-2C 系列 FPGA 产品信息列表	10
表 3-2 FPGA I/O 管脚分布.....	12
表 3-3 FPGA 下载管脚分配	14
表 3-4 FPGA 电源管脚分配	16
表 3-5 FPGA 时钟与复位管脚分配	16
表 3-6 LED 管脚分配	17
表 3-7 按键电路管脚分配.....	18
表 3-8 J14 GPIO 管脚分配	19
表 3-9 J15 FPGA 管脚分配	21
表 3-10 J16 FPGA 管脚分配	21
表 3-11 J16 ADC 管脚分配	23

1 关于本手册

1.1 手册内容

DK-START-GW1NSR2 用户手册分为四个部分：

1. 简述开发板的功能特点和硬件资源；
2. 介绍开发板上的各部分硬件电路的功能、电路及管脚分配；
3. 开发板使用注意事项；
4. 介绍 FPGA 开发软件的使用方法。

1.2 适用产品

本手册中所述信息可适用于 GW1NSR 系列 FPGA 产品：GW1NSR-2, GW1NSR-2C。

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. [DS861](#)，GW1NSR 系列 FPGA 产品数据手册
2. [UG863](#)，GW1NSR 系列 FPGA 产品封装与管脚手册
3. [UG862](#)，GW1NSR-2&2C 器件 Pinout 手册
4. [UG290](#)，Gowin FPGA 产品编程配置手册
5. [SUG100](#)，Gowin 云源软件用户手册

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
SoC	System On Chip	片上系统
ARM	Advanced RISC Machines	ARM 处理器
AHB	Advanced High performance Bus	AHB 系统总线
APB	Advanced Peripheral Bus	APB 外围总线
Timer	Timer	定时器
RS232	Universal Asynchronous Receiver/Transmitter	通用异步收发器
NVIC	Nested Vector Interrupt Controller	嵌套式向量中断控制器
DAP	Debug Access Port	调试访问端口
Watchdog	Watchdog	看门狗
TimeStamp	TimeStamp	时间戳
DWT	Data Watchpoint Trace	数据监测点跟踪
ITM	Instrumentation Trace Module	仪器跟踪模块
TUIP	Trace Port Interface Unit	跟踪端口接口单元
USB	Universal Serial Bus	通用串行总线
PHY	Physical Layer	物理层
ADC	Analog to Digital Converter	模数转换器
SAR	Successive Approximation Register	逐次逼近型
SFDR	Spurious-free Dynamic Range	无杂散动态范围
SINAD	Signal to Noise And Distortion	信号与噪声失真比
LSB	Least Significant Bit	最低有效位
INL	Integral Nonlinearity	非线性积分
DNL	Differential Nonlinearity	非线性微分
CFU	Configurable Function Unit	可配置功能单元
CLS	Configurable Logic Slice	可配置逻辑片
CRU	Configurable Routing Unit	可编程布线单元
LUT4	4-input Look-up Tables	4 输入查找表
LUT5	5-input Look-up Tables	5 输入查找表
LUT6	6-input Look-up Tables	6 输入查找表
LUT7	7-input Look-up Tables	7 输入查找表
LUT8	8-input Look-up Tables	8 输入查找表
REG	Register	寄存器
ALU	Arithmetic Logic Unit	算术逻辑单元

术语、缩略语	全称	含义
IOB	Input/Output Block	输入输出模块
S-SRAM	Shadow SRAM	分布式静态随机存储器
B-SRAM	Block SRAM	块状静态随机存储器
SP	Single Port	单端口
SDP	Semi Dual Port	伪双端口
DP	Dual Port	双端口
PSRAM	Pseudo static random access memory	伪静态随机存储器
DQCE	Dynamic Quadrant Clock Enable	动态象限时钟使能
DCS	Dynamic Clock Selector	动态时钟选择器
PLL	Phase-locked Loop	锁相环
DLL	Delay-locked Loop	延迟锁相环
LQ144	LQFP144	LQFP144 封装

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

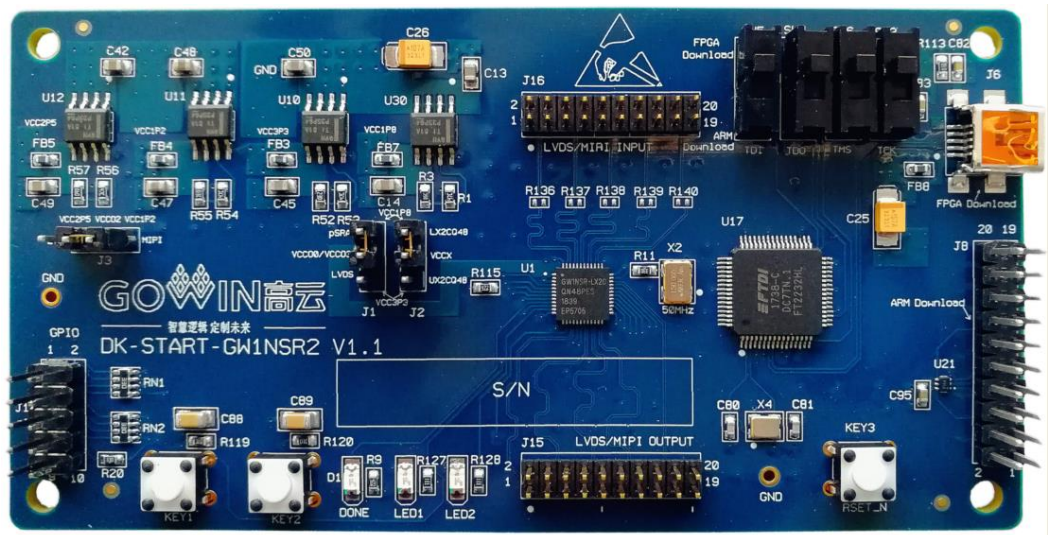
E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 开发板简介

2.1 概述

图 2-1 DK-START-GW1NSR2 开发板



开发板采用高云半导体 GW1NSR-2 SoC FPGA 器件，SoC FPGA 内嵌 ARM Cortex-M3 硬核处理器、32Mbit PSRAM、1Mbit 用户闪存以及 8 通道 ADC 转换器等资源。以 ARM Cortex-M3 硬核处理器为核心，具备了实现系统功能所需要的最小内存；内嵌的 FPGA 逻辑模块单元方便灵活，可实现多种外设控制功能，能提供出色的计算功能和异常系统响应中断，具有高性能、低功耗、使用灵活、瞬时启动、低成本、非易失性、高安全性、方便扩展等特点，可有效降低学习成本，帮助用户快速进入可编程逻辑器件的设计开发领域。

开发板上设计了丰富的外部接口，包括 MIPI/LVDS 接口、GPIO 接口、ADC 接口等；同时还有按钮开关、LED、时钟、复位等资源，可供开发人员或爱好者学习使用。

2.2 开发板套件

开发板套件包括：

- DK-START-GW1NSR2 开发板
- USB 数据线
- 快速应用手册

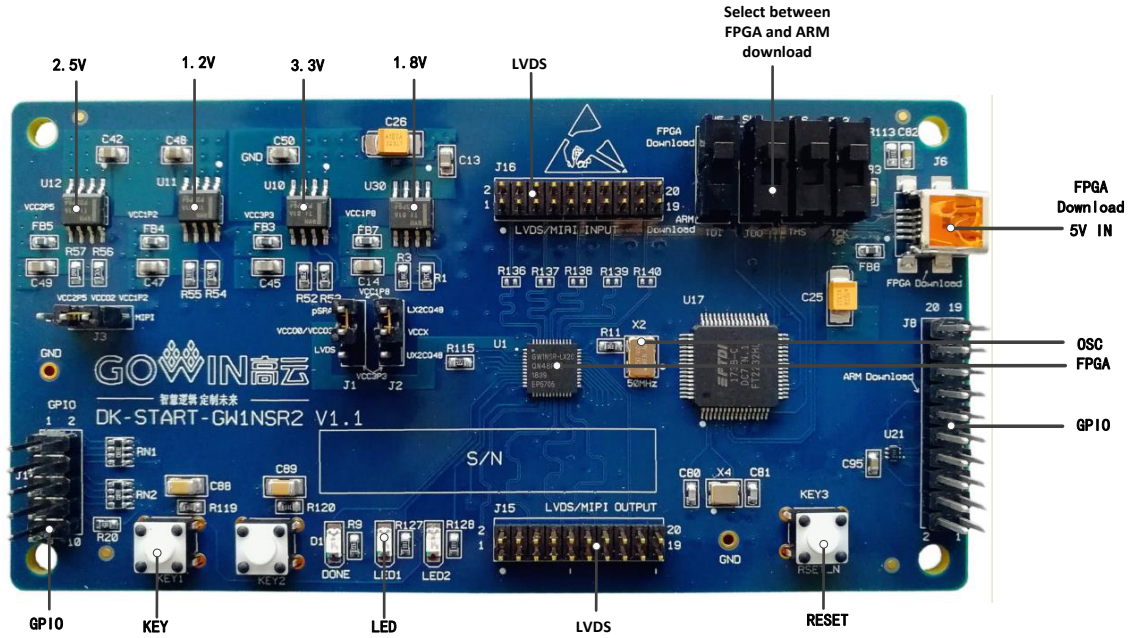
图 2-2 开发板套件



- ① DK-START-GW1NSR2开发板
- ② USB 数据线
- ③ 快速应用手册

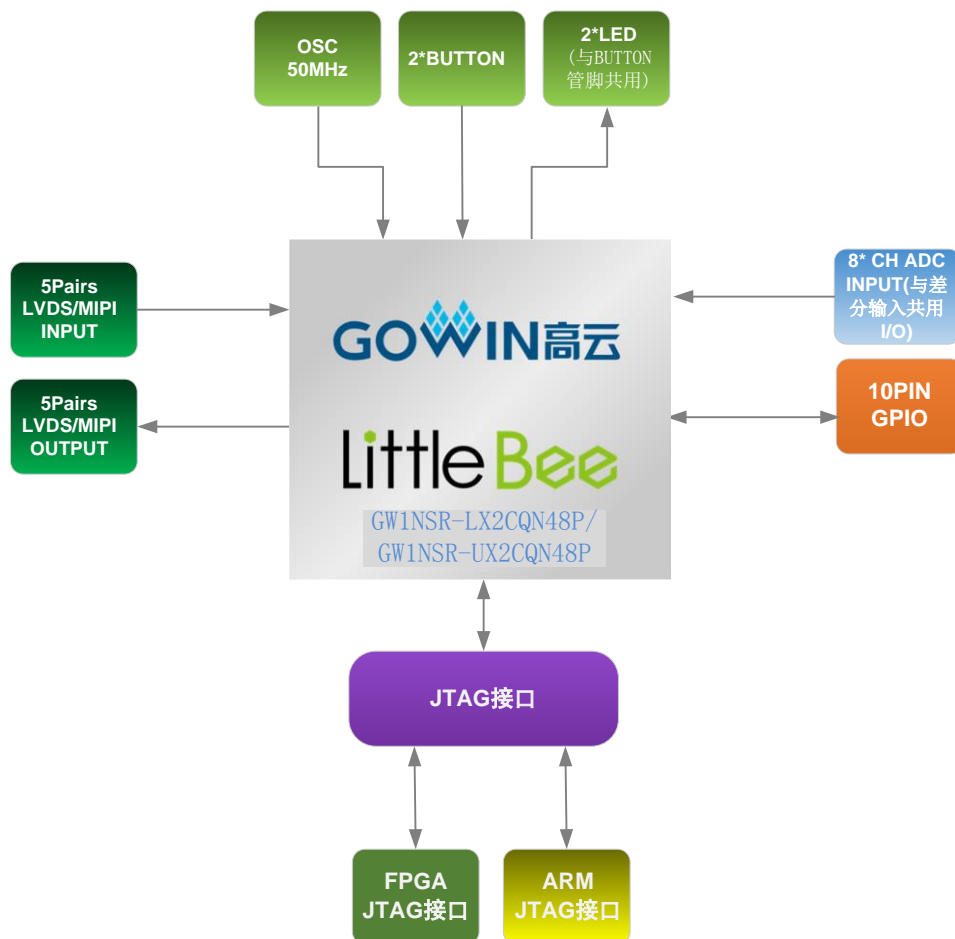
2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



2.4 系统框图

图 2-4 系统框图



2.5 特性

开发板组成结构及特性如下：

1. FPGA
 - 采用 QN48 封装
 - 多达 38 个用户 I/O
 - 内嵌 Flash，掉电不易丢失
 - 丰富的 LUT4 资源
 - 多种模式、容量丰富的 B-SRAM
2. FPGA 配置模式
 - JTAG
 - AUTO BOOT
3. 时钟资源
 - 50MHz 时钟晶振
4. 按键和滑动开关
 - 1 个复位按键
 - 2 个按键开关
5. LED
 - 1 个电源指示灯（绿）
 - 1 个 DONE 指示灯（绿）
 - 2 个 LED（绿）
6. 存储
 - 1Mbit 内嵌 Flash
 - 32Mbit 内嵌 PSRAM
7. MIPI/LVDS
 - 5 对 MIPI/LVDS 差分输入；5 对 MIPI/LVDS 差分输出
8. GPIO
 - 9 个扩展 I/O 资源
9. LDO 电源
 - 提供 3.3V、2.5V、1.2V 电源

2.6 指标

表 2-1 开发板指标

序号	项目	功能描述	技术条件	备注
1	FPGA	开发板核心芯片	—	—
2	下载	支持 USB 接口；支持 JTAG、AUTOBOOT	板上集成 USB 转 JTAG 芯片	—
3	电源	提供 DC5V 输入，通过 LDO 电路输出 3.3V、2.5V、1.2V 电源	<ul style="list-style-type: none"> ● 输入电源为 5V； ● 5V 转 3.3V 电路为 FPGA、下载电路及其他电路提供电源； ● 5V 转 2.5V 电路为 FPGA 提供电源； ● 5V 转 1.2V 电路给 FPGA 提供电源。 	—
4	按键开关	可供用户测试使用	2 个	—
5	复位按键	为 FPGA 提供复位	1 个	—
6	LED	测试指示、DONE 指示、电源指示	<ul style="list-style-type: none"> ● 测试指示灯 2 个，绿色（I/O 位置与按键共用）； ● DONE 指示灯 1 个，绿色； ● 电源指示灯 1 个，绿色。 	—
7	晶振	为 FPGA 提供 50MHz 时钟	封装 5032	—
8	存储	为设计提供丰富的 FLASH 和 PRAM 资源	<ul style="list-style-type: none"> ● 1Mbit 内嵌 Flash ● 32Mbit 内嵌 PSRAM 	—
9	GPIO	I/O，方便用户进行扩展和测试	9 个	—
10	MIPI/LVDS	MIPI/LVDS，供测试使用	5 对输入，5 对输出	—
11	保护	USB 接口有 ESD 保护、电源接口具有反向保护功能、电流过流保护	<ul style="list-style-type: none"> ● USB 接口 ESD 保护：$\pm 15\text{kV}$ 非接触放电，$\pm 8\text{kV}$ 接触放电； ● 电源接口正负极间方向接有肖特基二极管； ● 电源入口接有耐 2A 的自恢复保险丝。 	—
12	电压	—	输入电压 5V	—
13	湿度	—	95%	—
14	温度	—	工作范围 $-20^{\circ}\sim 70^{\circ}$	—

3 开发板电路

3.1 FPGA 模块

3.1.1 概述

GW1NSR 系列 FPGA 产品资源信息如表 3-1 所示。

表 3-1 GW1NSR-2/GW1NSR-2C 系列 FPGA 产品信息列表

器件	GW1NSR-2	GW1NSR-2C
逻辑单元(LUT4)	1,728	1,728
寄存器(FF)	1,296	1,296
块状静态随机存储器 B-SRAM(bits)	72K	72K
块状静态随机存储器数目 B-SRAM(个)	4	4
用户闪存(bits)	1M	1M
PSRAM(bits)	32M	32M
锁相环(PLLs+DLLs)	1+2	1+2
OSC	1, 精度±5%	1, 精度±5%
硬核处理器	-	Cortex-M3
USB PHY	USB 2.0 PHY	USB 2.0 PHY
ADC ¹	1	1
I/O Bank 总数	4	4
最多用户 I/O ¹	38	38
核电压	1.2V	1.2V

注!

详细信息请参考 [《GW1NSR 系列 FPGA 产品数据手册》](#)。

3.1.2 I/O BANK 说明

GW1NSR 系列 FPGA 产品分为四个 I/O BANK 区，图 3-1 为 GW1NSR 系列 FPGA 产品的 I/O BANK 整体示意图。

图 3-1 GW1NSR 系列 FPGA 产品 I/O BANK 整体示意图

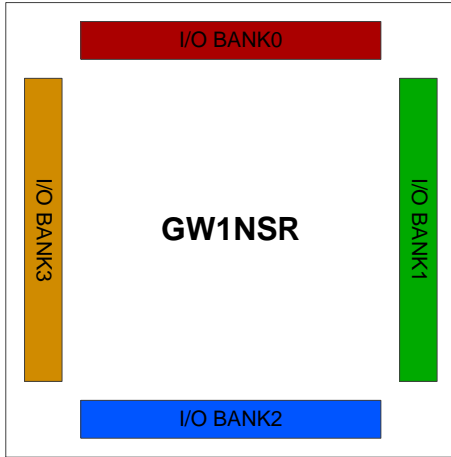


图 3-2 GW1NSR-2 器件 QN48 封装管脚分布示意图（顶视图）

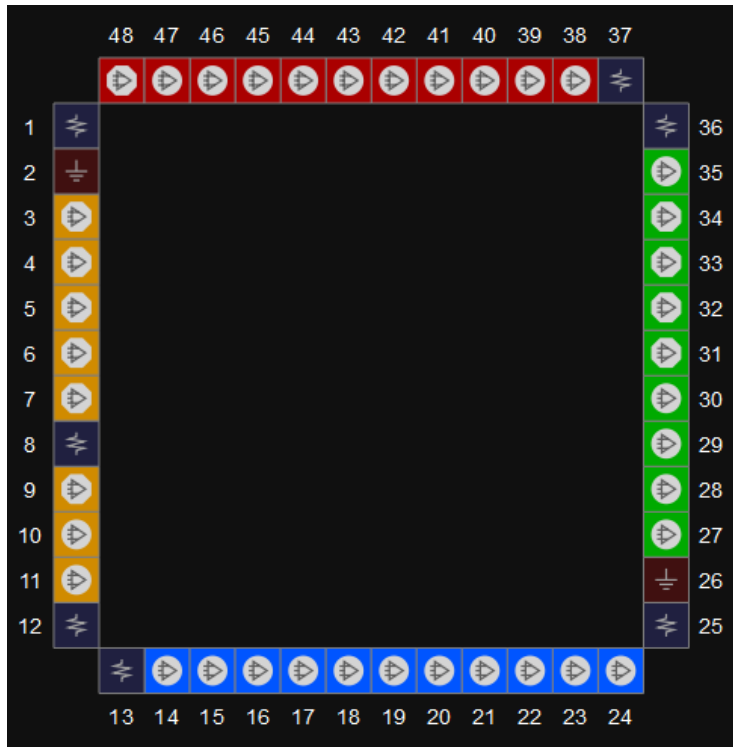


表 3-2 FPGA I/O 管脚分布

I/O BANK 序号	连接的模块
I/O BANK0	<ul style="list-style-type: none">● 下载模式选择管脚● MIPI/LVDS 差分输入● ADC 输入
I/O BANK1	<ul style="list-style-type: none">● GPIO● 50MHz 时钟输入● MIPI/LVDS 差分输出
I/O BANK2	<ul style="list-style-type: none">● MIPI/LVDS 差分输出● GPIO● 复位
I/O BANK3	<ul style="list-style-type: none">● GPIO● LED/BUTTON● JTAG 下载● DONE

3.2 下载

3.2.1 概述

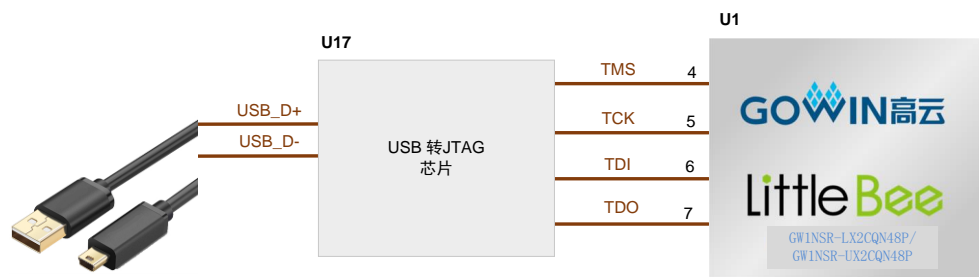
开发板提供 USB 下载接口。下载时可根据需要下载至片内 SRAM、内部 Flash。

注！

- 下载至 SRAM 时，当器件掉电后数据流文件会丢失，重新上电需再次下载数据流文件；
- 下载至 Flash 后，掉电后数据流文件不会丢失。

3.2.2 USB 下载电路

图 3-3 FPGA USB 下载连接示意图



3.2.3 下载流程

1. FPGA 和 MCU 下载模式：
对 FPGA 和 MCU 下载时将 USB 下载线插在开发板的 USB 接口（J6）。

注！

下载前，需将开发板上的开关 SW3、SW4、SW5、SW6 拨到 FPGA Download 侧。

2. MCU 调试模式：

对 MCU 调试时需用 J-Link ARM 仿真器连接到 ARM JTAG 口（J8）。

注！

调试前，需将开发板上的开关 SW3、SW4、SW5、SW6 拨到 ARM Download 侧；

3.2.4 管脚分配

表 3-3 FPGA 下载管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
TMS	4	3	JTAG 信号	3.3V(MIPI/LVDS/ADC)/ 1.8V(PSRAM)
TCK	5	3	JTAG 信号	3.3V(MIPI/LVDS/ADC)/ 1.8V(PSRAM)
TDI	6	3	JTAG 信号	3.3V(MIPI/LVDS/ADC)/ 1.8V(PSRAM)
TDO	7	3	JTAG 信号	3.3V(MIPI/LVDS/ADC)/ 1.8V(PSRAM)
MODE2	48	0	模式选择脚	3.3V(MIPI/LVDS/ADC)/ 1.8V(PSRAM)
DONE	9	3	DONE 指示	3.3V(MIPI/LVDS/ADC)/ 1.8V(PSRAM)

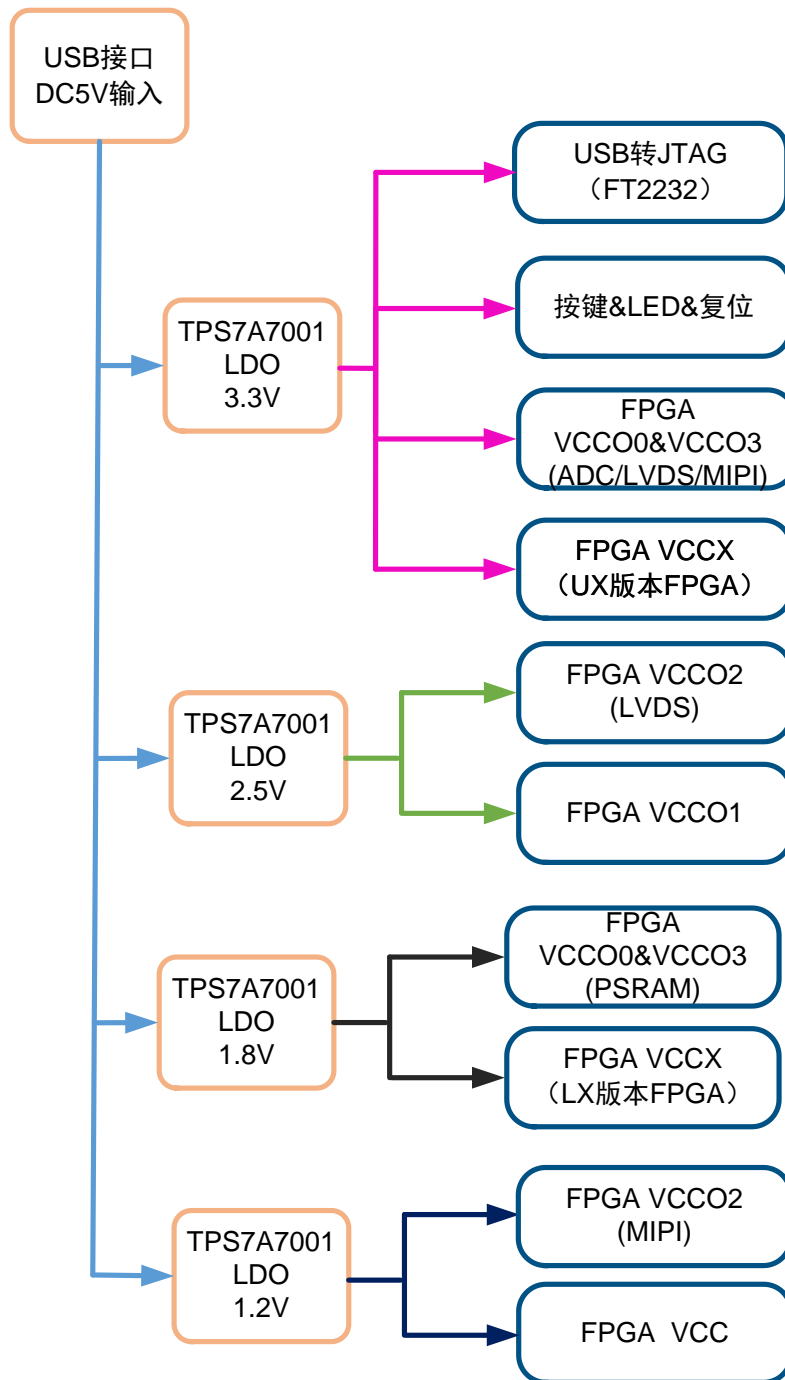
3.3 电源

3.3.1 概述

电源 DC5V 输入, 采用 TI 的 LDO 电源芯片, 实现由 5V 到 3.3V、2.5V、1.8V、1.2V 的变换, 可满足开发板的电源需求。

3.3.2 电源系统分配

图 3-4 电源系统分配示意图



3.3.1 电源管脚分配

表 3-4 FPGA 电源管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
VCCO0	1	0	I/O Bank 电压	1.8V/3.3V
VCCO1	25	1	I/O Bank 电压	2.5V
VCCO2	13	2	I/O Bank 电压	1.2V/2.5V
VCCO3	1	3	I/O Bank 电压	1.8V/3.3V
VCCX	8、36	-	辅助电压	1.8/3.3V
VCC	12、37	-	核电压	1.2V
VSS	2、26	-	GND	-

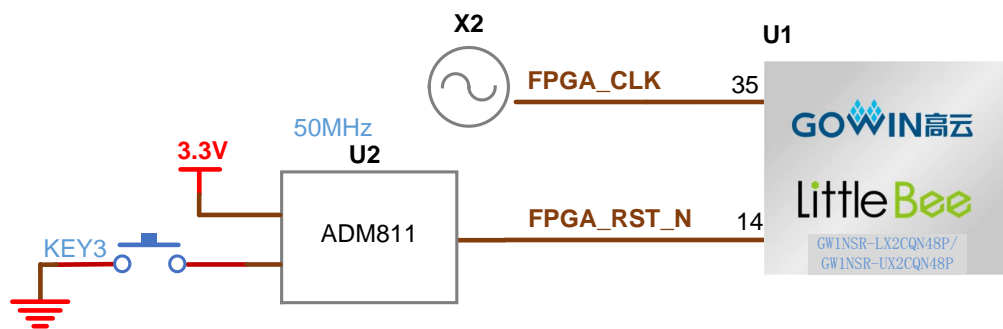
3.4 时钟、复位

3.4.1 概述

开发板提供了一个 50MHz 晶振，连接到 PLL 输入管脚，可作为 FPGA 内部 PLL 的时钟输入，通过 PLL 的分倍频可以输出用户所需的时钟。

3.4.2 时钟、复位电路

图 3-5 时钟、复位电路



3.4.3 管脚分配

表 3-5 FPGA 时钟与复位管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
FPGA_CLK	35	1	50MHz 有源晶振输入	3.3V
FPGA_RST_N	14	2	复位信号，低有效	3.3V

3.5 LED

3.5.1 概述

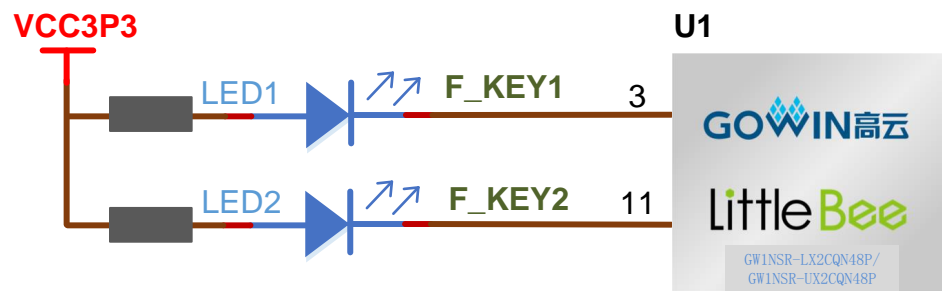
开发板中有 2 个绿色 LED 灯（I/O 管脚与按键共用），用户可通过 LED 灯显示所需状态。同时为了便于观察电源情况和 FPGA 加载情况，亦分别各留一个 LED 灯。

可通过以下方式对 LED 灯进行测试：

- 当 FPGA 对应管脚输出信号为逻辑低电平时，LED 被点亮；
- 当输出信号为高电平时，LED 熄灭。

3.5.2 LED 电路

图 3-6 LED 电路



3.5.3 管脚分配

表 3-6 LED 管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
F_KEY1	3	3	LED1	3.3V
F_KEY2	11	3	LED2	3.3V

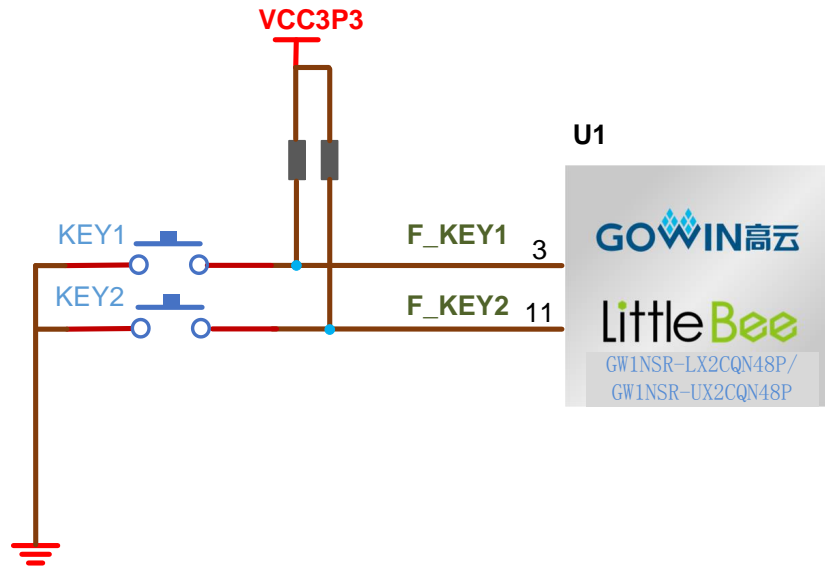
3.6 按键

3.6.1 概述

开发板有 2 个按键开关，用户可通过手动控制向对应 FPGA 管脚输入低电平，可作为测试控制输入使用。

3.6.2 按键电路

图 3-7 按键电路



3.6.3 管脚分配

表 3-7 按键电路管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
F_KEY1	3	3	KEY1	3.3V
F_KEY2	11	3	KEY2	3.3V

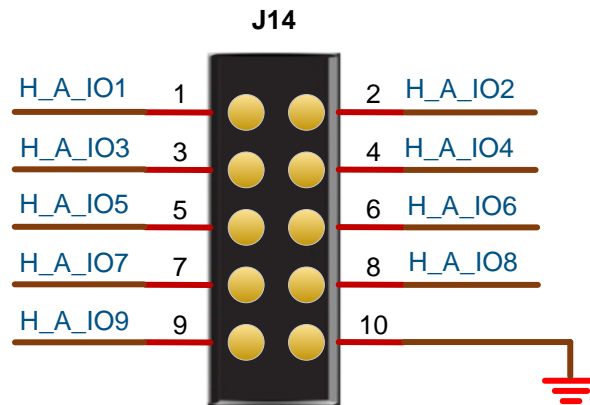
3.7 GPIO

3.7.1 概述

为方便用户功能扩展和测试，在开发板上预留 1 个 2.54mm 间距的 DC3-10P 插座。

3.7.2 GPIO 电路

图 3-8 GPIO 电路



3.7.3 管脚分配

表 3-8 J14 GPIO 管脚分配

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
H_A_IO1	10	3	0	通用 I/O	VCCO0/VCCO3
H_A_IO2	17	2	0	通用 I/O	VCCO2
H_A_IO3	18	2	0	通用 I/O	VCCO2
H_A_IO4	27	1	0	通用 I/O	2.5V
H_A_IO5	28	1	0	通用 I/O	2.5V
H_A_IO6	29	1	0	通用 I/O	2.5V
H_A_IO7	30	1	0	通用 I/O	2.5V
H_A_IO8	31	1	3	通用 I/O	2.5V
H_A_IO9	32	1	3	通用 I/O	2.5V
GND	-	10	-	GND	-

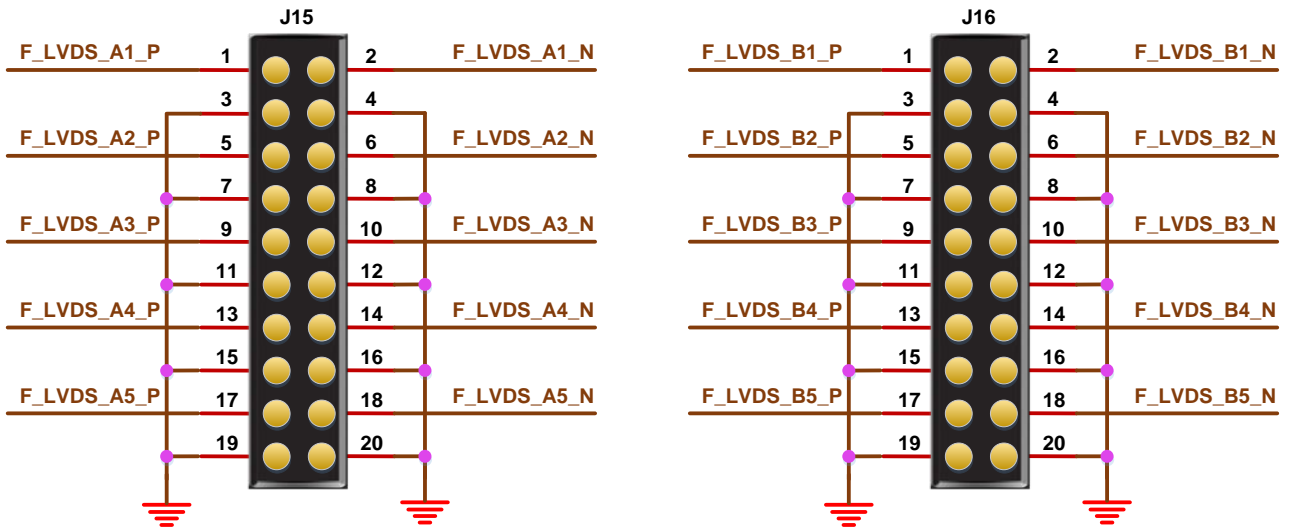
3.8 MIPI/LVDS

3.8.1 概述

为方便用户 MIPI/LVDS 输入输出性能测试和高速数据传输，在开发板上预留 2 个 2.0mm 间距的 DC3-20P 插座。

3.8.2 MIPI/LVDS 电路

图 3-9 LVDS 电路



3.8.3 管脚分配

表 3-9 J15 FPGA 管脚分配

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
F_LVDS_A1_P	15	1	2	差分输出通道 1+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A1_N	16	2	2	差分输出通道 1-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_A2_P	19	5	2	差分输出通道 2+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A2_N	20	6	2	差分输出通道 2-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	7	-	-	-
GND	-	8	-	-	-
F_LVDS_A3_P	21	9	2	差分输出通道 3+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A3_N	22	10	2	差分输出通道 3-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	11	-	-	-
GND	-	12	-	-	-
F_LVDS_A4_P	23	13	2	差分输出通道 4+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A4_N	24	14	2	差分输出通道 4-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	15	-	-	-
GND	-	16	-	-	-
F_LVDS_A5_P	33	17	1	差分输出通道 5+	2.5V(LVDS)
F_LVDS_A5_N	34	18	1	差分输出通道 5-	2.5V(LVDS)
GND	-	19	-	-	-
GND	-	20	-	-	-

表 3-10 J16 FPGA 管脚分配

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
F_LVDS_B1_P	47	1	0	差分输入通道 1+	3.3V(LVDS)/ 1.8V(MIPI)
F_LVDS_B1_N	46	2	0	差分输入通道 1-	3.3V(LVDS)/ 1.8V(MIPI)
GND	-	3	-	-	-

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
GND	-	4	-	-	-
F_LVDS_B2_P	45	5	0	差分输入通道 2+	3.3V(LVDS)/ 1.8V(MIPI)
F_LVDS_B2_N	44	6	0	差分输入通道 2-	3.3V(LVDS)/ 1.8V(MIPI)
GND	-	7	-	-	-
GND	-	8	-	-	-
F_LVDS_B3_P	43	9	0	差分输入通道 3+	3.3V(LVDS)/ 1.8V(MIPI)
F_LVDS_B3_N	42	10	0	差分输入通道 3-	3.3V(LVDS)/ 1.8V(MIPI)
GND	-	11	-	-	-
GND	-	12	-	-	-
F_LVDS_B4_P	41	13	0	差分输入通道 4+	3.3V(LVDS)/ 1.8V(MIPI)
F_LVDS_B4_N	40	14	0	差分输入通道 4-	3.3V(LVDS)/ 1.8V(MIPI)
GND	-	15	-	-	-
GND	-	16	-	-	-
F_LVDS_B5_P	39	17	0	差分输入通道 5+	3.3V(LVDS)/ 1.8V(MIPI)
F_LVDS_B5_N	38	18	0	差分输入通道 5-	3.3V(LVDS)/ 1.8V(MIPI)
GND	-	19	-	-	-
GND	-	20	-	-	-

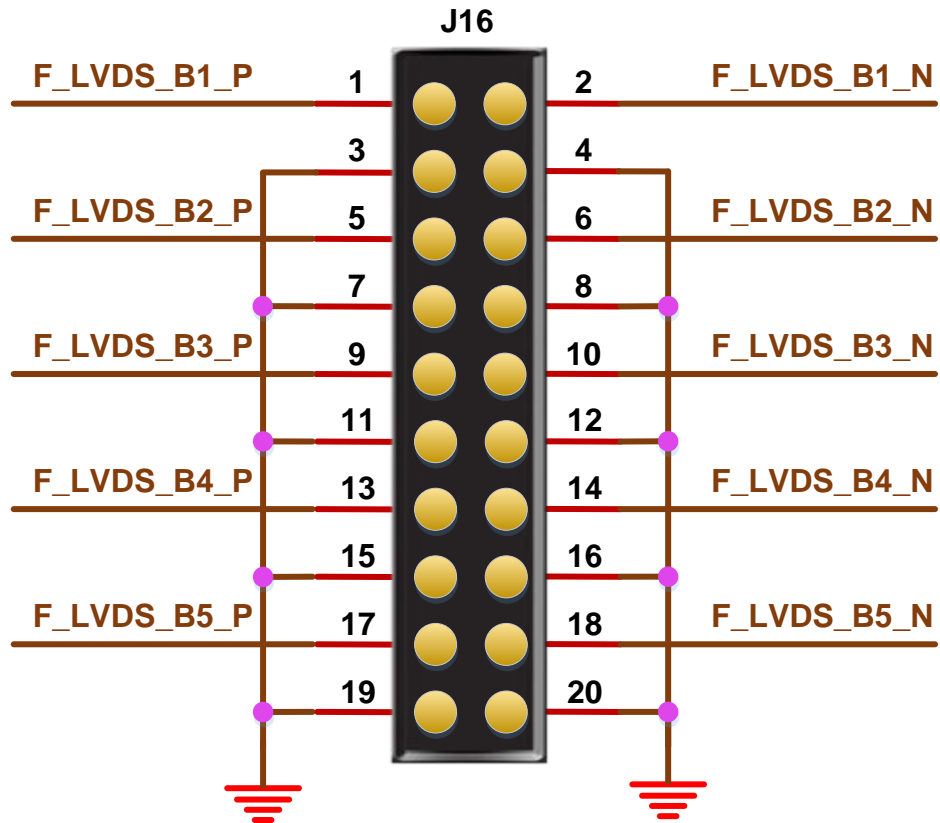
3.9 ADC

3.9.1 概述

为方便用户进行模拟信号进行 AD 转换，在开发板上，通过 J16 插座可以方便引入最多 4 路信号到 FPGA 内部，经内嵌 ADC 进行模数转换。

3.9.2 ADC 电路

图 3-10 ADC 电路



3.9.3 管脚分配

表 3-11 J16 ADC 管脚分配

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
F_LVDS_B1_P	47	1	0	ADC_CH0	3.3V(ADC)
F_LVDS_B1_N	46	2	0	接地	-
F_LVDS_B2_P	45	3	0	ADC_CH2	3.3V(ADC)
F_LVDS_B2_N	44	4	0	接地	-
F_LVDS_B3_P	43	5	0	ADC_CH4	3.3V(ADC)
F_LVDS_B3_N	42	6	0	接地	-
F_LVDS_B4_P	41	7	0	ADC_CH6	3.3V(ADC)
F_LVDS_B4_N	40	8	0	接地	-

4 开发板使用注意事项

开发板使用注意事项：

1. 开发板使用时，注意轻拿轻放，并做好静电防护；
2. 程序下载：
 - 下载 FPGA 和 MCU 前，需将 SW3、SW4、SW5、SW6 开关拨到 FPGA Download 侧；
 - 调试 MCU 前，需将 SW3、SW4、SW5、SW6 开关拨到 ARM Download 侧。
3. 电压选择：
 - 当开发板上所贴 FPGA 为 UX 版本芯片时，VCCX 电压需调整到 3.3V；
 - 当开发板上所贴 FPGA 为 LX 版本芯片时，VCCX 电压需调整到 1.8V；
 - 当 Bank2 输出差分对作为 LVDS 输出时，需把 VCCO2 Bank 电压调整到 2.5V；
 - 当 Bank2 输出差分对作为 MIPI 输出时，需把 VCCO2 Bank 电压调整到 1.2V；
 - 当使用内部 PSRAM 资源时，需把 VCCO0&VCCO3 Bank 电压调整到 1.8V；
 - 当使用 ADC 或 MIPI/LVDS 输入时，需把 VCCO0&VCCO3 Bank 电压调整到 3.3V。

5 开发软件介绍

详细资料请参考 《Gowin 云源软件用户手册》。

