



DK-START-GW1NR9 V2.1

用户手册

DBUG361-1.2, 2020-04-03

版权所有©2020 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2019/12/19	1.0	初始版本。
2020/03/17	1.1	更新开发板实物图。
2020/04/03	1.2	修改 MIPI 输出数量。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语	2
1.5 技术支持与反馈	3
2 开发板简介	4
2.1 概述	4
2.2 开发板套件	5
2.3 PCB 组件	6
2.4 系统框图	7
2.5 特性	8
2.6 指标	9
3 开发板电路	10
3.1 FPGA 模块	10
3.1.1 概述	10
3.1.2 I/O BANK 说明	11
3.2 下载	13
3.2.1 概述	13
3.2.2 USB 下载电路	13
3.2.3 下载流程	13
3.2.4 管脚分配	13
3.3 电源	14
3.3.1 概述	14

3.3.2 电源系统分配	15
3.3.3 电源管脚分配	15
3.4 时钟	16
3.4.1 概述	16
3.4.2 时钟	16
3.4.3 管脚分配	16
3.5 LED	17
3.5.1 概述	17
3.5.2 LED 电路	17
3.5.3 管脚分配	17
3.6 开关	18
3.6.1 概述	18
3.6.2 开关电路	18
3.6.3 管脚分配	18
3.7 按键	18
3.7.1 概述	18
3.7.2 按键电路	19
3.7.3 管脚分配	19
3.8 GPIO	20
3.8.1 概述	20
3.8.2 GPIO 电路	20
3.8.3 管脚分配	21
3.9 MIPI/LVDS	23
3.9.1 概述	23
3.9.2 MIPI/LVDS 电路	23
3.9.3 管脚分配	24
4 开发板使用注意事项	27
5 开发软件介绍	28

图目录

图 2-1 DK-START-GW1NR9 V2.1 开发板	4
图 2-2 开发板套件	5
图 2-3 开发板 PCB 组件说明	6
图 2-4 系统框图	7
图 3-1 GW1NR 系列 FPGA 产品 I/O BANK 整体示意图	11
图 3-2 GW1NR-9 器件 LQ144 封装管脚分布示意图（顶视图）	12
图 3-3 FPGA USB 下载连接示意图	13
图 3-4 电源系统分配示意图	15
图 3-5 时钟电路	16
图 3-6 LED 电路	17
图 3-7 开关电路	18
图 3-8 按键电路	19
图 3-9 GPIO 电路	20
图 3-10 MIPI/LVDS 电路	23

表目录

表 1-1 术语、缩略语	2
表 2-1 开发板指标.....	9
表 3-1 GW1NR-9 系列 FPGA 产品信息列表	10
表 3-2 FPGA I/O 管脚分布.....	12
表 3-3 FPGA 下载管脚分配	13
表 3-4 FPGA 电源管脚分配	15
表 3-5 FPGA 时钟管脚分配	16
表 3-6 LED 管脚分配	17
表 3-7 开关电路管脚分配.....	18
表 3-8 按键电路管脚分配.....	19
表 3-9 J14 GPIO 管脚分配	21
表 3-10 J13 GPIO 管脚分配	21
表 3-11 J15 FPGA 管脚分配（支持 IDE516: 1）	24
表 3-12 J16 FPGA 管脚分配（支持 OSER16: 1）	24
表 3-13 J18 FPGA 管脚分配（支持 OSER16: 1）	25

1 关于本手册

1.1 手册内容

DK-START-GW1NR9 用户手册分为四个部分：

1. 简述开发板的功能特点和硬件资源；
2. 介绍开发板上的各部分硬件电路的功能、电路及管脚分配；
3. 开发板使用注意事项；
4. 介绍 FPGA 开发软件的使用方法。

1.2 适用产品

本手册中所述信息可适用于 GW1NR 系列 FPGA 产品：GW1NR-9。

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. [DS117](#)，GW1NR 系列 FPGA 产品数据手册
2. [UG119](#)，GW1NR 系列 FPGA 产品封装与管脚手册
3. [UG801](#)，GW1NR-9 器件 Pinout 手册
4. [UG290](#)，Gowin FPGA 产品编程配置手册
5. [SUG100](#)，Gowin 云源软件用户手册

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
SIP	System in Package	系统级封装
SDRAM	Synchronous Dynamic RAM	同步动态随机存储器
PSRAM	Pseudo Static Random Access Memory	伪静态随机存储器
CFU	Configurable Function Unit	可配置功能单元
CLS	Configurable Logic Slice	可配置逻辑片
CRU	Configurable Routing Unit	可编程布线单元
LUT4	4-input Look-up Tables	4 输入查找表
LUT5	5-input Look-up Tables	5 输入查找表
LUT6	6-input Look-up Tables	6 输入查找表
LUT7	7-input Look-up Tables	7 输入查找表
LUT8	8-input Look-up Tables	8 输入查找表
REG	Register	寄存器
ALU	Arithmetic Logic Unit	算术逻辑单元
IOB	Input/Output Block	输入输出模块
S-SRAM	Shadow SRAM	分布式静态随机存储器
B-SRAM	Block SRAM	块状静态随机存储器
SP	Single Port	单端口
SDP	Semi Dual Port	伪双端口
DP	Dual Port	双端口
DSP	Digital Signal Processing	数字信号处理
DQCE	Dynamic Quadrant Clock Enable	动态象限时钟使能
DCS	Dynamic Clock Selector	动态时钟选择器
PLL	Phase-locked Loop	锁相环
DLL	Delay-locked Loop	延迟锁相环
LQ144	LQFP144	LQFP144 封装

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

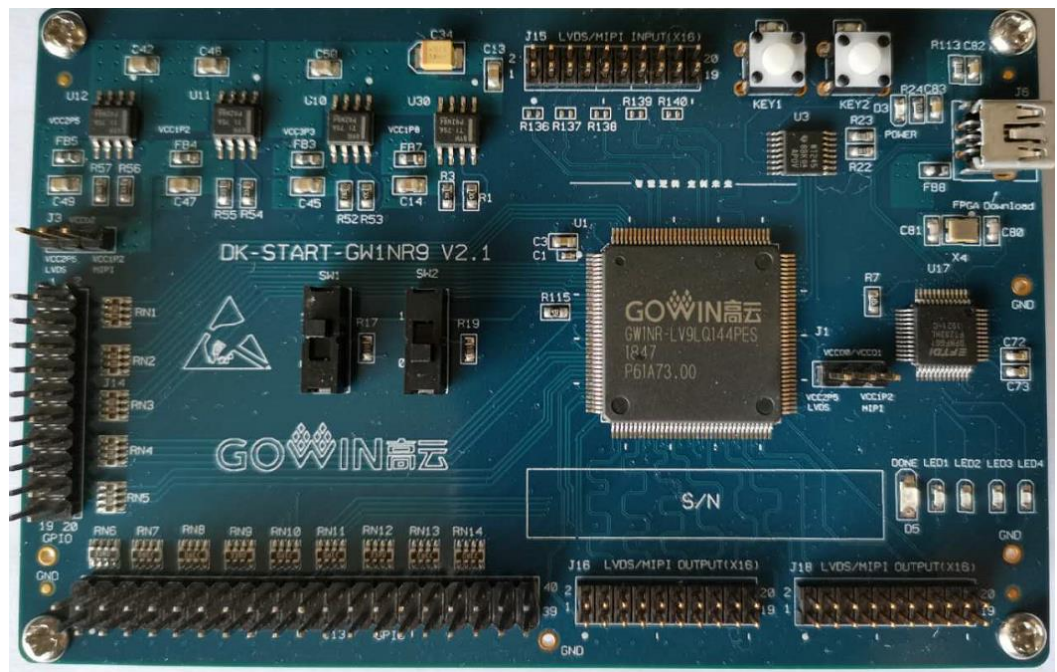
E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 开发板简介

2.1 概述

图 2-1 DK-START-GW1NR9 V2.1 开发板



开发板采用高云半导体 GW1NR-9 FPGA 器件，FPGA 内嵌 64Mbit PSRAM、用户闪存等资源。高云半导体 GW1NR 系列 FPGA 产品是高云半导体小蜜蜂®(LittleBee®)家族第一代产品，是一款系统级封装芯片，在 GW1N 基础上集成了丰富容量的 PSRAM 存储芯片，同时具有低功耗、瞬时启动、低成本、非易失性、高安全性、封装类型丰富、使用方便灵活等特点，可有效降低学习成本，帮助用户快速进入可编程逻辑器件的设计开发领域。

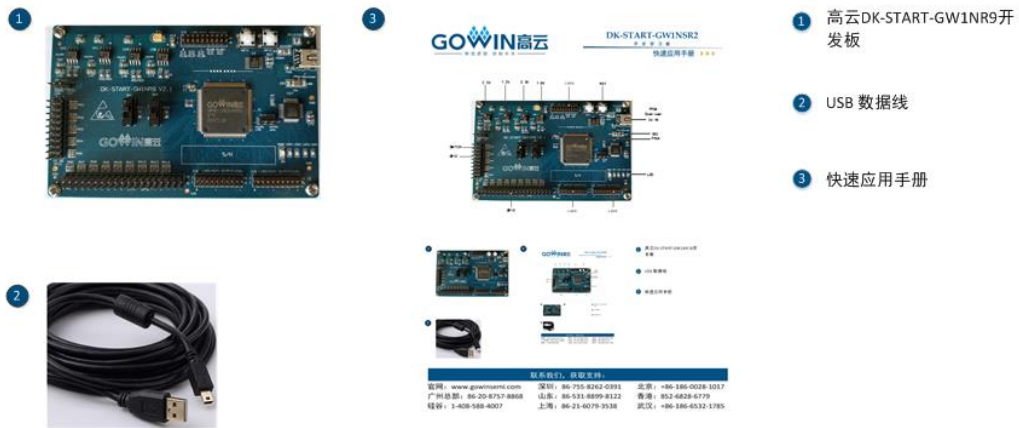
开发板上设计了丰富的外部接口，包括 MIPI/LVDS 接口、GPIO 接口等；同时还有滑动开关、按键开关、LED、时钟、复位等资源，可供开发人员或爱好者学习使用。

2.2 开发板套件

开发板套件包括：

- DK-START-GW1NR9 V2.1 开发板
- USB 数据线
- 快速应用手册

图 2-2 开发板套件



联系我们，获取支持：

官网：www.gowinsemi.com
 广州总部：86-20-8757-8868
 硅谷：1-408-588-4007

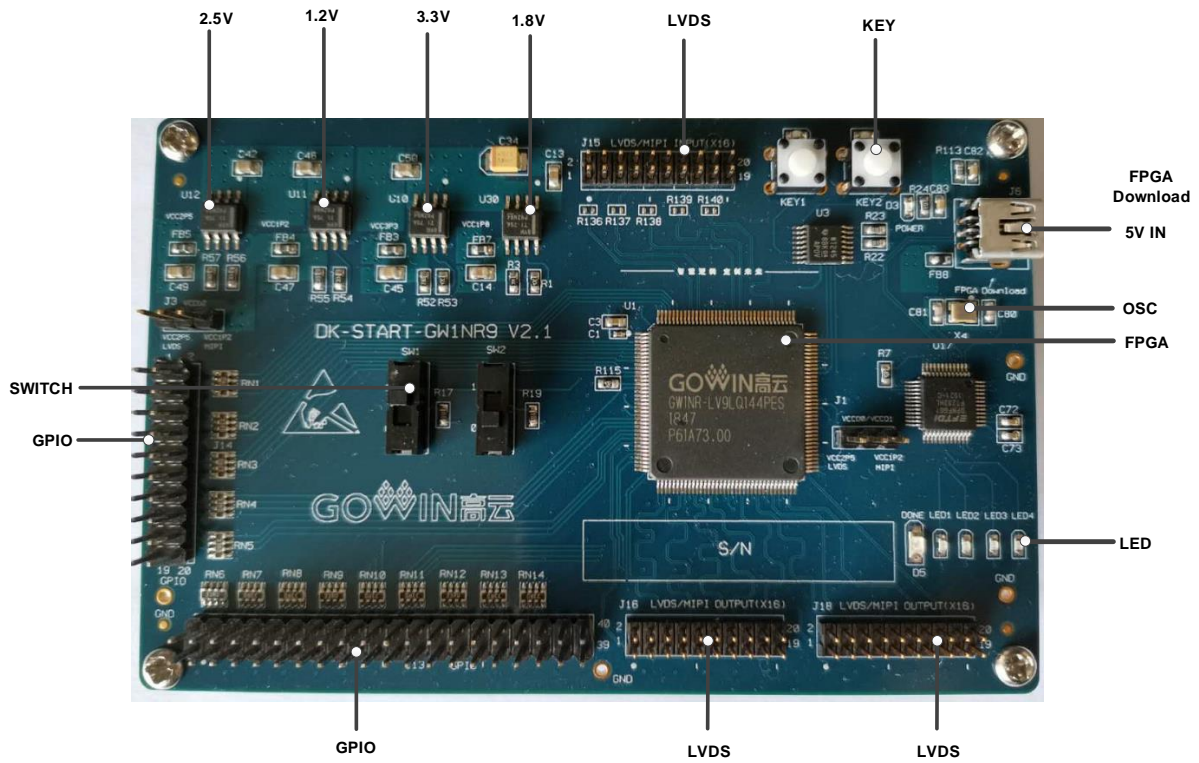
深圳：86-755-8262-0391
 山东：86-531-8899-8122
 上海：86-21-6079-3538

北京：+86-186-0028-1017
 香港：852-6828-6779
 武汉：+86-186-6532-1785

- ① DK-START-GW1NR9 V2.1开发板
- ② USB数据线
- ③ 快速应用手册

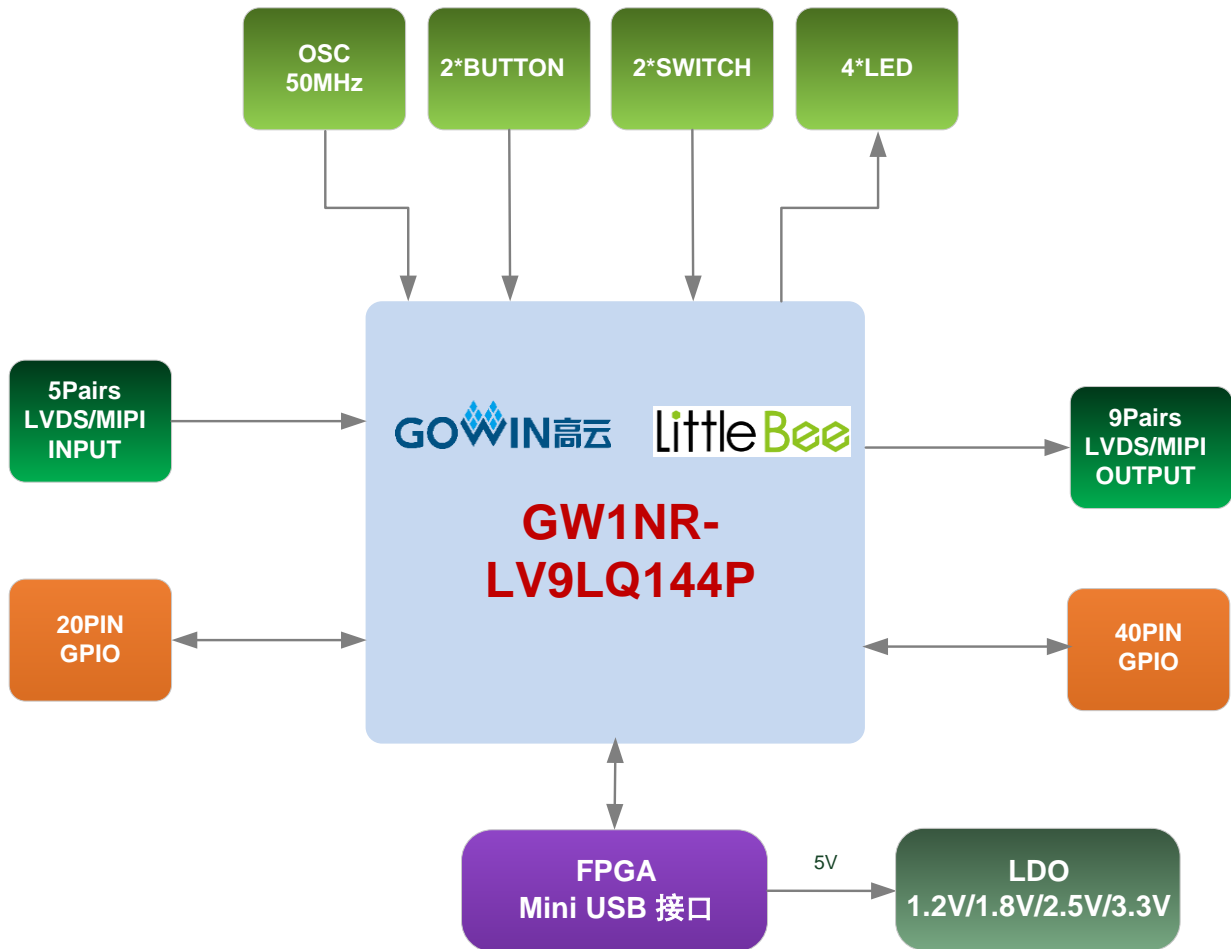
2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



2.4 系统框图

图 2-4 系统框图



2.5 特性

开发板组成结构及特性如下：

1. FPGA
 - 采用 LQFP144 封装
 - 多达 120 个用户 I/O
 - 内嵌 Flash，掉电不易丢失
 - 丰富的 LUT4 资源
 - 多种模式、容量丰富的 B-SRAM
2. FPGA 配置模式
 - JTAG
 - AUTO BOOT
3. 时钟资源
50MHz 时钟晶振
4. 按键和滑动开关
 - 2 个按键开关
 - 2 个滑动开关
5. LED
 - 1 个电源指示灯（绿）
 - 1 个 DONE 指示灯（绿）
 - 4 个 LED（绿）
6. 存储
 - 1Mbit 内嵌 Flash
 - 64Mbit 内嵌 PSRAM
7. MIPI/LVDS
5 对 LVDS 差分输入；9 对 MIPI/LVDS 差分输出
8. GPIO
55 个扩展 I/O 资源
9. LDO 电源
提供 3.3V、2.5V、1.8V、1.2V 电源

2.6 指标

表 2-1 开发板指标

序号	项目	功能描述	技术条件	备注
1	FPGA	开发板核心芯片	—	—
2	下载	支持 USB 接口；支持 JTAG、AUTOBOOT	板上集成 USB 转 JTAG 芯片	—
3	电源	通过 LDO 电路输出 3.3V、2.5V、1.2V 电源	<ul style="list-style-type: none"> ● 输入电源为 5V； ● 5V 转 3.3V 电路为 FPGA、下载电路及其他电路提供电源； ● 5V 转 2.5V 电路为 FPGA 提供电源； ● 5V 转 1.2V 电路给 FPGA 提供电源。 	—
4	滑动开关	可供用户测试使用	2 个	—
5	按键开关	可供用户测试使用	2 个	—
6	LED	测试指示、DONE 指示、电源指示	<ul style="list-style-type: none"> ● 测试指示灯 4 个，绿色； ● DONE 指示灯 1 个，绿色； ● 电源指示灯 1 个，绿色。 	—
7	晶振	为 FPGA 提供 50MHz 时钟	封装 5032	—
8	存储	为设计提供丰富的 FLASH 和 PRAM 资源	<ul style="list-style-type: none"> ● 1Mbit 内嵌 Flash ● 64Mbit 内嵌 PSRAM 	—
9	GPIO	I/O，方便用户进行扩展和测试	36 个	—
10	MIPI/LVDS	MIPI/LVDS，供测试使用	5 对输入，9 对输出	—
11	保护	USB 接口有 ESD 保护、电源接口具有反向保护功能、电流过流保护	<ul style="list-style-type: none"> ● USB 接口 ESD 保护：±15kV 非接触放电，±8kV 接触放电； ● 电源接口正负极间方向接有肖特基二极管； ● 电源入口接有耐 2A 的自恢复保险丝。 	—
12	电压	—	输入电压 5V	—
13	湿度	—	95%	—
14	温度	—	工作范围-20°~70°	—

3 开发板电路

3.1 FPGA 模块

3.1.1 概述

GW1NR 系列 FPGA 产品资源信息如表 3-1 所示。

表 3-1 GW1NR-9 系列 FPGA 产品信息列表

器件	GW1NR-9
逻辑单元(LUT4)	8,640
寄存器(FF)	6,480
分布式静态随机存储器 S-SRAM(bits)	17,280
块状静态随机存储器 B-SRAM(bits)	468K
块状静态随机存储器数目 B-SRAM(个)	26
用户闪存(bits)	608K
PSRAM(bits)	64M
乘法器(18 x 18 Multiplier)	20
锁相环(PLLs+DLLs)	2+4
I/O Bank 总数	4
最多用户 I/O ¹	120
核电压 (LV 版本)	1.2V

注!

详细信息请参考 [DS117, GW1NR 系列 FPGA 产品数据手册](#)。

3.1.2 I/O BANK 说明

GW1NR 系列 FPGA 产品分为四个 I/O BANK 区，图 3-1 为 GW1NR 系列 FPGA 产品的 I/O BANK 整体示意图。

图 3-1 GW1NR 系列 FPGA 产品 I/O BANK 整体示意图

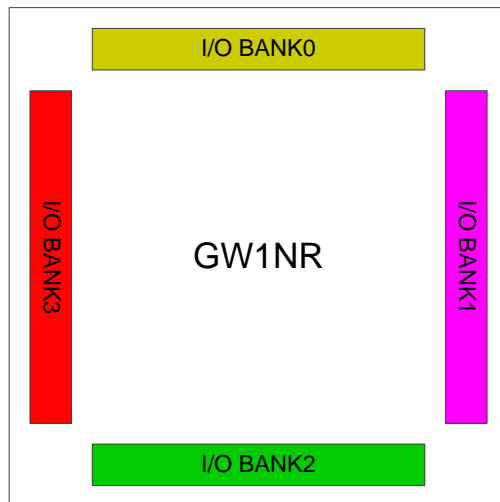


图 3-2 GW1NR-9 器件 LQ144 封装管脚分布示意图（顶视图）



表 3-2 FPGA I/O 管脚分布

I/O BANK 序号	连接的模块
I/O BANK0	<ul style="list-style-type: none"> ● 下载模式管脚 ● MIPI/LVDS 差分输入 ● GPIO
I/O BANK1	<ul style="list-style-type: none"> ● GPIO ● 50MHz 时钟输入 ● LED ● 滑动开关 ● 按键开关
I/O BANK2	<ul style="list-style-type: none"> ● MIPI/LVDS 差分输出 ● GPIO
I/O BANK3	<ul style="list-style-type: none"> ● GPIO 接口 ● JTAG 下载

3.2 下载

3.2.1 概述

开发板提供 USB 下载接口。下载时可根据需要下载至片内 SRAM、内部 Flash。

注！

- 下载至 SRAM 时，当器件掉电后数据流文件会丢失，重新上电需再次下载数据流文件；
- 下载至 Flash 后，掉电后数据流文件不会丢失。

3.2.2 USB 下载电路

图 3-3 FPGA USB 下载连接示意图



3.2.3 下载流程

对 FPGA 下载时将 USB 下载线插在开发板的 USB 接口（J6），然后打开 Programmer，点击 SRAM mode 或 Embedded flash mode 下载 bit 流文件到 SRAM 或 Flash 中。

3.2.4 管脚分配

表 3-3 FPGA 下载管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
TMS_FTDI	13	3	JTAG 信号	1.8V
TCK_FTDI	14	3	JTAG 信号	1.8V
TDI_FTDI	16	3	JTAG 信号	1.8V
TDO_FTDI	18	3	JTAG 信号	1.8V
MODE0	144	0	模式选择脚	2.5V/1.2V
MODE1	143	0	模式选择脚	2.5V/1.2V
RECONFIG_N	20	3	RECONFIG_N	1.8V
DONE	21	3	DONE 指示	1.8V
READY	22	3	READY	1.8V

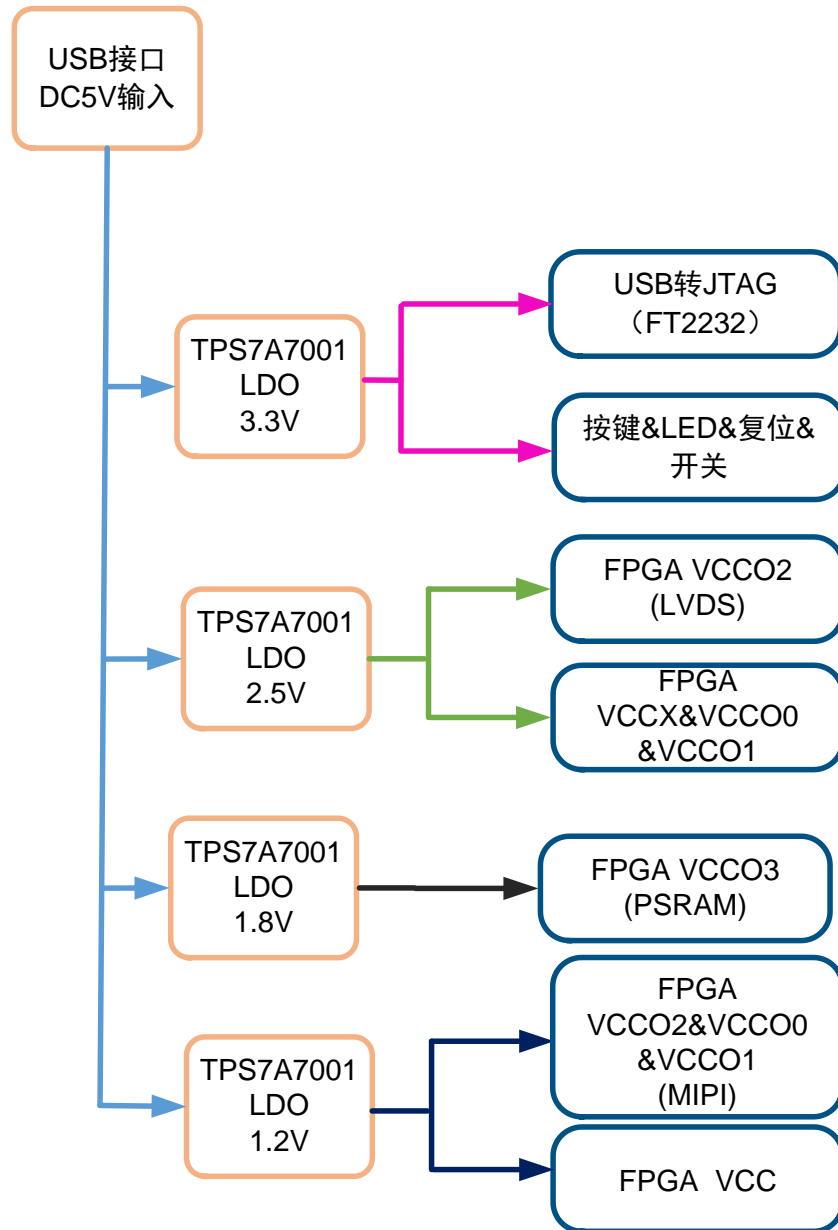
3.3 电源

3.3.1 概述

电源 DC5V 由 USB 接口输入，采用 TI 的 LDO 电源芯片，实现由 5V 到 3.3V、2.5V、1.8V、1.2V 的变换，可满足开发板的电源需求。

3.3.2 电源系统分配

图 3-4 电源系统分配示意图



3.3.3 电源管脚分配

表 3-4 FPGA 电源管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
VCCO0	109、127	0	I/O Bank 电压	2.5V/1.2V
VCCO1	91、103	1	I/O Bank 电压	2.5V/1.2V

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
VCCO2	37、55	2	I/O Bank 电压	2.5V/1.2V
VCCO3	9、19	3	I/O Bank 电压	1.8V
VCCX	31、77	-	辅助电压	2.5V
VCC	1、36、73、108	-	核电压	1.2V
VSS	2、17、33、35、53、74、89、105、107	-	GND	-

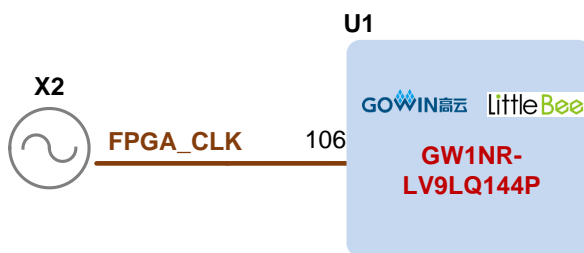
3.4 时钟

3.4.1 概述

开发板提供了一个 50MHz 晶振，连接到 PLL 输入管脚，可作为 FPGA 内部 PLL 的时钟输入，通过 PLL 的分倍频可以输出用户所需的时钟。

3.4.2 时钟

图 3-5 时钟电路



3.4.3 管脚分配

表 3-5 FPGA 时钟管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
FPGA_CLK	106	1	50MHz 有源晶振输入	2.5V

3.5 LED

3.5.1 概述

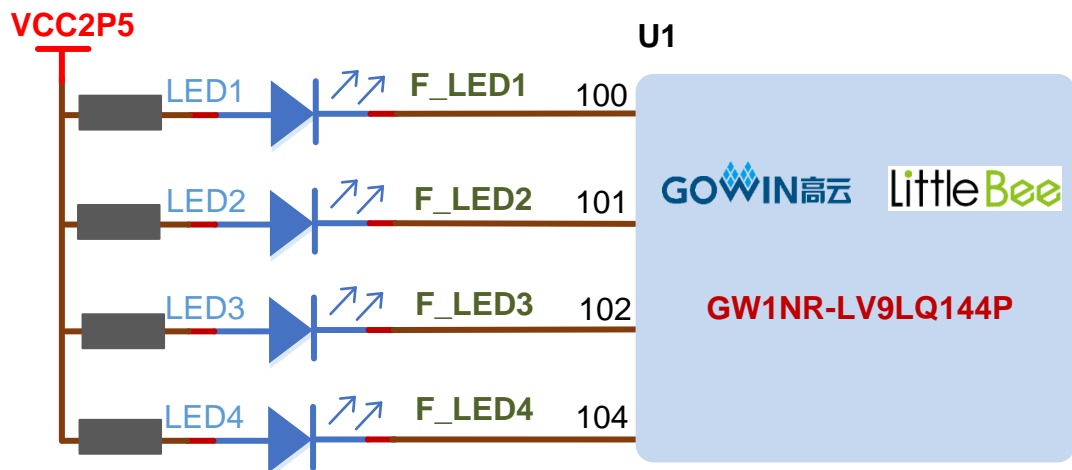
开发板中有 4 个绿色 LED 灯，用户可通过 LED 灯显示所需状态。同时为了便于观察电源情况和 FPGA 加载情况，亦分别各留一个 LED 灯。

可通过以下方式对 LED 灯进行测试：

- 当 FPGA 对应管脚输出信号为逻辑低电平时，LED 被点亮；
- 当输出信号为高电平时，LED 熄灭。

3.5.2 LED 电路

图 3-6 LED 电路



3.5.3 管脚分配

表 3-6 LED 管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
F_LED1	100	1	LED1	2.5V/1.2V
F_LED2	101	1	LED2	2.5V/1.2V
F_LED3	102	1	LED3	2.5V/1.2V
F_LED4	104	1	LED 4	2.5V/1.2V

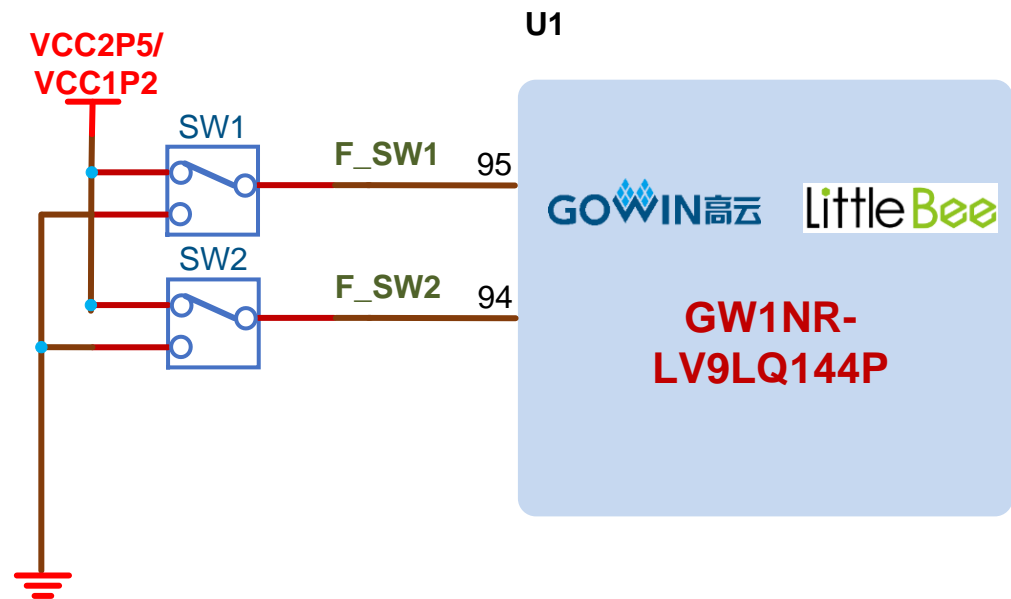
3.6 开关

3.6.1 概述

开发板中有 2 个滑动开关，可用于用户测试时控制输入。

3.6.2 开关电路

图 3-7 开关电路



3.6.3 管脚分配

表 3-7 开关电路管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
F_SW1	95	1	滑动开关 1	2.5V/1.2V
F_SW2	94	1	滑动开关 2	2.5V/1.2V

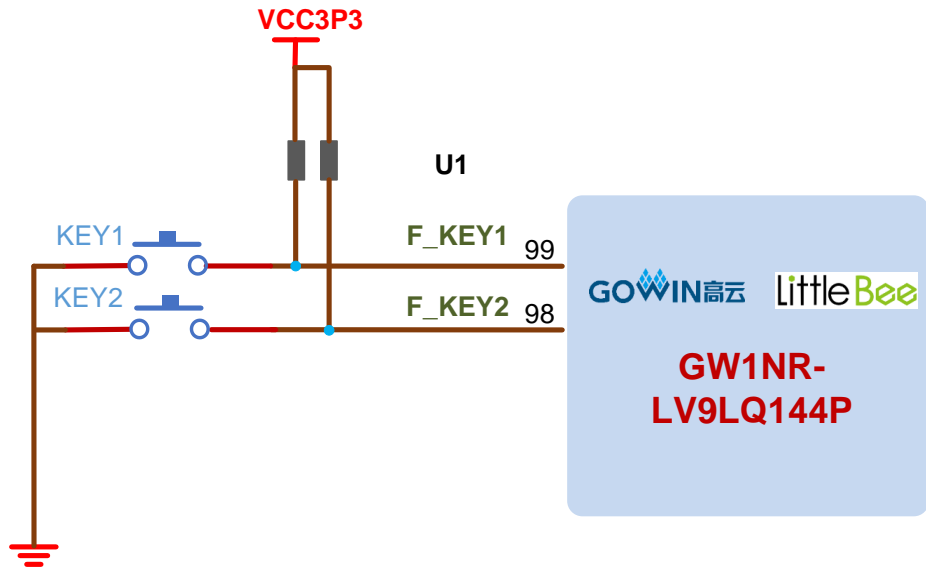
3.7 按键

3.7.1 概述

开发板有 2 个按键开关，用户可通过手动控制向对应 FPGA 管脚输入低电平，可作为测试控制输入使用。

3.7.2 按键电路

图 3-8 按键电路



3.7.3 管脚分配

表 3-8 按键电路管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
F_KEY1	99	1	KEY1	2.5V/1.2V
F_KEY2	98	1	KEY2	2.5V/1.2V

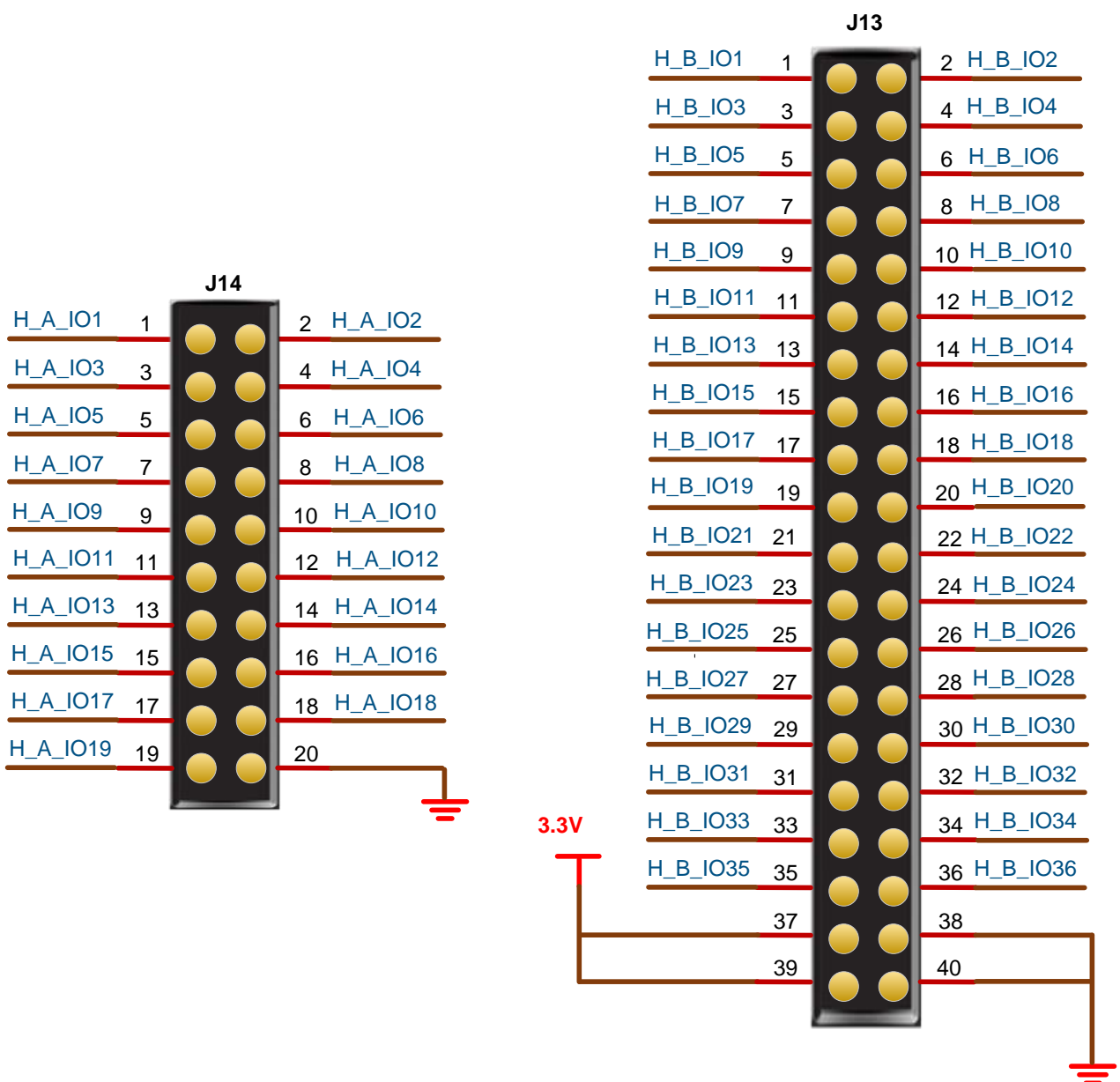
3.8 GPIO

3.8.1 概述

为方便用户功能扩展和测试，在开发板上预留 1 个 2.54mm 间距的 DC3-20P 插座和 1 个 2.54mm 间距的 DC3-40P。

3.8.2 GPIO 电路

图 3-9 GPIO 电路



3.8.3 管脚分配

表 3-9 J14 GPIO 管脚分配

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
H_A_IO1	139	1	3	通用 I/O	1.8V
H_A_IO2	140	2	3	通用 I/O	1.8V
H_A_IO3	141	3	3	通用 I/O	1.8V
H_A_IO4	142	4	3	通用 I/O	1.8V
H_A_IO5	3	5	3	通用 I/O	1.8V
H_A_IO6	4	6	3	通用 I/O	1.8V
H_A_IO7	5	7	3	通用 I/O	1.8V
H_A_IO8	6	8	3	通用 I/O	1.8V
H_A_IO9	8	9	3	通用 I/O	1.8V
H_A_IO10	10	10	3	通用 I/O	1.8V
H_A_IO11	11	11	3	通用 I/O	1.8V
H_A_IO12	12	12	3	通用 I/O	1.8V
H_A_IO13	15	13	3	通用 I/O	1.8V
H_A_IO14	23	14	3	通用 I/O	1.8V
H_A_IO15	24	15	3	通用 I/O	1.8V
H_A_IO16	25	16	3	通用 I/O	1.8V
H_A_IO17	26	17	3	通用 I/O	1.8V
H_A_IO18	27	18	3	通用 I/O	1.8V
H_A_IO19	28	19	3	通用 I/O	1.8V
GND	-	20	-	GND	-

表 3-10 J13 GPIO 管脚分配

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
H_B_IO1	132	1	0	通用 I/O	2.5V/1.2V
H_B_IO2	131	2	0	通用 I/O	2.5V/1.2V
H_B_IO3	130	3	0	通用 I/O	2.5V/1.2V
H_B_IO4	129	4	0	通用 I/O	2.5V/1.2V
H_B_IO5	128	5	0	通用 I/O	2.5V/1.2V
H_B_IO6	126	6	0	通用 I/O	2.5V/1.2V
H_B_IO7	88	7	1	通用 I/O	2.5V/1.2V
H_B_IO8	87	8	1	通用 I/O	2.5V/1.2V

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
H_B_IO9	86	9	1	通用 I/O	2.5V/1.2V
H_B_IO10	85	10	1	通用 I/O	2.5V/1.2V
H_B_IO11	84	11	1	通用 I/O	2.5V/1.2V
H_B_IO12	83	12	1	通用 I/O	2.5V/1.2V
H_B_IO13	82	13	1	通用 I/O	2.5V/1.2V
H_B_IO14	81	14	1	通用 I/O	2.5V/1.2V
H_B_IO15	80	15	1	通用 I/O	2.5V/1.2V
H_B_IO16	79	16	1	通用 I/O	2.5V/1.2V
H_B_IO17	68	17	2	通用 I/O	2.5V/1.2V
H_B_IO18	69	18	2	通用 I/O	2.5V/1.2V
H_B_IO19	76	19	2	通用 I/O	2.5V/1.2V
H_B_IO20	78	20	2	通用 I/O	2.5V/1.2V
H_B_IO21	44	21	2	通用 I/O	2.5V/1.2V
H_B_IO22	45	22	2	通用 I/O	2.5V/1.2V
H_B_IO23	48	23	2	通用 I/O	2.5V/1.2V
H_B_IO24	49	24	2	通用 I/O	2.5V/1.2V
H_B_IO25	65	25	2	通用 I/O	2.5V/1.2V
H_B_IO26	64	26	2	通用 I/O	2.5V/1.2V
H_B_IO27	61	27	2	通用 I/O	2.5V/1.2V
H_B_IO28	60	28	2	通用 I/O	2.5V/1.2V
H_B_IO29	57	29	2	通用 I/O	2.5V/1.2V
H_B_IO30	56	30	2	通用 I/O	2.5V/1.2V
H_B_IO31	54	31	2	通用 I/O	2.5V/1.2V
H_B_IO32	52	32	2	通用 I/O	2.5V/1.2V
H_B_IO33	32	33	2	通用 I/O	2.5V/1.2V
H_B_IO34	34	34	2	通用 I/O	2.5V/1.2V
H_B_IO35	40	35	2	通用 I/O	2.5V/1.2V
H_B_IO36	41	36	2	通用 I/O	2.5V/1.2V
VCC3P3	-	37	-	3.3V	-
GND	-	38	-	GND	-
VCC3P3	-	39	-	3.3V	-
GND	-	40	-	GND	-

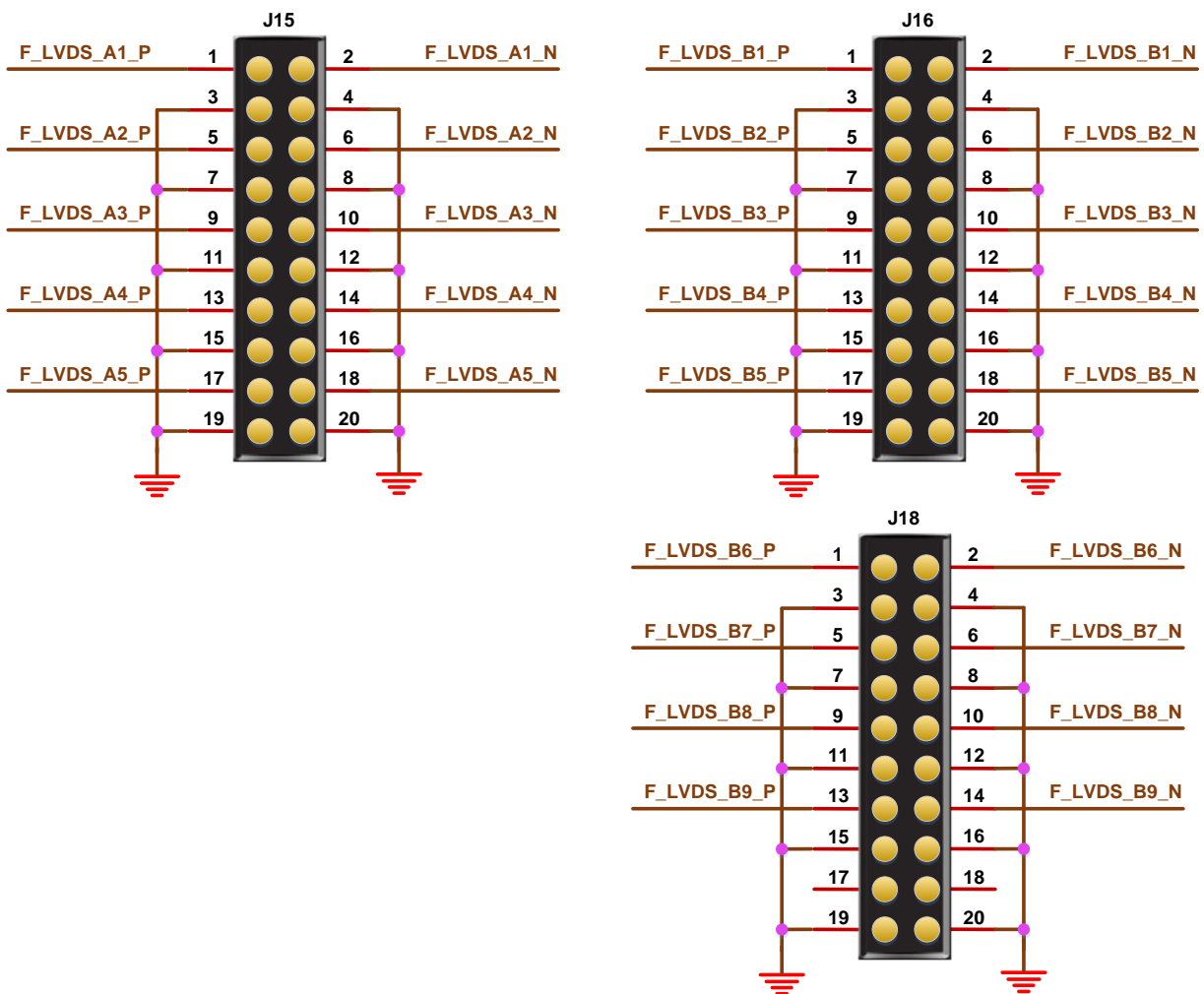
3.9 MIPI/LVDS

3.9.1 概述

为方便用户 MIPI/LVDS 输入输出性能测试和高速数据传输，在开发板上预留 4 个 2.0mm 间距的 DC3-20P 插座。最多可满足 5 对差分输入和 9 对差分输出需求。

3.9.2 MIPI/LVDS 电路

图 3-10 MIPI/LVDS 电路



3.9.3 管脚分配

表 3-11 J15 FPGA 管脚分配（支持 IDES16: 1）

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
F_LVDS_A1_P	136	1	0	差分输入通道 1+	2.5V/1.2V(LVDS/MIPI)
F_LVDS_A1_N	135	2	0	差分输入通道 1-	2.5V/1.2V(LVDS/MIPI)
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_A2_P	134	5	0	差分输入通道 2+	2.5V/1.2V(LVDS/MIPI)
F_LVDS_A2_N	133	6	0	差分输入通道 2-	2.5V/1.2V(LVDS/MIPI)
GND	-	7	-	-	-
GND	-	8	-	-	-
F_LVDS_A3_P	125	9	0	差分输入通道 3+	2.5V/1.2V(LVDS/MIPI)
F_LVDS_A3_N	124	10	0	差分输入通道 3-	2.5V/1.2V(LVDS/MIPI)
GND	-	11	-	-	-
GND	-	12	-	-	-
F_LVDS_A4_P	123	13	0	差分输入通道 4+	2.5V/1.2V(LVDS/MIPI)
F_LVDS_A4_N	122	14	0	差分输入通道 4-	2.5V/1.2V(LVDS/MIPI)
GND	-	15	-	-	-
GND	-	16	-	-	-
F_LVDS_A5_P	115	17	1	差分输入通道 5+	2.5V/1.2V(LVDS/MIPI)
F_LVDS_A5_N	114	18	1	差分输入通道 5-	2.5V/1.2V(LVDS/MIPI)
GND	-	19	-	-	-
GND	-	20	-	-	-

表 3-12 J16 FPGA 管脚分配（支持 OSER16: 1）

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
F_LVDS_B1_P	29	1	2	差分输出通道 1+	2.5V(LVDS)/ 1.2V(MIPI)

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
F_LVDS_B1_N	30	2	2	差分输出通道 1-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_B2_P	38	5	2	差分输出通道 2+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B2_N	39	6	2	差分输出通道 2-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	7	-	-	
GND	-	8	-	-	
F_LVDS_B3_P	42	9	2	差分输出通道 3+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B3_N	43	10	2	差分输出通道 3-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	11	-	-	
GND	-	12	-	-	
F_LVDS_B4_P	46	13	2	差分输出通道 4+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B4_N	47	14	2	差分输出通道 4-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	15	-	-	
GND	-	16	-	-	
F_LVDS_B5_P	50	17	2	差分输出通道 5+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B5_N	51	18	2	差分输出通道 5-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	19	-	-	
GND	-	20	-	-	

表 3-13 J18 FPGA 管脚分配（支持 OSER16: 1）

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
F_LVDS_B6_P	58	1	2	差分输出通道 6+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B6_N	59	2	2	差分输出通道 6-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_B7_P	62	5	2	差分输出通道 7+	2.5V(LVDS)/

信号名称	FPGA 管脚序号	插座管脚号	BANK	描述	I/O 电平
					1.2V(MIPI)
F_LVDS_B7_N	63	6	2	差分输出通道 7-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	7	-	-	
GND	-	8	-	-	
F_LVDS_B8_P	66	9	2	差分输出通道 8+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B8_N	67	10	2	差分输出通道 8-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	11	-	-	
GND	-	12	-	-	
F_LVDS_B9_P	70	13	2	差分输出通道 9+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B9_N	71	14	2	差分输出通道 9-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	15	-	-	
GND	-	16	-	-	
GND	-	19	-	-	
GND	-	20	-	-	

4 开发板使用注意事项

开发板使用注意事项:

1. 开发板使用时，注意轻拿轻放，并做好静电防护；
2. 当 Bank2 输出差分对作为 LVDS 输出时，需要把 VCCO2 Bank 电压调整到 2.5V；当 Bank2 输出差分对作为 MIPI 输出时，需要把 VCCO2 Bank 电压调整到 1.2V。
3. 当 Bank0 输入差分对作为 LVDS 输入时，需要把 VCCO0 Bank 电压调整到 2.5V；当 Bank0 输入差分对作为 MIPI 输入时，需要把 VCCO0 Bank 电压调整到 1.2V。

5 开发软件介绍

详细资料请参考 SUG100, *Gowin 云源软件用户手册*。

