



DK-VIDEO-GW2A18-PG484 V1.1 开发板 用户手册

DBUG365-1.0, 2019-12-24

版权所有©2019 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2019/12/24	1.0	初始版本。

目录

目录	i
图目录	iv
表目录	v
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语	1
1.5 技术支持与反馈	2
2 开发板简介	3
2.1 概述	3
2.2 开发板套件	4
2.3 PCB 组件	5
2.4 系统框图	6
2.5 特性	6
3 开发板电路	9
3.1 FPGA 模块	9
3.1.1 介绍	9
3.1.2 I/O 分布	10
3.2 下载模块	12
3.2.1 介绍	12
3.2.2 管脚分配	13
3.3 电源	13
3.3.1 介绍	13
3.4 时钟、复位	14

3.4.1 介绍.....	14
3.4.2 管脚分配.....	15
3.5 DDR3 模块.....	15
3.5.1 介绍.....	15
3.5.2 管脚分配.....	15
3.6 HDMI 1 接口.....	17
3.6.1 介绍.....	17
3.6.2 管脚分配.....	17
3.7 HDMI 2 接口.....	18
3.7.1 介绍.....	18
3.7.2 管脚分配.....	19
3.8 HDMI 3 接口.....	20
3.8.1 介绍.....	20
3.8.2 管脚分配.....	21
3.9 HDMI 4 接口.....	22
3.9.1 介绍.....	22
3.9.2 管脚分配.....	22
3.10 LVDS TX 接口.....	23
3.10.1 介绍.....	23
3.10.2 管脚分配.....	25
3.11 LVDS RX 接口.....	25
3.11.1 介绍.....	25
3.11.2 管脚分配.....	27
3.12 MIPI DSI.....	27
3.12.1 介绍.....	27
3.12.2 管脚分配.....	28
3.13 MIPI CSI.....	29
3.13.1 介绍.....	29
3.13.2 管脚分配.....	30
3.14 GPIO.....	31
3.14.1 介绍.....	31
3.15 LED 模块.....	31

3.15.1 介绍.....	31
3.15.2 管脚分配.....	32
3.16 按键模块.....	32
3.16.1 介绍.....	32
3.16.2 管脚分配.....	33
3.17 开关模块.....	33
3.17.1 介绍.....	33
3.17.2 管脚分配.....	34

图目录

图 2-1 开发板 PCB 组件说明	5
图 2-2 系统框图	6
图 3-1 GW2A 系列 FPGA 产品 I/O BANK 整体示意图	10
图 3-2 GW2A-18 器件 PG484 封装管脚分布示意图（顶视图）	11
图 3-3 FPGA 下载与配置连接示意图.....	13
图 3-4 时钟、复位连接示意图	14
图 3-5 FPGA 与 DDR3 连接示意图	15
图 3-6 FPGA 与 HDMI1 接口连接示意图.....	17
图 3-7 FPGA 与 HDMI2 接口连接示意图.....	19
图 3-8 FPGA 与 HDMI3 接口连接示意图.....	21
图 3-9 FPGA 与 HDMI4 接口连接示意图.....	22
图 3-10 LVDS TX 接口示意图.....	24
图 3-11 LVDS RX 接口示意图.....	26
图 3-12 MIPI DSI 模块连接示意图.....	28
图 3-13 MIPI CSI 模块连接示意图.....	30
图 3-14 LED 连接示意图	32
图 3-15 按键电路	33
图 3-16 开关电路	34

表目录

表 1-1 术语、缩略语	1
表 3-1 GW2A-LV18PG484 FPGA 产品信息列表.....	9
表 3-2 FPGA I/O Bank 电压及功能分布.....	11
表 3-3 FPGA 下载与配置管脚分配	13
表 3-4 时钟、复位管脚分配	15
表 3-5 DDR3 模块管脚分配	15
表 3-6 HDMI1 模块管脚分配.....	17
表 3-7 HDMI2 模块管脚分配.....	19
表 3-8 HDMI3 模块管脚分配.....	21
表 3-9 HDMI4 模块管脚分配.....	22
表 3-10 LVDS TX 接口管脚分配	25
表 3-11 LVDS RX 接口管脚分配	27
表 3-12 MIPI DSI 接口管脚分配	28
表 3-13 MIPI CSI 接口管脚分配	30
表 3-14 LED 指示灯管脚分配	32
表 3-15 按键模块管脚分配.....	33
表 3-16 开关模块管脚分配.....	34

1 关于本手册

1.1 手册内容

DK-VIDEO-GW2A18-PG484 V1.1 开发板（以下简称开发板）用户手册分为三个部分：

1. 简要介绍开发板的功能特点；
2. 介绍开发板整体系统架构和硬件资源；
3. 介绍开发板各部分硬件电路的功能、电路及管脚分配；

1.2 适用产品

本手册中描述的信息可适用于以下高云 FPGA 产品：
GW2A-LV18PG484 器件。

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. [DS102, GW2A 系列 FPGA 产品数据手册](#)
2. [UG110, GW2A-18 器件 Pinout 手册](#)
3. [UG111, GW2A 系列 FPGA 产品封装与管脚手册](#)

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
B-SRAM	Block SRAM	块状静态随机存储器
DDR	Double-Data-Rate Synchronous	双倍速率同步动态随机

术语、缩略语	全称	含义
	Dynamic Random Access Memory	存储器
DSP	Digital Signal Processing	数字信号处理
FLASH	Flash Memory	非易失存储器
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	General Purpose Input Output	通用输入/输出
LDO	Low Dropout Regulator	低压差线性稳压器
LUT4	4-input Look-up Tables	4 输入查找表
LVDS	Low-Voltage Differential Signaling	低电压差分信号
S-SRAM	Shadow SRAM	分布式静态随机存储器

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

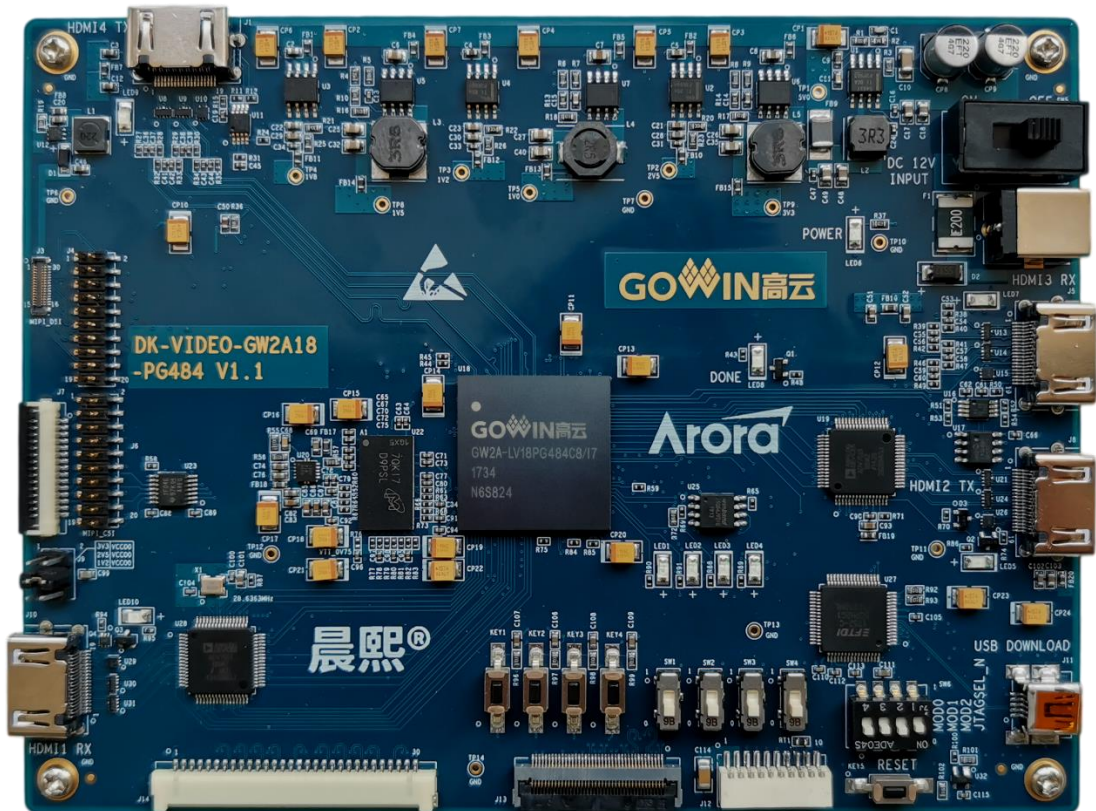
E-mail：support@gowinsemi.com

Tel: 86-20-8757-8868

2 开发板简介

2.1 概述

图 2-1 DK-VIDEO-GW2A18-PG484 V1.1 开发板



DK-VIDEO-GW2A18-PG484 V1.1 开发板适用于基于 DDR3 的高速数据存储、基于 LVDS、HDMI 收发等高速通信测试、18K 系列 FPGA 功能评估、硬件可靠性验证及软件学习调试等多种应用需求。

开发板采用高云 GW2A-LV18PG484 的 FPGA 器件，该器件为高云半导体晨熙®家族第一代产品。内部资源丰富，具有高性能的 DSP 资源，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，这些内嵌的资源搭配精简的

FPGA 架构以及 55nm 工艺使 GW2A 系列 FPGA 产品适用于高速低成本的应用场合。

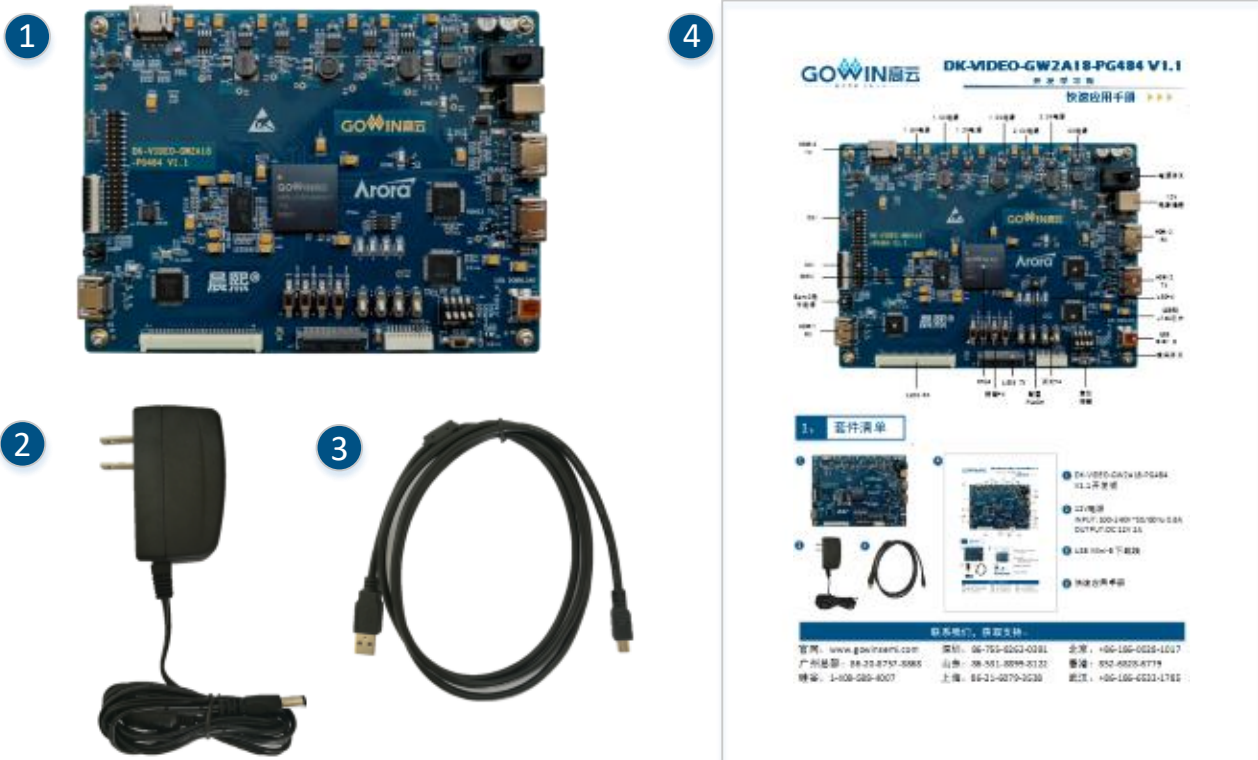
开发板搭载了一颗 DDR3 芯片,存储空间为 2Gbit, 16 位数据总线宽度;集成了四路 HDMI 接口,其中两路 HDMI 接收(一路通过解码芯片接收,一路通过 FPGA IP 接收),两路 HDMI 发送(一路通过解码芯片发送,一路通过 FPGA IP 发送),并设计了丰富的外部接口,包括 LVDS 发送接口、LVDS 接收接口、MIPI CSI、MIPI DSI 及 GPIO 接口;外接 FLASH 芯片用于存储 FPGA 的配置程序;滑动开关、按键、LED 方便用户调试使用。

2.2 开发板套件

开发板套件包括:

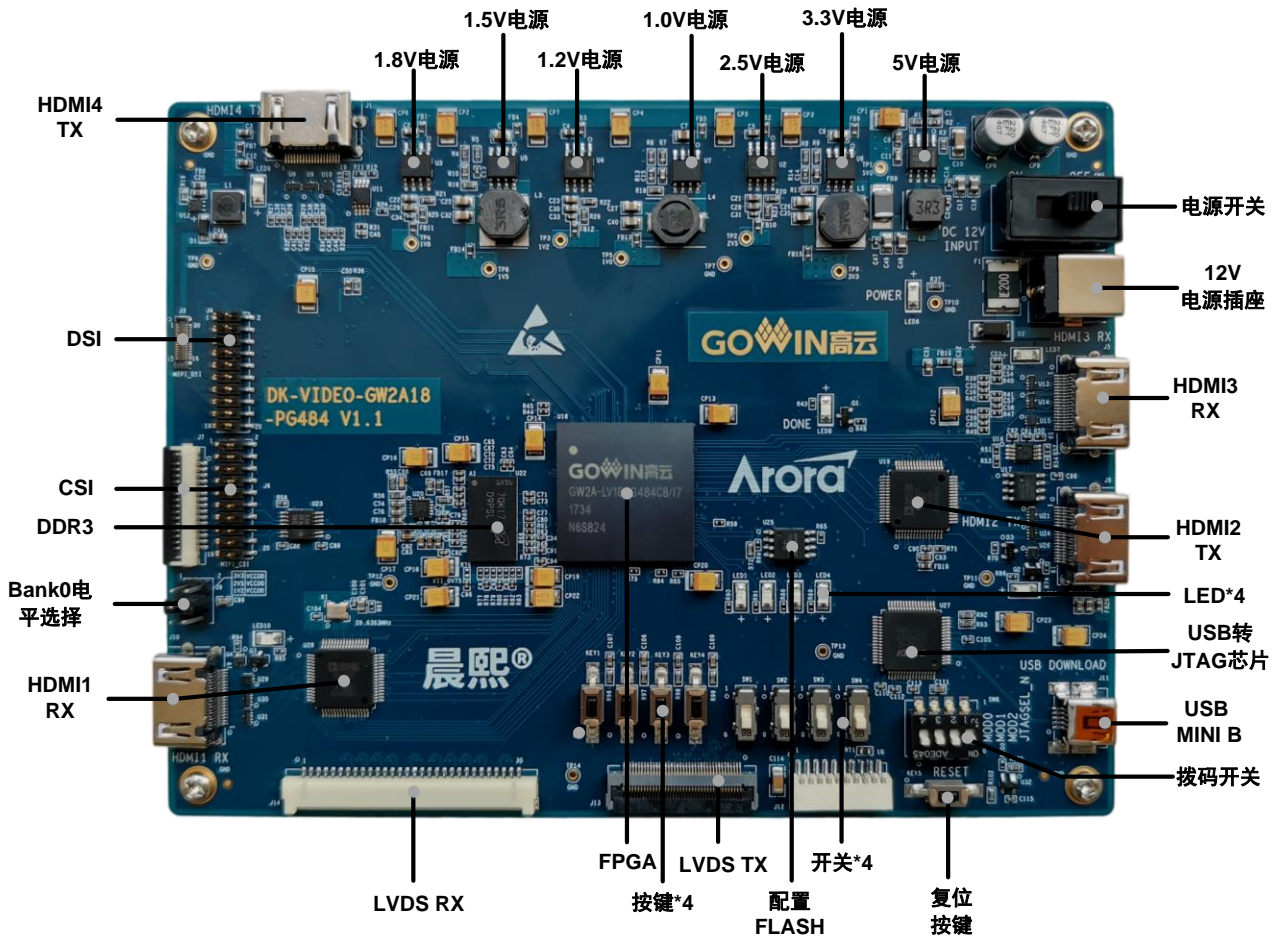
1. DK-VIDEO-GW2A18-PG484 V1.1 开发板
2. 5V 电源(输入: 100-240V~50/60Hz 0.5A, 输出: DC 5V 2A)
3. USB Mini B 下载线
4. 快速应用手册

图 2-2 开发板套件



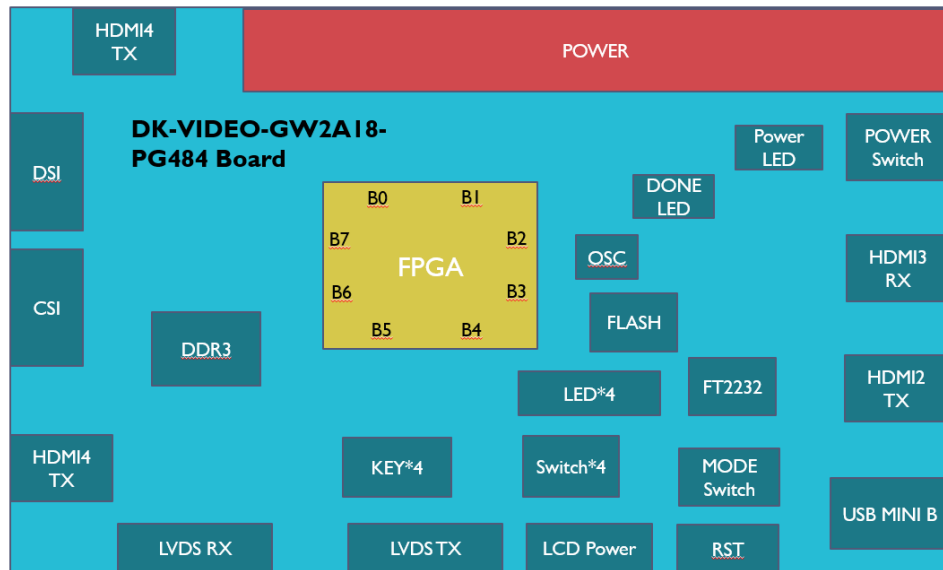
2.3 PCB 组件

图 2-1 开发板 PCB 组件说明



2.4 系统框图

图 2-2 系统框图



2.5 特性

开发板的关键特性如下：

1. FPGA 器件
 - 高云 GW2A-LV18PG484 的 FPGA
 - 最多用户 I/O 319 个
2. 下载与启动
 - 板上集成下载模块，通过 USB Mini B 下载线下载
 - 外部 FLASH 启动
 - 加载完成后，蓝色 DONE 灯亮
3. 供电方式
 - 外部 DC 12V 2A 供电
 - 上电后，蓝色 POWER 灯亮
 - 开发板产生 5V、3.3V、2.5V、1.8V、1.5V、1.2V、1.0V、0.75V 及 LCD 接口和 MIPI 接口所需的电源。
4. 时钟系统
 - 50MHz 晶振输入
5. 存储器件
 - 2Gbit DDR3 SDRAM
 - 64Mbit FLASH

6. HDMI 接口

- 4 路 HDMI 接口
- 2 路 HDMI 输入, 一路采用 ADI 的 ADV7611BSWZ 芯片, 支持 HDMI、DVI、I2C 接口, 支持最大 165MHz 时钟频率; 一路不经过编解码芯片, 直接连接到 FPGA 引脚, 通过 FPGA 内部 IP 实现 HDMI 信号的接收。
- 2 路 HDMI 输出, 一路采用 ADI 的 ADV7513BSWZ 芯片, 支持 HDMI、DVI、I2C 接口, 支持最大 165MHz 时钟频率; 一路不经过编解码芯片, 直接连接到 FPGA 引脚, 通过 FPGA 内部 IP 实现 HDMI 信号的发送。

注!

使用 HDMI3 和 HDMI4 的时, Bank0 的电压选择 2.5V。

7. LVDS 接口

- 1 路 LVDS 接收, 包括 10 对差分信号。
- 1 路 LVDS 发送, 包括 10 对差分信号。

8. MIPI DSI 接口

- 接口包括 5 对差分, 其中 1 路时钟、4 路数据。
- 采用 30 触点、0.4mm 间距的堆叠板连接器。
- 5 个 lane 的 DSI 信号同时引到 20pin 2.00mm 间距的双排插针。

注!

用作 MIPI DSI 时, Bank0 的电压选择 1.2V。

9. MIPI CSI 接口

- 接口包括 3 对差分, 其中 1 路时钟、2 路数据。
- 采用 15pin, 1mm 间距的 FPC 连接器
- 3 个 lane 的差分信号同时引到 20pin 2.00mm 间距的双排插针

注!

用作 MIPI DSI 时, Bank0 的电压选择 1.2V。

10. GPIO 接口

- MIPI 接口连接的双排插针可以复用做 GPIO 和差分输出。

注!

用作 GPIO 和差分输出时, Bank 电压只支持 2.5V, 且需要将端接电阻拆除, 避免影响信号传输。

11. 调试模块

- 4 个按键

- 4 个开关
- 4 个蓝色 LED

3 开发板电路

3.1 FPGA 模块

3.1.1 介绍

GW2A-LV18PG484 FPGA 产品资源信息如表 3-1 所示:

表 3-1 GW2A-LV18PG484 FPGA 产品信息列表

器件	GW2A-LV18PG484
逻辑单元(LUT4)	20,736
寄存器(FF)	15,552
分布式静态随机存储器 S-SRAM(bits)	41,472
块状静态随机存储器 B-SRAM(bits)	828K
块状静态随机存储器数目 B-SRAM(个)	46
乘法器(18 x 18 Multiplier)	48
锁相环(PLLs+DLLs)	4+4
I/O Bank 总数	8
最多用户 I/O	319
核电压	1.0V

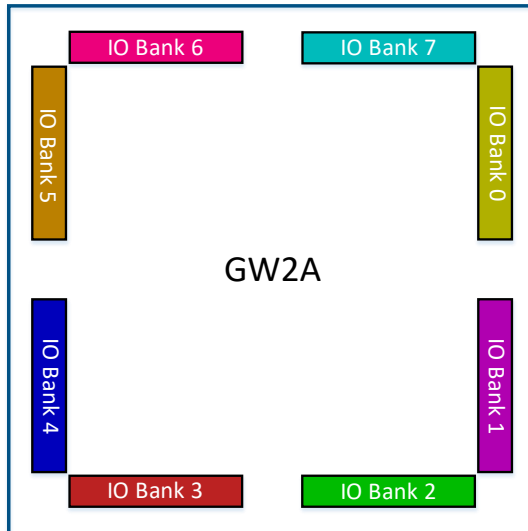
注!

详细信息请参考 [DS102, GW2A 系列 FPGA 产品数据手册](#)。

3.1.2 I/O 分布

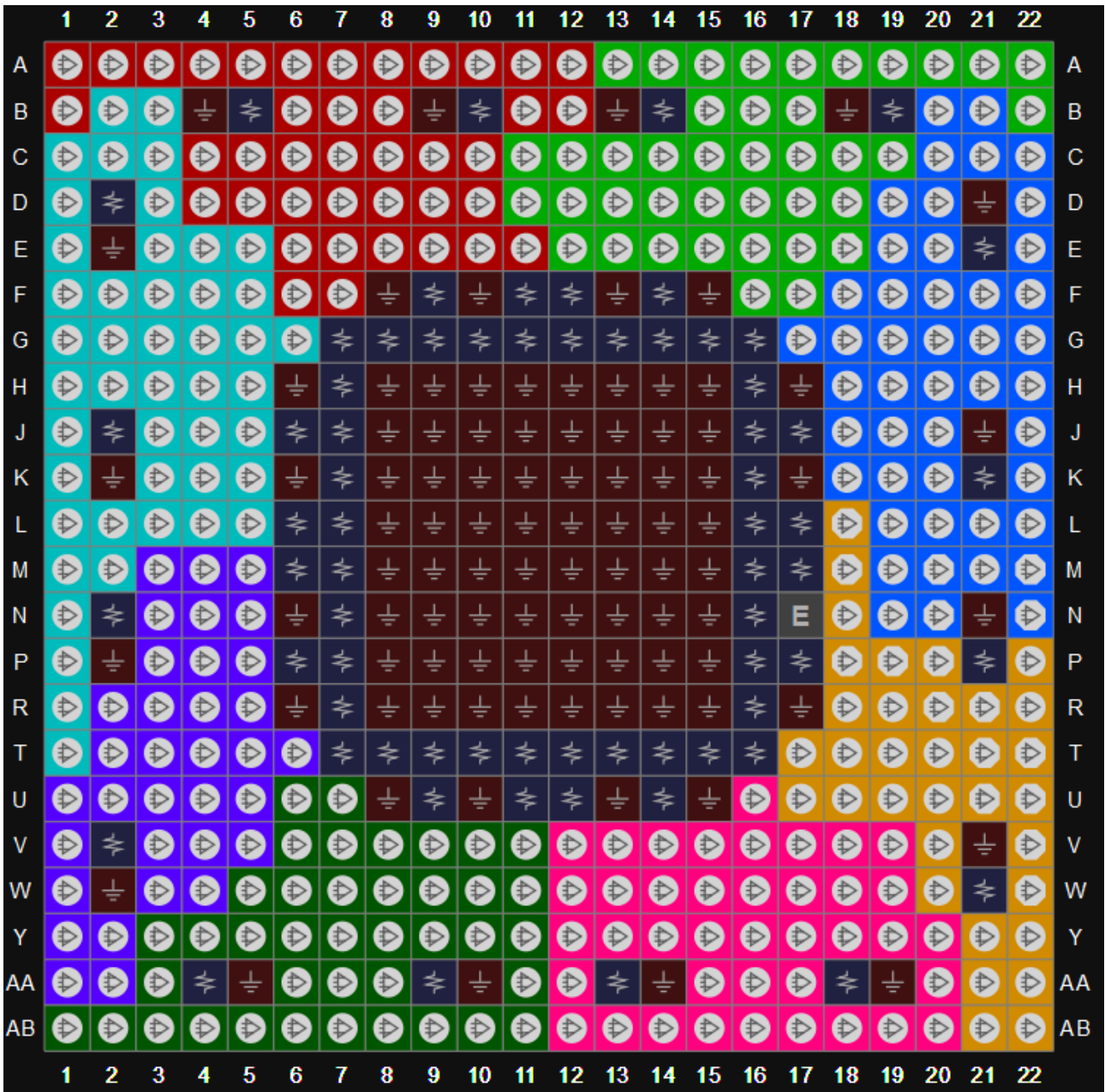
GW2A 系列 FPGA 产品分为八个 I/O BANK 区，GW2A 系列 FPGA 产品的 I/O BANK 整体示意图如图 3-1 所示。

图 3-1 GW2A 系列 FPGA 产品 I/O BANK 整体示意图



GW2A-18 器件 PG484 封装管脚分布示意图如图 3-2 所示。

图 3-2 GW2A-18 器件 PG484 封装管脚分布示意图（顶视图）



此开发板的 I/O Bank 电压及功能设计如表 3-2 所示。

表 3-2 FPGA I/O Bank 电压及功能分布

Bank	单端/差分对 /LVDS	电压	功能	I/O 占用	剩余 I/O
0	40/20/10	3.3V/2.5V/ 1.2V	MIPI DSI LP	10 个 GPIO	8 个
			MIPI CSI LP	6 个 GPIO	
			HDMI4 TX	4 对 LVDS	
			HDMI3 RX	4 对 LVDS	
1	39/19/10	2.5V	MIPI DSI HS	5 对 LVDS, 3 个 GPIO	6 个
			MIPI CSI HS	3 对 LVDS, 4 个 GPIO	

Bank	单端/差分对/LVDS	电压	功能	I/O 占用	剩余 I/O
			4 个 LED	4	
			7513 I2S	4	
			7513_I2C	2	
2	46/23/11	3.3V	HDMI3 I2C HDMI4 I2C	4	4 个
			Clk	1 个 GPIO	
			7513 RGB data Output	24+5	
			HDMI3 CTL HDMI4 CTL	3	
			RST(2.5V to 3.3V) TXB0108	1 个 GPIO	
			JTAG(FT2232)	4 个专用 I/O	
3	31/15/7	1.5V	FAST_N	1 个专用 I/O	4 个双向 I/O
			配置 FLASH(1.5V to 3.3V)1 片 4bit	4 个专用 I/O	
			READY/DONE/RECONFIG	3 个专用 I/O	
			DDR3	4 对差分	
			4 个按键	4 个 GPIO	
			4 个开关	4 个 GPIO	
4	40/20/10	2.5V	LVDS 输出接口	10 对 LVDS	0 个
			LVDS 输入接口	10 对差分	
5	40/20/10	3.3V	7611 RGB data Input	24+6	1 个
			7611 I2S	4	
			7611 I2C	2	
			CLK_27MHz	1	
			LCD_Ctrl	2	
6	34/17/8	1.5V	DDR3	17 对差分(23 个 GPIO)	0 个双向 I/O
7	46/23/11	1.5V	DDR3	23 对差分(24 个 GPIO)	0 个双向 I/O

3.2 下载模块

3.2.1 介绍

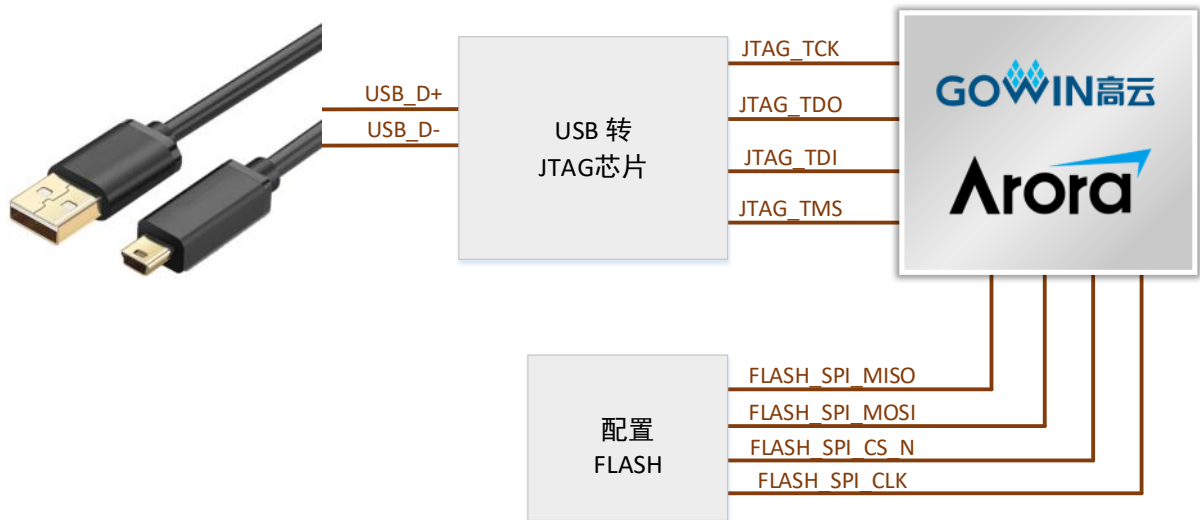
开发板提供 USB 下载接口,由 FT2232 USB 转换芯片的 A 通道来实现。通过设置不同的 MODE 值,来决定将程序下载到片内 SRAM 或外部 Flash 中。若下载到 SRAM,当器件掉电后数据流文件会丢失,而下载到 Flash,掉电后数据流文件不会丢失。

MODE 设置规则如下:

1. 任何模式下,都可将程序下载到片内 SRAM,并立即运行。
2. MODE 设置为“011”,将数据下载到配置 Flash 器件中。将 MODE 设置

为“000”，重新上电，器件自行从配置 Flash 读取 FPGA 配置数据。
下载、配置的连接示意图如下图所示。

图 3-3 FPGA 下载与配置连接示意图



3.2.2 管脚分配

表 3-3 FPGA 下载与配置管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
JTAG_TCK	N20	2	3.3V	JTAG 信号
JTAG_TDO	M22	2	3.3V	JTAG 信号
JTAG_TDI	M20	2	3.3V	JTAG 信号
JTAG_TMS	N22	2	3.3V	JTAG 信号
FLASH_SPI_MISO	P19	3	1.5V	配置 FLASH 信号
FLASH_SPI_MOSI	P20	3	1.5V	配置 FLASH 信号
FLASH_SPI_CS_N	N18	3	1.5V	配置 FLASH 信号
FLASH_SPI_CLK	P18	3	1.5V	配置 FLASH 信号

3.3 电源

3.3.1 介绍

开发板通过电源适配器供电，适配器的参数为输入：
100-240V~50/60MHz 0.8A，输出：DC +12V 2A。

输入的 12V 电源通过开发板上的电源芯片产生 5V、3.3V、2.5V、1.8V、1.5V、1.2V、1.0V 及 DDR3 所需的 0.75V 电源；MIPI DSI 接口所需的 17.4V、+5V 和-5V。

- 采用 1 片 TPS54627 DC-DC 电源芯片，产生 5V，最大输出电流 6A；
- 采用 3 片 NCP3170ADR2G DC-DC 电源芯片，产生 3.3V、1.5V 和 1.0V，最大输出电流 3A；
- 采用 3 片 TPS7A7001 LDO 电源芯片，产生 2.5V、1.8V 和 1.2V，最大输出电流 2A；
- 采用 1 片 TPS51200 电源芯片，产生 DDR3 芯片所需的 0.75V 电源；
- 采用 1 片 AAT1541A 电源芯片，产生 MIPI DSI 接口所需的+5V 和-5V 电源；
- 采用 1 片 TPS61161A 电源芯片，产生 MIPI DSI 接口背光所需的 17.4V 电源。

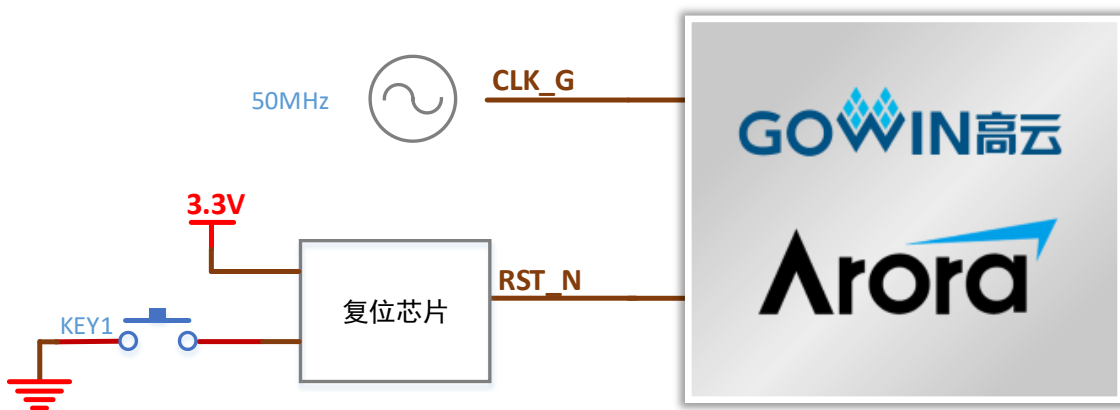
3.4 时钟、复位

3.4.1 介绍

开发板为 FPGA 提供了一个 50MHz 有源晶振，连接到了全局时钟引脚。

开发板的复位电路采用按键加专用复位芯片设计，上电后复位芯片自动产生复位信号给 FPGA 和以太网 PHY 芯片进行复位。并实时监控 3.3V 电压，出现异常时立即产生复位信号。另外，也可通过复位按键手动产生复位信号。

图 3-4 时钟、复位连接示意图



3.4.2 管脚分配

表 3-4 时钟、复位管脚分配

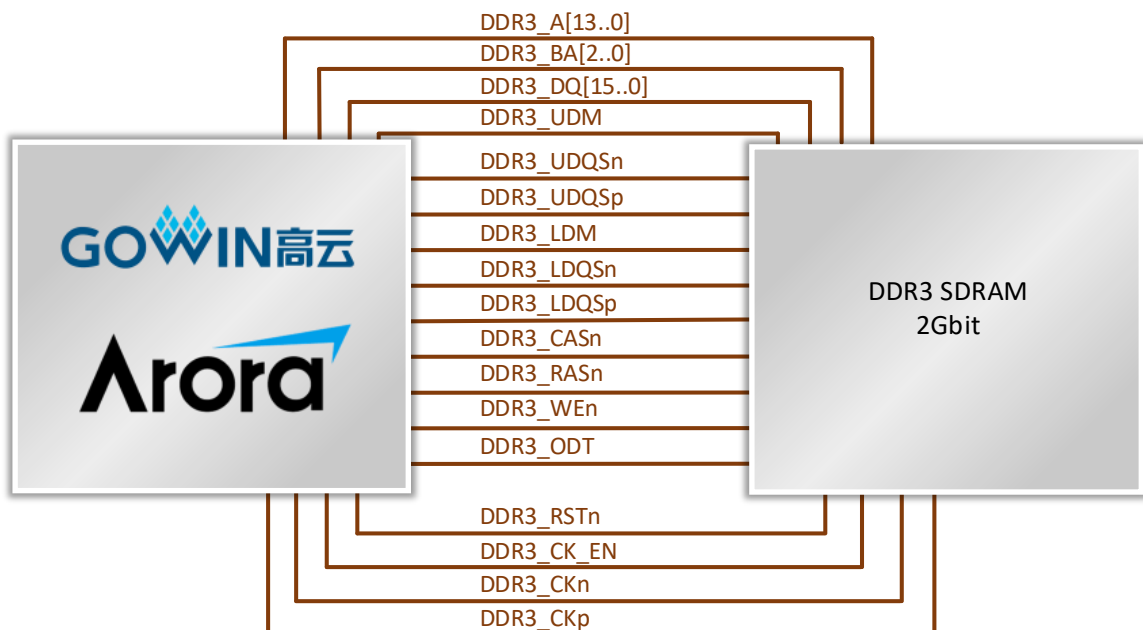
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
CLK_G	M19	2	3.3V	50MHz 有源晶振输入
RST_N	L22	2	3.3V	复位信号，低有效

3.5 DDR3 模块

3.5.1 介绍

开发板搭载了一颗 DDR3 芯片，存储空间为 2Gbit，16 位数据总线宽度最高数据速率为 1600MT/s。

图 3-5 FPGA 与 DDR3 连接示意图



3.5.2 管脚分配

表 3-5 DDR3 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_A0	G1	7	1.5V	地址
DDR3_A1	U5	6	1.5V	地址
DDR3_A2	G5	7	1.5V	地址
DDR3_A3	F5	7	1.5V	地址
DDR3_A4	V3	6	1.5V	地址

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_A5	G2	7	1.5V	地址
DDR3_A6	AA22	3	1.5V	地址
DDR3_A7	H5	7	1.5V	地址
DDR3_A8	AB22	3	1.5V	地址
DDR3_A9	J4	7	1.5V	地址
DDR3_A10	R5	6	1.5V	地址
DDR3_A11	AA21	3	1.5V	地址
DDR3_A12	T5	6	1.5V	地址
DDR3_A13	AA1	6	1.5V	地址
DDR3_BA0	F4	7	1.5V	Bank 地址
DDR3_BA1	U4	6	1.5V	Bank 地址
DDR3_BA2	F3	7	1.5V	Bank 地址
DDR3_CASn	C3	7	1.5V	列地址选通
DDR3_CK_EN	E3	7	1.5V	时钟使能
DDR3_CKn	R22	3	1.5V	差分时钟
DDR3_CKp	P22	3	1.5V	差分时钟
DDR3_DQ0	M5	6	1.5V	数据
DDR3_DQ1	T3	6	1.5V	数据
DDR3_DQ2	M3	6	1.5V	数据
DDR3_DQ3	T2	6	1.5V	数据
DDR3_DQ4	Y1	6	1.5V	数据
DDR3_DQ5	U1	6	1.5V	数据
DDR3_DQ6	N3	6	1.5V	数据
DDR3_DQ7	V1	6	1.5V	数据
DDR3_DQ8	T1	7	1.5V	数据
DDR3_DQ9	K3	7	1.5V	数据
DDR3_DQ10	P1	7	1.5V	数据
DDR3_DQ11	J1	7	1.5V	数据
DDR3_DQ12	L5	7	1.5V	数据
DDR3_DQ13	H3	7	1.5V	数据
DDR3_DQ14	M1	7	1.5V	数据
DDR3_DQ15	H1	7	1.5V	数据
DDR3_LDM	R3	6	1.5V	数据输入屏蔽
DDR3_LDQSn	R4	6	1.5V	数据选通
DDR3_LDQSp	P4	6	1.5V	数据选通

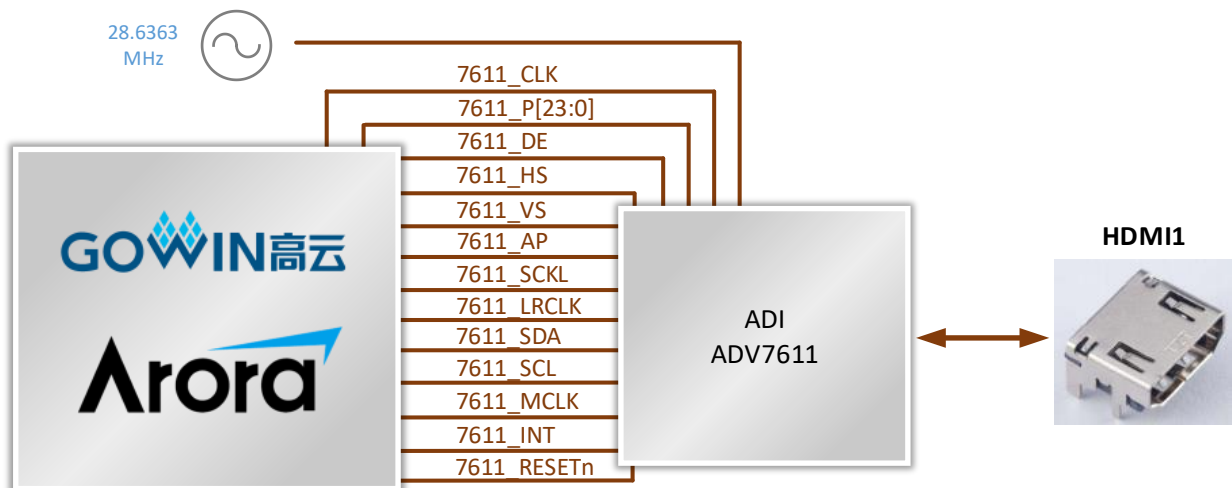
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_ODT	B2	7	1.5V	片上终端使能
DDR3_RASn	D1	7	1.5V	行地址选通
DDR3_RSTn	W4	6	1.5V	复位
DDR3_UDM	K4	7	1.5V	数据输入屏蔽
DDR3_UDQSn	L1	7	1.5V	数据选通
DDR3_UDQSp	L2	7	1.5V	数据选通
DDR3_WEn	C1	7	1.5V	写使能

3.6 HDMI 1 接口

3.6.1 介绍

HDMI1 接口采用 ADI 的 ADV7611BSWZ 编解码芯片，将输入的 HDMI 信号转换为 RGB 并行数据。连接示意图如下：

图 3-6 FPGA 与 HDMI1 接口连接示意图



3.6.2 管脚分配

表 3-6 HDMI1 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
7611_CLK	W8	5	3.3V	RGB 数据行锁定输出时钟
7611_P0	Y8	5	3.3V	RGB 数据信号
7611_P1	AB4	5	3.3V	RGB 数据信号
7611_P2	V9	5	3.3V	RGB 数据信号
7611_P3	AB5	5	3.3V	RGB 数据信号
7611_P4	Y10	5	3.3V	RGB 数据信号

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
7611_P5	U6	5	3.3V	RGB 数据信号
7611_P6	AB6	5	3.3V	RGB 数据信号
7611_P7	Y5	5	3.3V	RGB 数据信号
7611_P8	AA6	5	3.3V	RGB 数据信号
7611_P9	W6	5	3.3V	RGB 数据信号
7611_P10	AB7	5	3.3V	RGB 数据信号
7611_P11	Y6	5	3.3V	RGB 数据信号
7611_P12	AA7	5	3.3V	RGB 数据信号
7611_P13	V7	5	3.3V	RGB 数据信号
7611_P14	AB8	5	3.3V	RGB 数据信号
7611_P15	V8	5	3.3V	RGB 数据信号
7611_P16	Y9	5	3.3V	RGB 数据信号
7611_P17	AA8	5	3.3V	RGB 数据信号
7611_P18	W9	5	3.3V	RGB 数据信号
7611_P19	V10	5	3.3V	RGB 数据信号
7611_P20	AB10	5	3.3V	RGB 数据信号
7611_P21	W11	5	3.3V	RGB 数据信号
7611_P22	AA11	5	3.3V	RGB 数据信号
7611_P23	AB11	5	3.3V	RGB 数据信号
7611_VS	AB3	5	3.3V	垂直同步输出信号
7611_HS	Y7	5	3.3V	水平同步输出信号
7611_DE	Y4	5	3.3V	RGB 数据使能
7611_SCLK	U7	5	3.3V	音频串行时钟
7611_LRCLK	AA3	5	3.3V	音频左右时钟
7611_MCLK	V6	5	3.3V	音频主时钟
7611_AP	W7	5	3.3V	音频输出引脚
7611_SCL	AB2	5	3.3V	I2C 串行接口时钟
7611_SDA	W5	5	3.3V	I2C 串行接口数据
7611_INT1	AB1	5	3.3V	中断信号
7611_RESETn	Y3	5	3.3V	系统复位

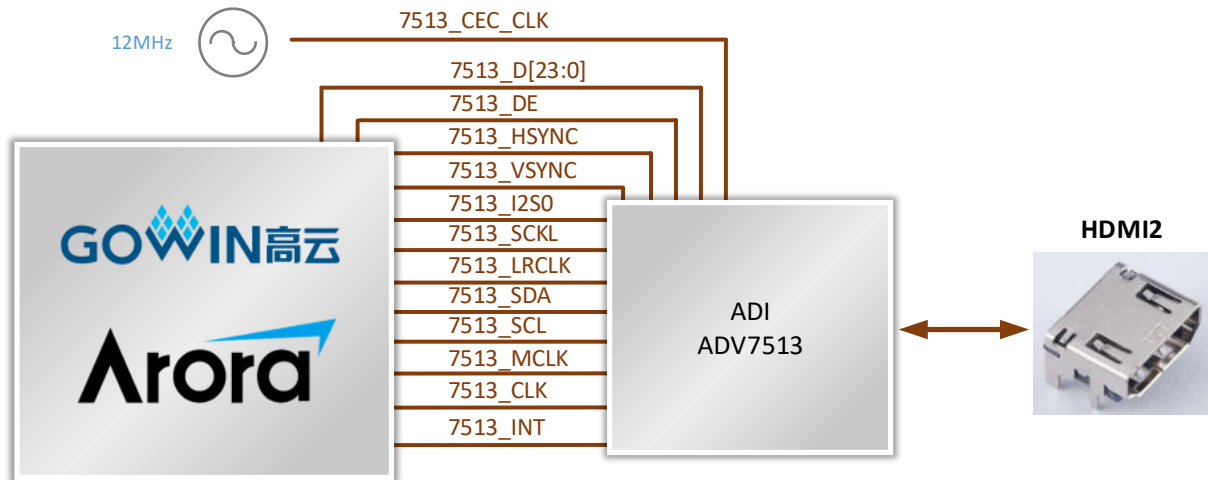
3.7 HDMI 2 接口

3.7.1 介绍

HDMI2 接口采用 ADI 的 ADV7513BSWZ 编解码芯片，FPGA 输出的

RGB 并行数据转换为 HDMI 信号。连接示意图如下图所示。

图 3-7 FPGA 与 HDMI2 接口连接示意图



3.7.2 管脚分配

表 3-7 HDMI2 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
7513_CLK	H21	2	3.3V	RGB 数据行锁定输出时钟
7513_D0	K18	2	3.3V	RGB 数据信号
7513_D1	K19	2	3.3V	RGB 数据信号
7513_D2	J22	2	3.3V	RGB 数据信号
7513_D3	J19	2	3.3V	RGB 数据信号
7513_D4	J18	2	3.3V	RGB 数据信号
7513_D5	J20	2	3.3V	RGB 数据信号
7513_D6	H22	2	3.3V	RGB 数据信号
7513_D7	H19	2	3.3V	RGB 数据信号
7513_D8	H18	2	3.3V	RGB 数据信号
7513_D9	H20	2	3.3V	RGB 数据信号
7513_D10	G18	2	3.3V	RGB 数据信号
7513_D11	G19	2	3.3V	RGB 数据信号
7513_D12	G20	2	3.3V	RGB 数据信号
7513_D13	G22	2	3.3V	RGB 数据信号
7513_D14	F18	2	3.3V	RGB 数据信号
7513_D15	G21	2	3.3V	RGB 数据信号
7513_D16	F19	2	3.3V	RGB 数据信号
7513_D17	F20	2	3.3V	RGB 数据信号
7513_D18	F22	2	3.3V	RGB 数据信号

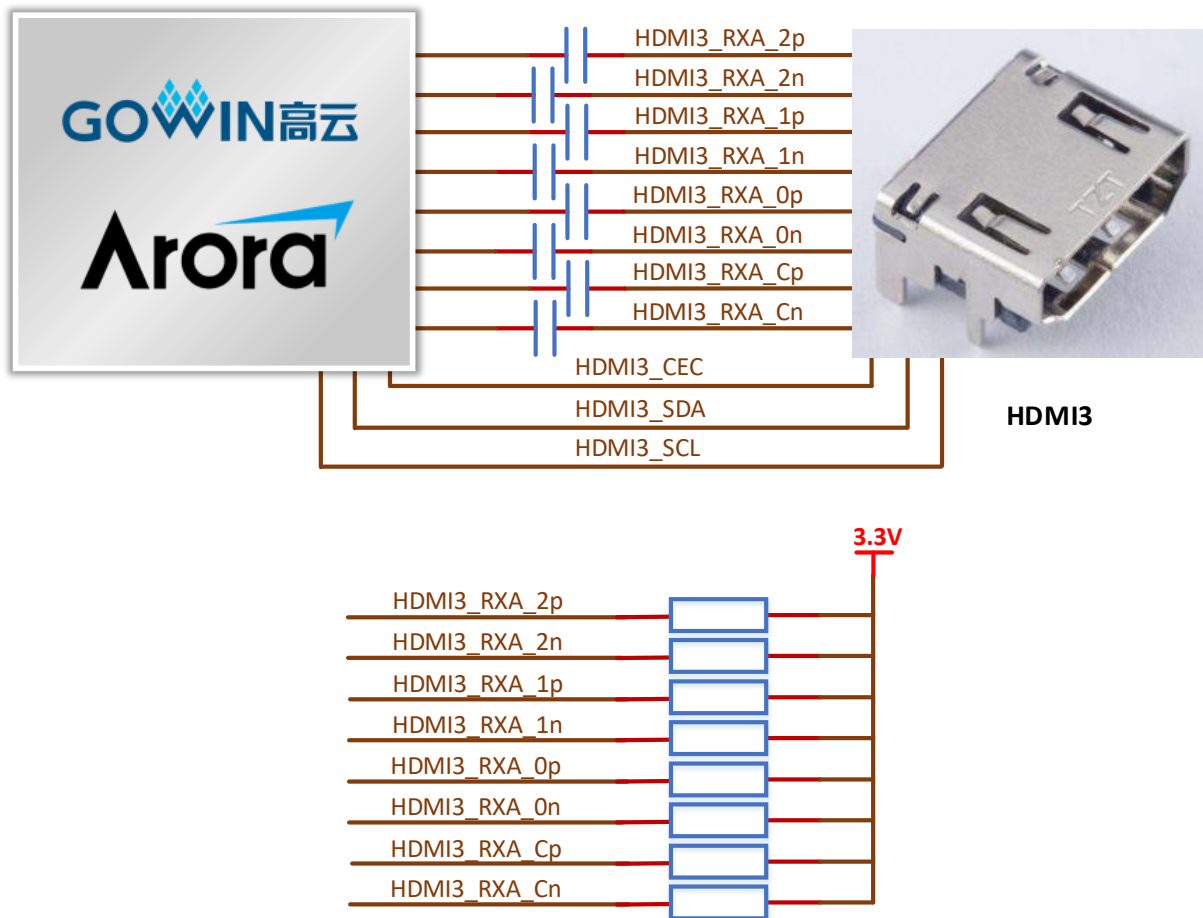
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
7513_D19	F21	2	3.3V	RGB 数据信号
7513_D20	E20	2	3.3V	RGB 数据信号
7513_D21	E22	2	3.3V	RGB 数据信号
7513_D22	E19	2	3.3V	RGB 数据信号
7513_D23	D20	2	3.3V	RGB 数据信号
7513_VSYNC	L19	2	3.3V	垂直同步输出信号
7513_HSYNC	K22	2	3.3V	水平同步输出信号
7513_DE	K20	2	3.3V	RGB 数据使能
7513_SCLK	D17	1	2.5V	音频串行时钟
7513_LRCLK	D18	1	2.5V	音频左右时钟
7513_MCLK	E17	1	2.5V	音频主时钟
7513_I2S0	C17	1	2.5V	音频输出引脚
7513_SCL	A20	1	2.5V	I2C 串行接口时钟
7513_SDA	A21	1	2.5V	I2C 串行接口数据
7513_INT	L20	2	3.3V	中断信号

3.8 HDMI 3 接口

3.8.1 介绍

HDMI3 接口不经过编解码芯片，直接连接到 FPGA 引脚，通过 FPGA 内部 IP 实现 HDMI 信号的接收，连接示意图如下图所示。

图 3-8 FPGA 与 HDMI3 接口连接示意图



3.8.2 管脚分配

表 3-8 HDMI3 模块管脚分配

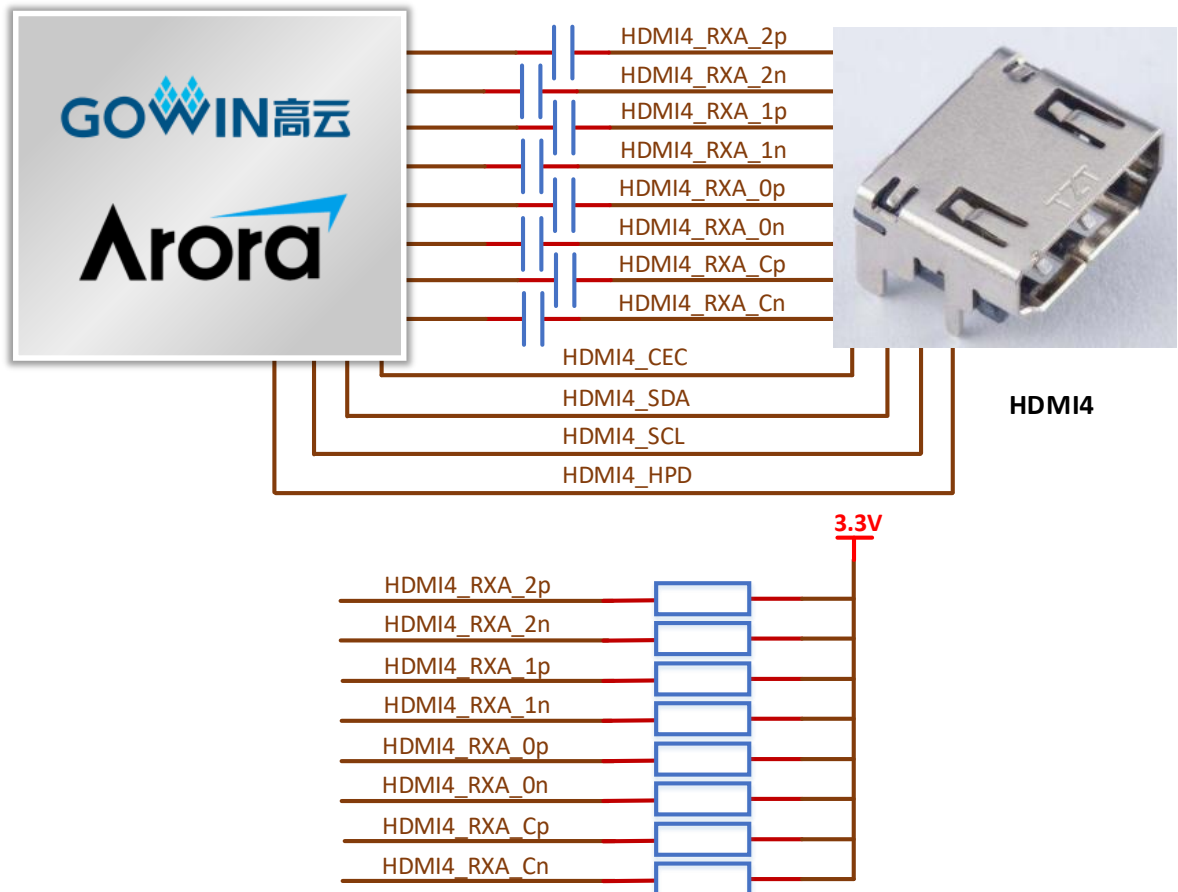
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
HDMI3_RX_Cp	C9	0	2.5V	HDMI 差分时钟
HDMI3_RX_Cn	C10	0	2.5V	HDMI 差分时钟
HDMI3_RX_0p	C7	0	2.5V	HDMI 差分数据
HDMI3_RX_0n	C8	0	2.5V	HDMI 差分数据
HDMI3_RX_1p	D5	0	2.5V	HDMI 差分数据
HDMI3_RX_1n	D6	0	2.5V	HDMI 差分数据
HDMI3_RX_2p	D4	0	2.5V	HDMI 差分数据
HDMI3_RX_2n	C4	0	2.5V	HDMI 差分数据
HDMI3_CEC	C22	2	3.3V	消费电子控制信号
HDMI3_SCL	D22	2	3.3V	I2C 串行时钟
HDMI3_SDA	C21	2	3.3V	I2C 串行数据

3.9 HDMI 4 接口

3.9.1 介绍

HDMI4 接口不经过编解码芯片，直接连接到 FPGA 引脚，通过 FPGA 内部 IP 实现 HDMI 信号的发送，连接示意图如下图所示。

图 3-9 FPGA 与 HDMI4 接口连接示意图



3.9.2 管脚分配

表 3-9 HDMI4 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
HDMI4_TX_Cp	A11	0	2.5V	HDMI 差分时钟
HDMI4_TX_Cn	A12	0	2.5V	HDMI 差分时钟
HDMI4_TX_0p	A9	0	2.5V	HDMI 差分数据
HDMI4_TX_0n	A10	0	2.5V	HDMI 差分数据
HDMI4_TX_1p	B6	0	2.5V	HDMI 差分数据
HDMI4_TX_1n	A6	0	2.5V	HDMI 差分数据
HDMI4_TX_2p	A2	0	2.5V	HDMI 差分数据

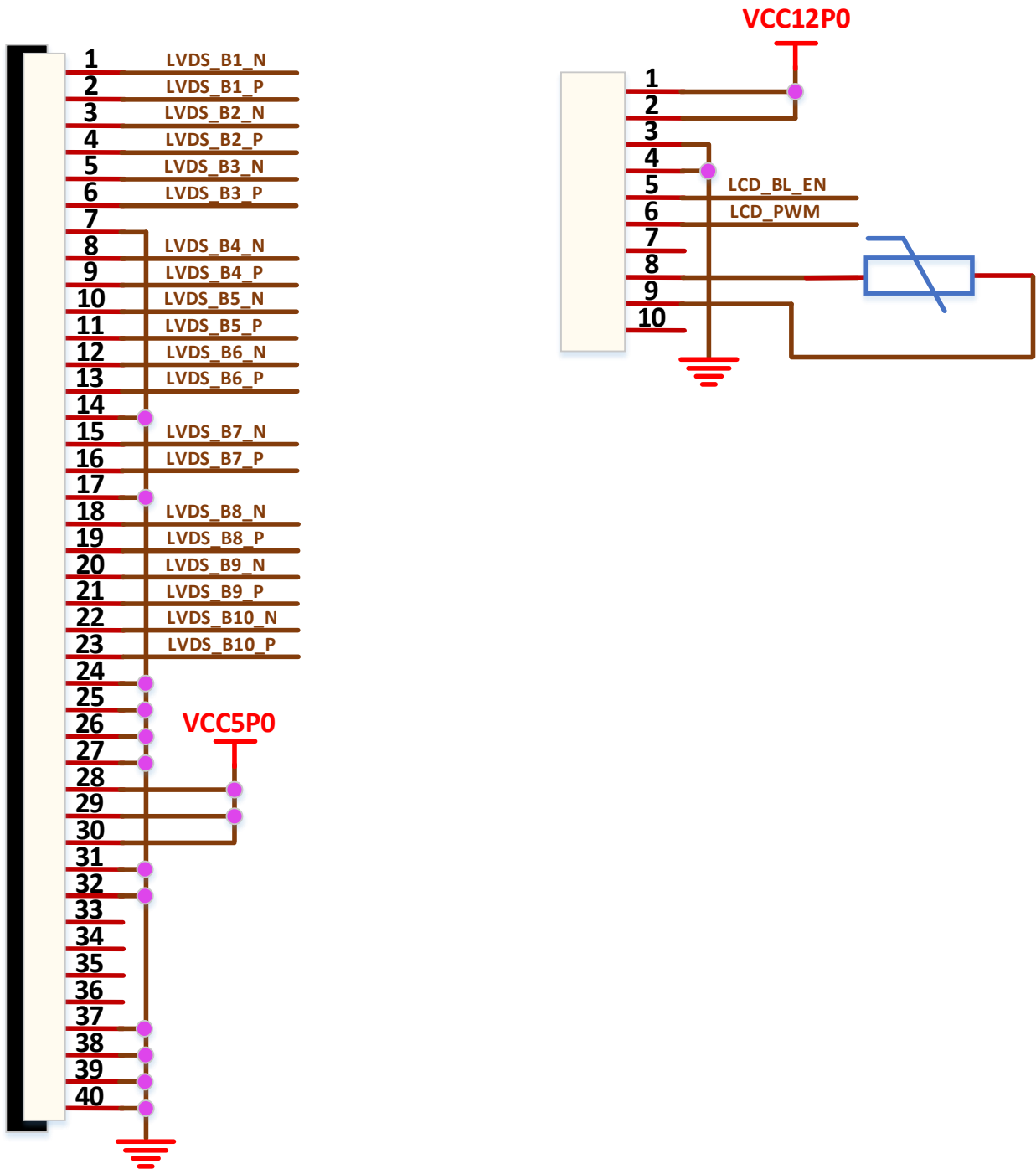
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
HDMI4_TX_2n	A3	0	2.5V	HDMI 差分数据
HDMI4_HPD	B21	2	3.3V	热插拔检测
HDMI4_CEC	B20	2	3.3V	消费电子控制信号
HDMI4_SCL	D19	2	3.3V	I2C 串行时钟
HDMI4_SDA	C20	2	3.3V	I2C 串行数据

3.10 LVDS TX 接口

3.10.1 介绍

LVDS 发送接口连接 10 对差分信号,包括 8 对数据, 2 对时钟, 接口支持信利 TFT19201080-30-E 型号的屏幕。接口采用 40pin 0.5mm 间距的 FPC 连接器。连接 LCD 屏时, LED 背光通过单独供电接口供电和控制。

图 3-10 LVDS TX 接口示意图



3.10.2 管脚分配

表 3-10 LVDS TX 接口管脚分配

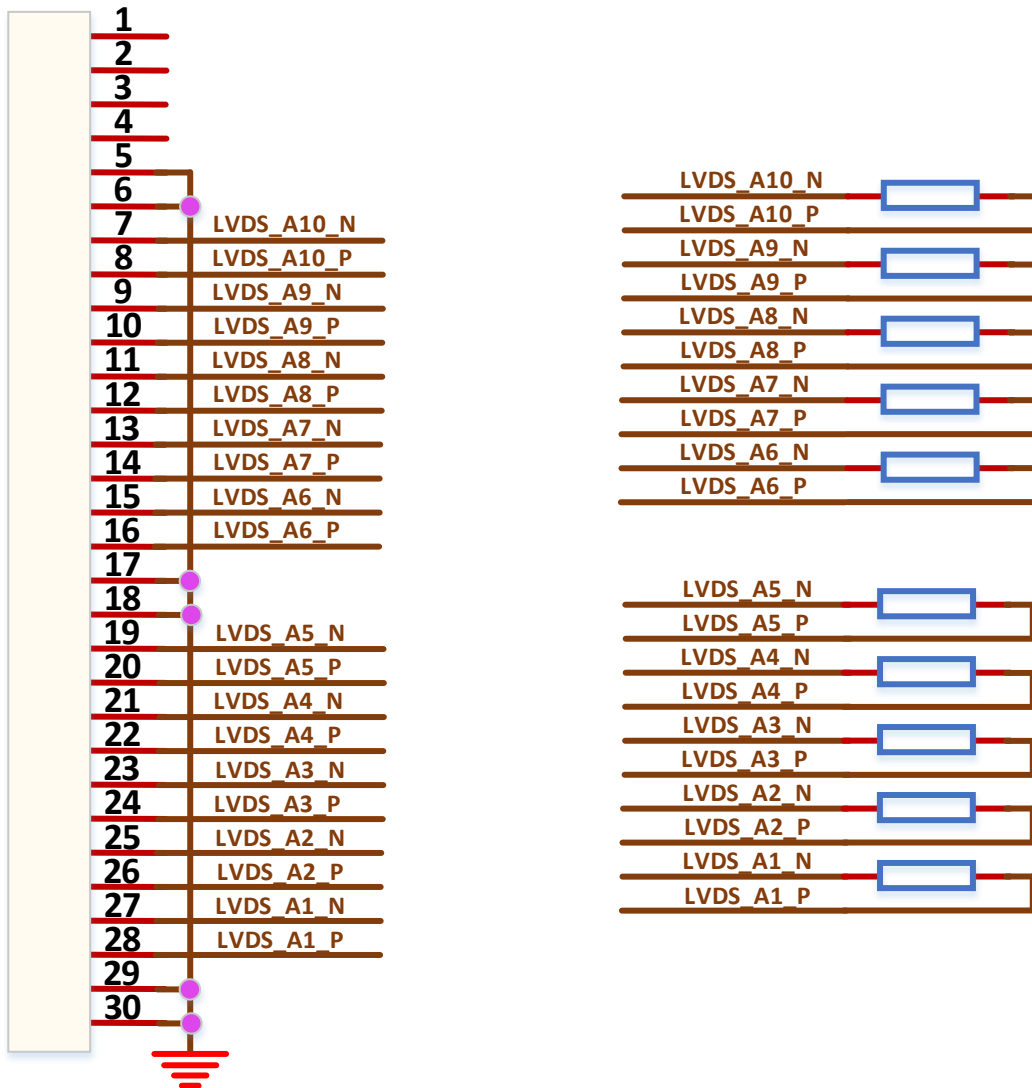
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
LVDS_B1_N	U16	4	2.5V	差分通道-
LVDS_B1_P	V16	4	2.5V	差分通道+
LVDS_B2_N	V18	4	2.5V	差分通道-
LVDS_B2_P	V17	4	2.5V	差分通道+
LVDS_B3_N	Y18	4	2.5V	差分通道-
LVDS_B3_P	Y19	4	2.5V	差分通道+
LVDS_B4_N	Y17	4	2.5V	差分通道-
LVDS_B4_P	AA17	4	2.5V	差分通道+
LVDS_B5_N	AA16	4	2.5V	差分通道-
LVDS_B5_P	AB16	4	2.5V	差分通道+
LVDS_B6_N	AA15	4	2.5V	差分通道-
LVDS_B6_P	AB15	4	2.5V	差分通道+
LVDS_B7_N	W16	4	2.5V	差分通道-
LVDS_B7_P	Y16	4	2.5V	差分通道+
LVDS_B8_N	V15	4	2.5V	差分通道-
LVDS_B8_P	V14	4	2.5V	差分通道+
LVDS_B9_N	AA12	4	2.5V	差分通道-
LVDS_B9_P	AB12	4	2.5V	差分通道+
LVDS_B10_N	W13	4	2.5V	差分通道-
LVDS_B10_P	W12	4	2.5V	差分通道+
LCD_BL_EN	M21	2	3.3V	背光使能
LCD_PWM	L21	2	3.3V	背光 PWM

3.11 LVDS RX 接口

3.11.1 介绍

LVDS 接收接口连接 10 对差分信号,包括 8 对数据,2 对时钟,接口采用 30pin 1.25mm 间距的 FPC 连接器。用于接收外部输出的 LVDS 信号。

图 3-11 LVDS RX 接口示意图



3.11.2 管脚分配

表 3-11 LVDS RX 接口管脚分配

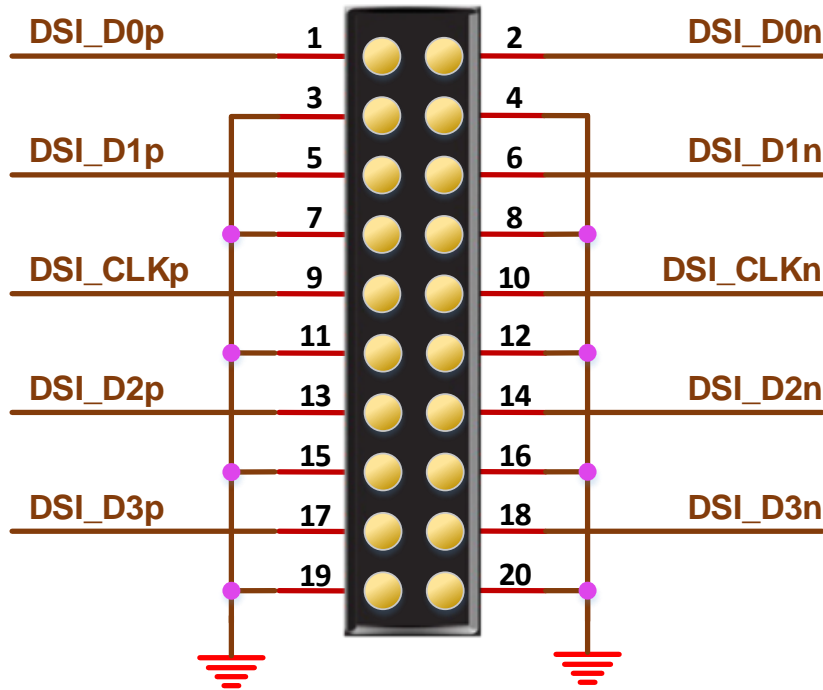
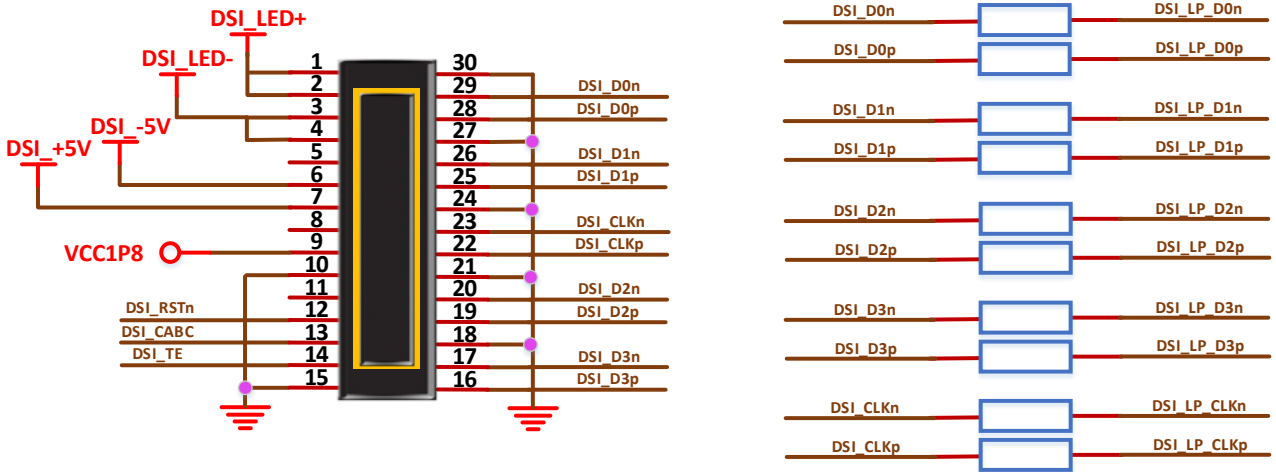
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
LVDS_A1_N	V19	4	2.5V	差分通道-
LVDS_A1_P	W19	4	2.5V	差分通道+
LVDS_A2_N	W18	4	2.5V	差分通道-
LVDS_A2_P	W17	4	2.5V	差分通道+
LVDS_A3_N	AB20	4	2.5V	差分通道-
LVDS_A3_P	AB19	4	2.5V	差分通道+
LVDS_A4_N	Y20	4	2.5V	差分通道-
LVDS_A4_P	AA20	4	2.5V	差分通道+
LVDS_A5_N	AB18	4	2.5V	差分通道-
LVDS_A5_P	AB17	4	2.5V	差分通道+
LVDS_A6_N	Y15	4	2.5V	差分通道-
LVDS_A6_P	Y14	4	2.5V	差分通道+
LVDS_A7_N	W15	4	2.5V	差分通道-
LVDS_A7_P	W14	4	2.5V	差分通道+
LVDS_A8_N	AB14	4	2.5V	差分通道-
LVDS_A8_P	AB13	4	2.5V	差分通道+
LVDS_A9_N	Y13	4	2.5V	差分通道-
LVDS_A9_P	Y12	4	2.5V	差分通道+
LVDS_A10_N	V13	4	2.5V	差分通道-
LVDS_A10_P	V12	4	2.5V	差分通道+

3.12 MIPI DSI

3.12.1 介绍

DSI 接口采用 30 触点的堆叠板连接器，引出 5 对差分，包括 1 路时钟、4 路数据，与 TXD 的 T550UZPA-75 手机屏接口对应。同时将 5 个 lane 的 DSI 信号引到 20pin 2.00mm 间距的双排插针。

图 3-12 MIPI DSI 模块连接示意图



3.12.2 管脚分配

表 3-12 MIPI DSI 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DSI_D0n	B22	1	2.5V	HS 差分数据 0-
DSI_D0p	A22	1	2.5V	HS 差分数据 0+
DSI_D1n	C19	1	2.5V	HS 差分数据 1-
DSI_D1p	C18	1	2.5V	HS 差分数据 1+

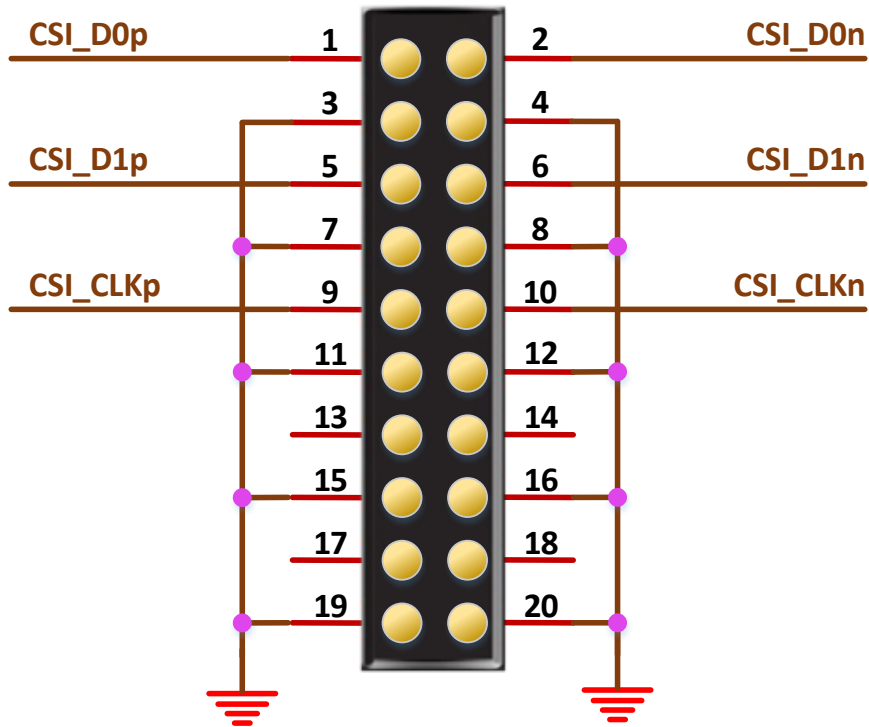
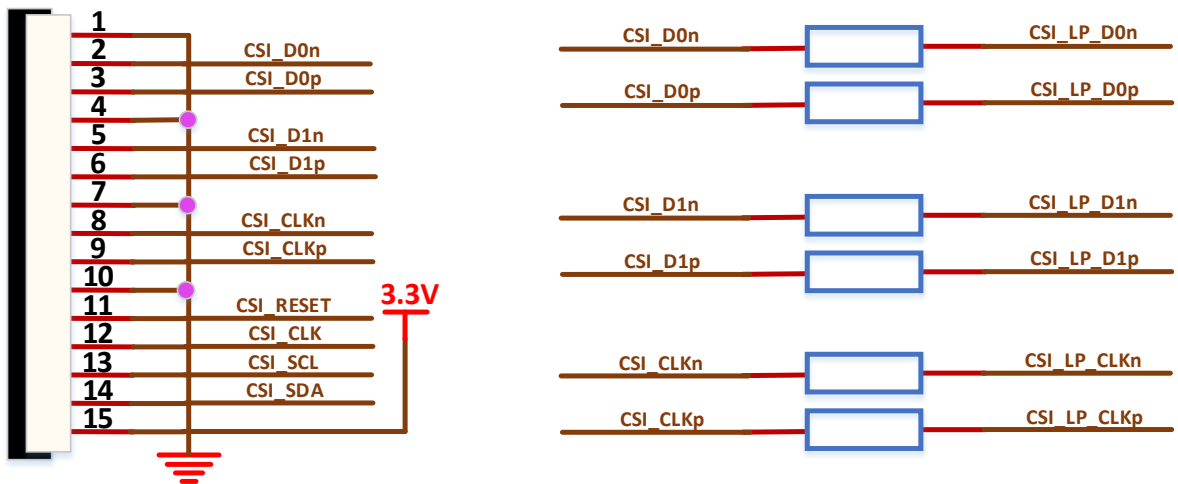
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DSI_CLKn	A19	1	2.5V	HS 差分时钟-
DSI_CLKp	A18	1	2.5V	HS 差分时钟+
DSI_D2n	B17	1	2.5V	HS 差分数据 2-
DSI_D2p	A17	1	2.5V	HS 差分数据 2+
DSI_D3n	B15	1	2.5V	HS 差分数据 3-
DSI_D3p	A15	1	2.5V	HS 差分数据 3+
DSI_LP_D0n	E7	0	1.2V	LP 单端数据 0
DSI_LP_D0p	B11	0	1.2V	LP 单端数据 0
DSI_LP_D1n	B8	0	1.2V	LP 单端数据 1
DSI_LP_D1p	A8	0	1.2V	LP 单端数据 1
DSI_LP_CLKn	B7	0	1.2V	LP 单端时钟
DSI_LP_CLKp	A7	0	1.2V	LP 单端时钟
DSI_LP_D2n	C6	0	1.2V	LP 单端数据 2
DSI_LP_D2p	D7	0	1.2V	LP 单端数据 2
DSI_LP_D3n	D8	0	1.2V	LP 单端数据 3
DSI_LP_D3p	D9	0	1.2V	LP 单端数据 3
DSI_RSTn	A16	1	2.5V	复位信号
DSI_CABC	B16	1	2.5V	背光控制信号
DSI_TE	D16	1	2.5V	撕裂效果输出信号

3.13 MIPI CSI

3.13.1 介绍

MIPI CSI 接口采用 15pin、1mm 间距的 FPC 连接器，接口包括 3 对差分，其中 1 路时钟、2 路数据。3 个 lane 的差分信号同时引到 20pin 2.00mm 间距的双排插针。连接示意图如下图所示。

图 3-13 MIPI CSI 模块连接示意图



3.13.2 管脚分配

表 3-13 MIPI CSI 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
CSI_D0n	C15	1	2.5V	HS 差分数据 0-
CSI_D0p	C14	1	2.5V	HS 差分数据 0+
CSI_D1n	E13	1	2.5V	HS 差分数据 1-
CSI_D1p	E12	1	2.5V	HS 差分数据 1+

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
CSI_CLKn	D12	1	2.5V	HS 差分时钟-
CSI_CLKp	D11	1	2.5V	HS 差分时钟+
CSI_LP_D0n	E6	0	1.2V	LP 单端数据 0
CSI_LP_D0p	A5	0	1.2V	LP 单端数据 0
CSI_LP_D1n	A1	0	1.2V	LP 单端数据 1
CSI_LP_D1p	B1	0	1.2V	LP 单端数据 1
CSI_LP_CLKn	A4	0	1.2V	LP 单端时钟
CSI_LP_CLKp	C5	0	1.2V	LP 单端时钟
CSI_RESET	E16	1	2.5V	复位信号
CSI_CLK	C16	1	2.5V	时钟
CSI_SCL	D15	1	2.5V	I2C 信号
CSI_SDA	E15	1	2.5V	I2C 信号

3.14 GPIO

3.14.1 介绍

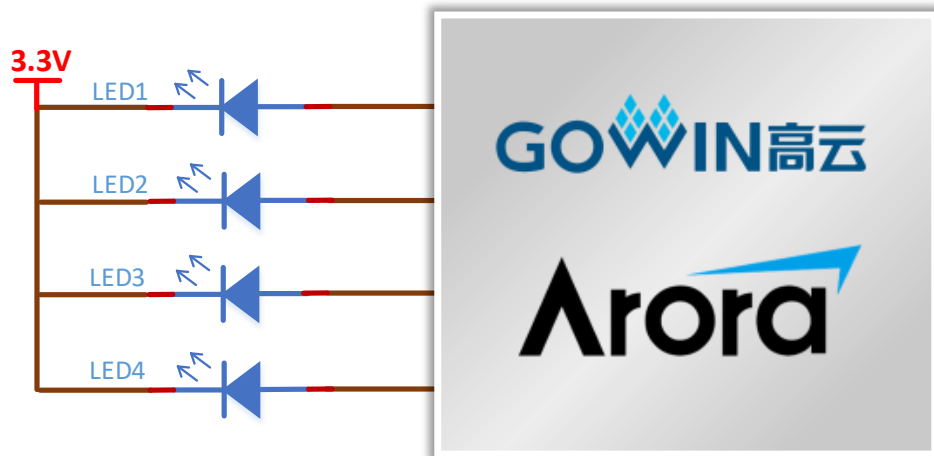
开发板上 MIPI DSI、MIPI CSI 引出的双排插针在不使用的情况下可以复用做 GPIO，由于同时连接到 FPGA 和 LP 的端接电阻，所以用作 GPIO 时需要把端接电阻拆除，且 Bank 电压固定为 2.5V。示意图和引脚分配请参考 3.12 MIPI DSI 及 3.13 MIPI CSI。

3.15 LED 模块

3.15.1 介绍

开发板中有 4 个蓝色 LED 灯，用户可用 LED 灯来显示所需状态。当 FPGA 对应管脚输出信号为低电平时，LED 被点亮；当输出信号为高电平时，LED 熄灭。连接示意图如图 3-14 所示。

图 3-14 LED 连接示意图



3.15.2 管脚分配

表 3-14 LED 指示灯管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
LED1	W20	3	1.5V	LED 指示灯 1
LED2	W22	3	1.5V	LED 指示灯 2
LED3	V22	3	1.5V	LED 指示灯 3
LED4	U20	3	1.5V	LED 指示灯 4

注!

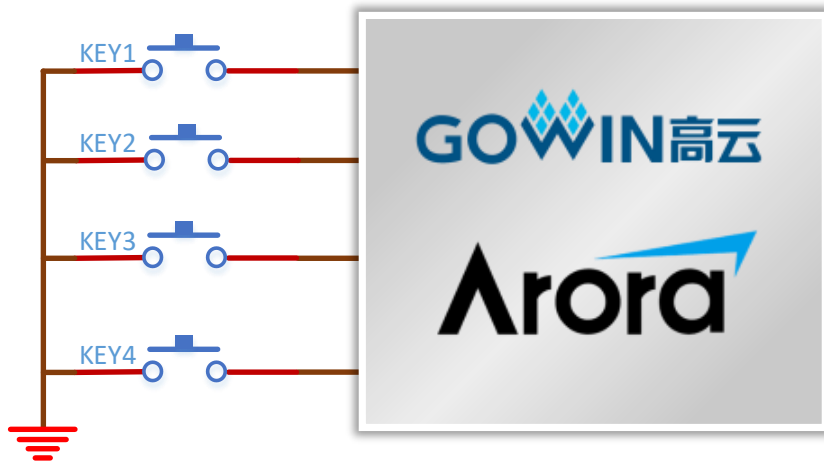
需要将 SSPI 复用做 GPIO。

3.16 按键模块

3.16.1 介绍

开发板中有 4 个按键开关,可用于测试过程中的控制输入。按键按下时,输入低电平。连接示意图如图 3-15 所示。

图 3-15 按键电路



3.16.2 管脚分配

表 3-15 按键模块管脚分配

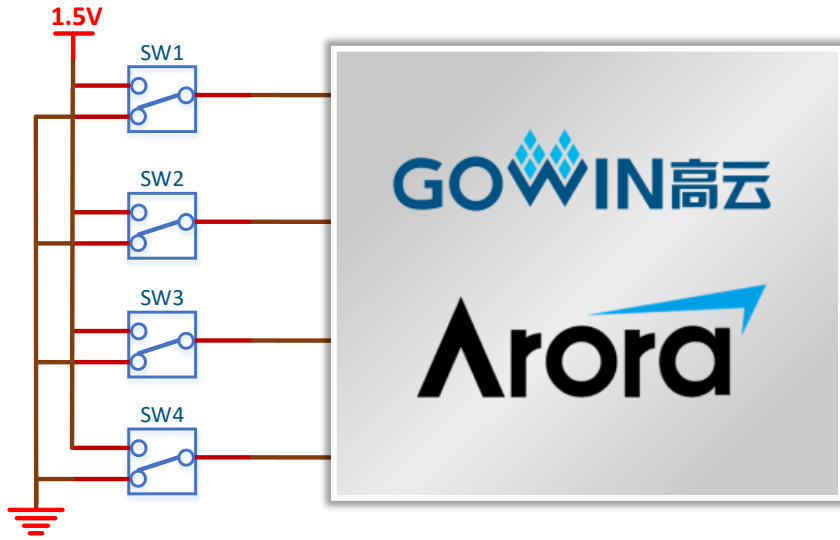
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
KEY1	AB21	3	1.5V	按键 1
KEY2	Y21	3	1.5V	按键 2
KEY3	U18	3	1.5V	按键 3
KEY4	V20	3	1.5V	按键 4

3.17 开关模块

3.17.1 介绍

开发板中有 4 个滑动开关，可用于测试过程中的控制输入。连接示意图如下图所示。

图 3-16 开关电路



3.17.2 管脚分配

表 3-16 开关模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SW1	T17	3	1.5V	滑动开关 1
SW2	T18	3	1.5V	滑动开关 2
SW3	R18	3	1.5V	滑动开关 3
SW4	R19	3	1.5V	滑动开关 4

