

Gowin GW1NRF DK-BLE-GW1NRF-4-INIT 开发套件 用户手册

简介

GW1NRF DK_BLE_GW1NRF-4_INIT 开发套件由包含 GW1NRF-4 蓝牙 μ SoC FPGA 的 BLE 模块以及一块载板组成，便于用户快速实现应用程序开发。GW1NRF-4 在同类设备中率先支持蓝牙低功耗 5.0 收发器及 32 位 ARC 处理器，可用于存储蓝牙 LE 软件栈及用户应用程序。GW1NRF-4 同时支持 4.6k LUT，可用于 IO 扩展、接口、并行和加速门阵列计算。

DK_BLE_GW1NRF-4_INIT_MOD 蓝牙 5.0 模块包含 GW1NRF-4 μ SoC FPGA，无线电天线，及一些被动元件。DK_BLE_CARRIER_INIT 板包含 FPGA 和 MCU 插排引脚、电源及 GPIOs 指示灯 LEDs、及 FTDI FT232H USB-JTAG 器件，便于编程使用。

图 1 GW1NRF-4 BLE 5.0 模块(DK_BLE_GW1NRF-4_INIT_MOD)

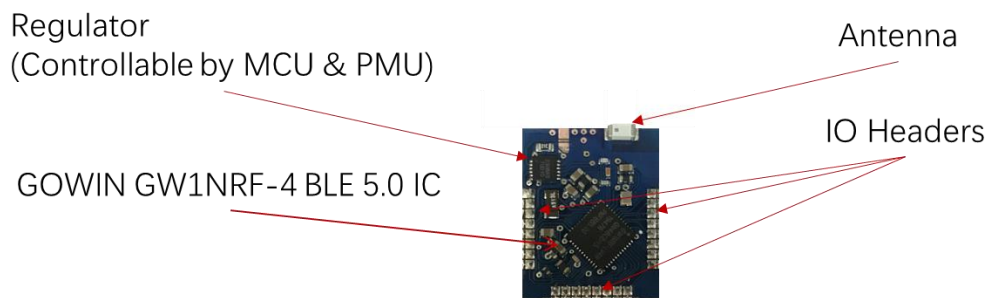
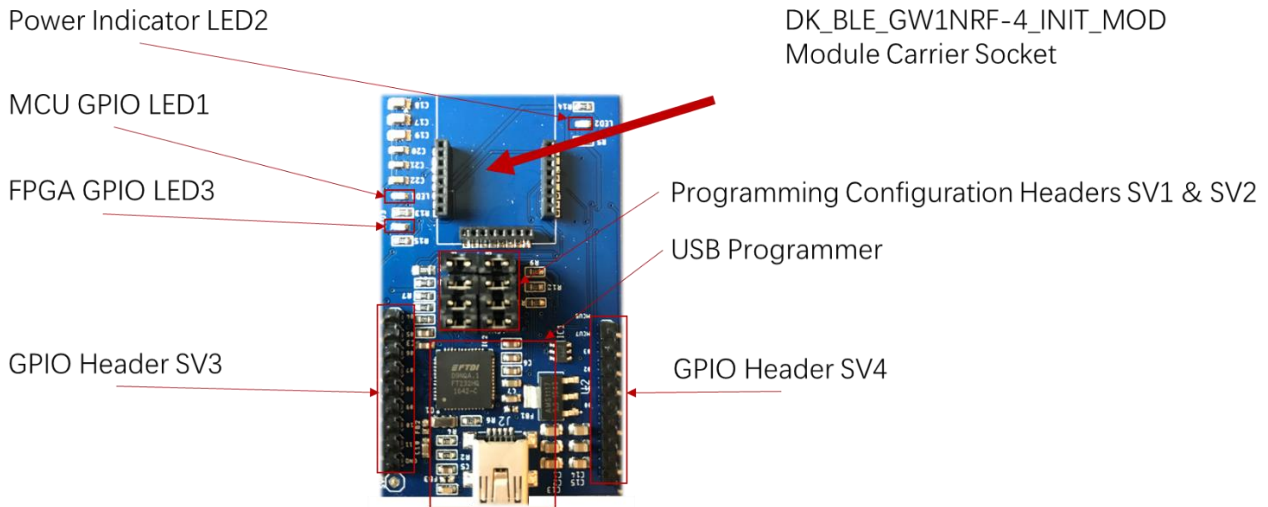


图 2 - GW1NRF 载板 (DK_BLE_CARRIER_INIT)



GW1NRF-4 BLE 5.0 模块概述 (DK_BLE_GW1NRF-4_INIT_MOD)

GW1NRF-4 模块提供了所有被动元件、天线以及其他组件。将蓝牙芯片集成在模块上开发，可以简化用户认证过程。

DK_BLE_GW1NRF-4_INIT_MOD 模块采用了 GOWIN 的专利技术 CoolStart™，可以通过 MCU PMU 对 FPGA IO 和核心电压进行断电。

注!

FPGA 管脚分配与 GOWIN EDA 中定义一致。MCU 管脚分配与 GW1NRF SoC SDK, Synopsys Metaware, 及 C/C++定义文件中一致。

图 3 - GW1NRF-4 BLE 5.0 模块 Pinout

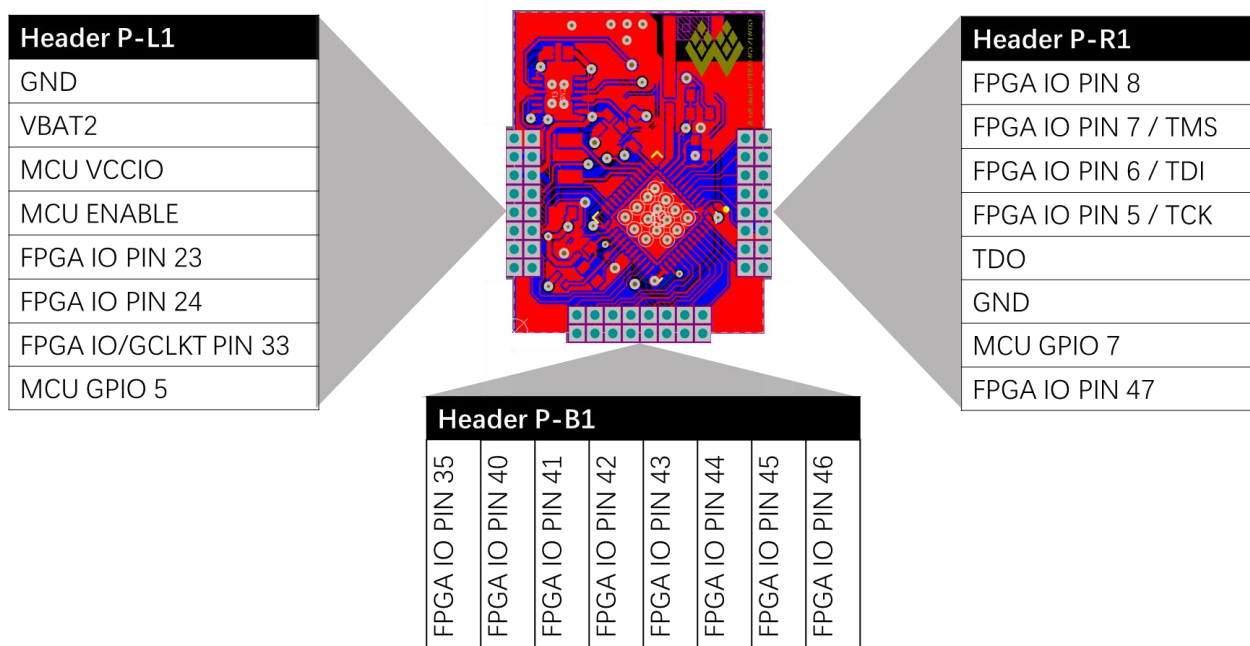


表 1 - GW1NRF-4 BLE 5.0 模块 Header Pinouts and Description

Header P-L1	
GND	Ground
VBAT2	Power for MCU, BLE transceiver and PMU
MCU VCCIO	Power for MCU GPIO pins
MCU Enable	MCU Enable to/from power gate sleep mode
FPGA IO Pin 23	FPGA GPIO pin
FPGA IO Pin 24	FPGA GPIO pin
FPGA IO/GCLKT Pin 33	FPGA GPIO and global clock input pin
Header P-R1	
FPGA IO PIN 8	FPGA GPIO pin
FPGA IO PIN 7 / TDI	FPGA GPIO and JTAG TDI pin
FPGA IO PIN 6 / TCK	FPGA GPIO and JTAG TCK pin
FPGA IO PIN 5	FPGA GPIO pin
TDO	JTAG TDO pin
GND	Ground
MCU GPIO 7	MCU GPIO pin
FPGA IO PIN 47	FPGA GPIO pin
Header P-B1	
FPGA IO PIN 35	FPGA GPIO pin
FPGA IO PIN 40	FPGA GPIO pin
FPGA IO PIN 41	FPGA GPIO pin
FPGA IO PIN 42	FPGA GPIO pin
FPGA IO PIN 43	FPGA GPIO pin
FPGA IO PIN 44	FPGA GPIO pin
FPGA IO PIN 45	FPGA GPIO pin
FPGA IO PIN 46	FPGA GPIO pin

GW1NRF 载板概述(DK_BLE_CARRIER_INIT)

GW1NRF-4 载板提供 FPGA 和 MCU 插排引脚、电源和 GPIO 指示灯 LEDs、5V-3.3V 的调节器及便于对设备进行编程 USB-JTAG 电路。它还提供了编程头文件，用于通过 USB-JTAG 电路或通过 MCU 和 FPGA 的无线 OTA(空中)编程来对器件进行编程。

注!

FPGA 管脚分配与 GOWIN EDA 中定义一致。MCU 管脚分配与 GW1NRF SoC SDK, Synopsys Metaware, 及 C/C++定义文件中一致。

图 4 - GW1NRF-4 BLE 5.0 载板 Pinout

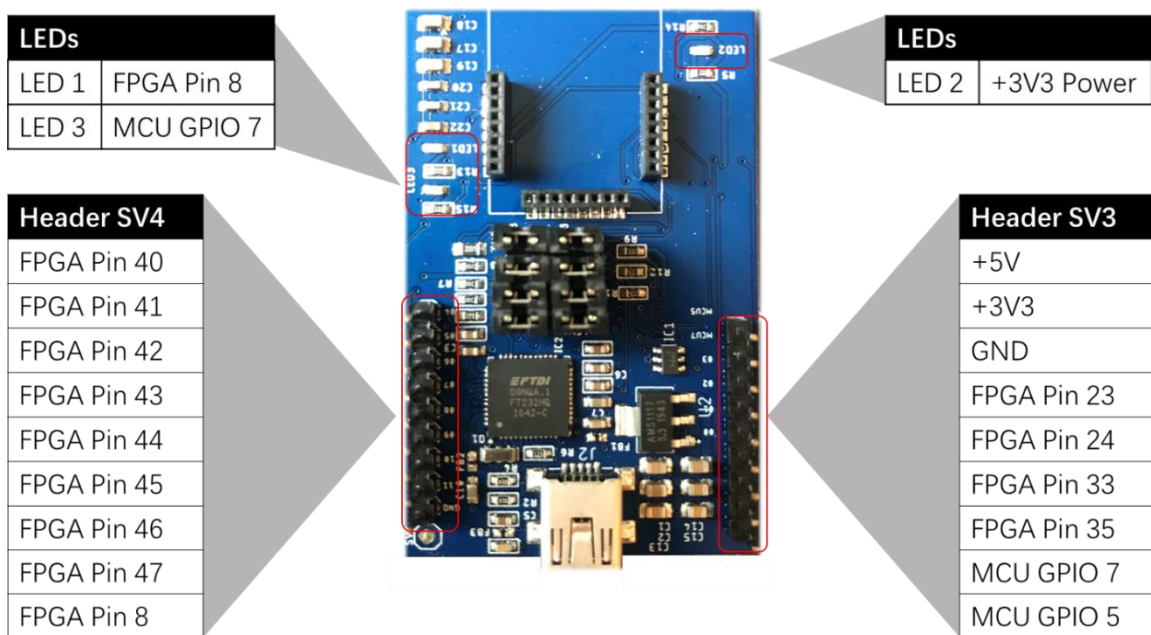


表 2 - GW1NRF-4 BLE 5.0 载板 Header Pinouts

LEDs	
LED 1	LED connected to FPGA Pin 8
LED 2	LED connected to +3V3 Power Rail
LED 3	LED connected to MCU GPIO 7
Header SV4 (Left Side Header)	
FPGA Pin 40	FPGA GPIO assigned to QFN pin 40
FPGA Pin 41	FPGA GPIO assigned to QFN pin 41
FPGA Pin 42	FPGA GPIO assigned to QFN pin 42
FPGA Pin 43	FPGA GPIO assigned to QFN pin 43
FPGA Pin 44	FPGA GPIO assigned to QFN pin 44
FPGA Pin 45	FPGA GPIO assigned to QFN pin 45
FPGA Pin 46	FPGA GPIO assigned to QFN pin 46
FPGA Pin 47	FPGA GPIO assigned to QFN pin 47
Header SV3 (Right Side Header)	
+5V	5.0V power rail from USB input
+3V3	3.3V power Rail from regulator output

GND	Ground
FPGA Pin 23	FPGA GPIO assigned to QFN pin 23
FPGA Pin 24	FPGA GPIO assigned to QFN pin 24
FPGA Pin 33	FPGA GPIO assigned to QFN pin 33
FPGA Pin 35	FPGA GPIO assigned to QFN pin 35
MCU GPIO 7	MCU GPIO 7
MCU GPIO 5	MCU GPIO 5

DK_BLE_GW1NRF-4_INIT 开发套件快速入门

关于 DK_BLE_GW1NRF-4_INIT 开发套件快速入门信息，请参考“Gowin GW1NRF 快速入门指南”。该指南描述了如何对 FPGA 和 MCU 进行编程，对 RTL 和 C/C++ 代码进行综合和编译，并给出了 32 位 ARC 微处理器和 FPGA 之间的通信示例。

DK_BLE_GW1NRF-4_INIT_MOD 原理图

DK_BLE_GW1NRF-4_INIT_MOD 原理图可通过高云半导体官网 www.gowinsemi.com.cn 获取：开发者专区>开发板与套件>DK BLE GW1NRF-4 INIT。

DK_BLE_CARRIER_INIT 原理图

DK_BLE_CARRIER_INIT 原理图可通过高云半导体官网 www.gowinsemi.com.cn 获取：开发者专区>开发板与套件>DK BLE GW1NRF-4 INIT。

技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

Tel: 00 86 0755 82620391

版本信息

日期	版本	说明
04/20/2020	1.0	初始版本。

版权所有© 2020 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。