

# Gowin DK-BLE-CEIT-ASSEM 开发套件 用户手册

## 简介

DK-BLE-CEIT-ASSEM 开发套件由包含 GW1NRF-4 蓝牙  $\mu$ SoC FPGA 的 BLE 模块以及一块载板组成，便于用户快速实现应用程序开发。GW1NRF-4 在同类设备中率先支持蓝牙低功耗 5.0 收发器及 32 位 ARC 处理器，可用于存储蓝牙 LE 软件栈及用户应用程序。GW1NRF-4 同时支持 4.6k LUT，可用于 IO 扩展、接口、并行和加速门阵列计算。

GW1NRF-LV4MOD/CEIT 蓝牙 5.0 模块包含 GW1NRF-4  $\mu$ SoC FPGA，无线电天线，及一些被动元件。DK\_BLE\_CARRIER\_INIT 板包含 FPGA 和 MCU 插排引脚、电源及 GPIOs 指示灯 LEDs、及 FTDI FT232H USB-JTAG 器件，便于编程使用。

**图 1 GW1NRF-4 BLE 5.0 模块(GW1NRF-LV4MOD/CEIT)**

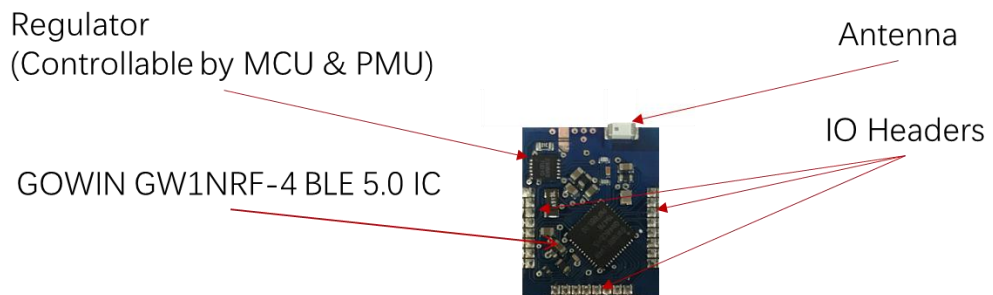
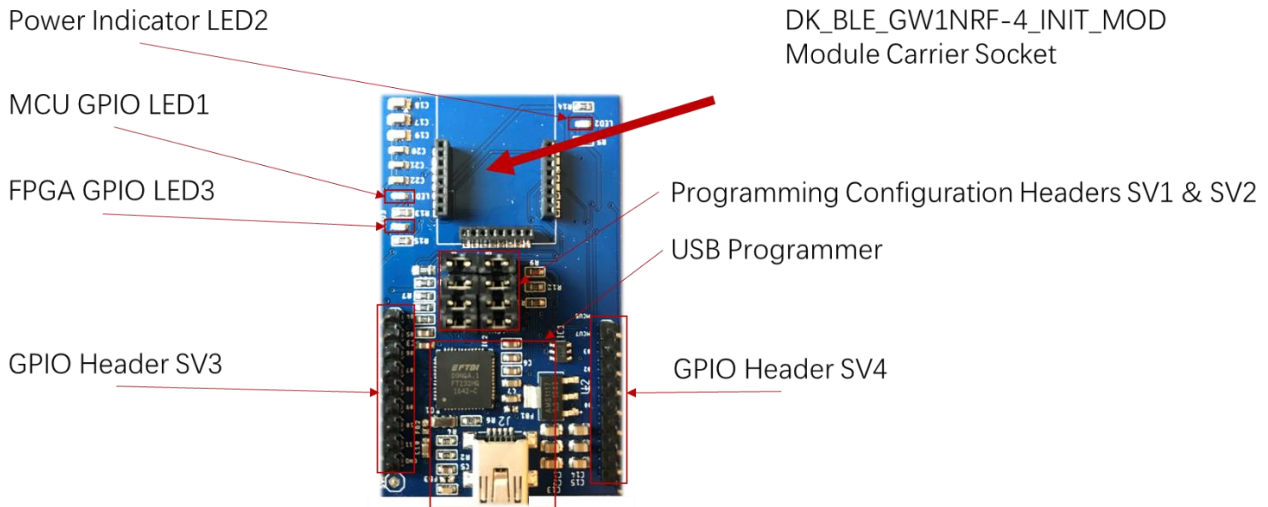


图 2 GW1NRF 载板 (DK\_BLE\_CARRIER\_INIT)



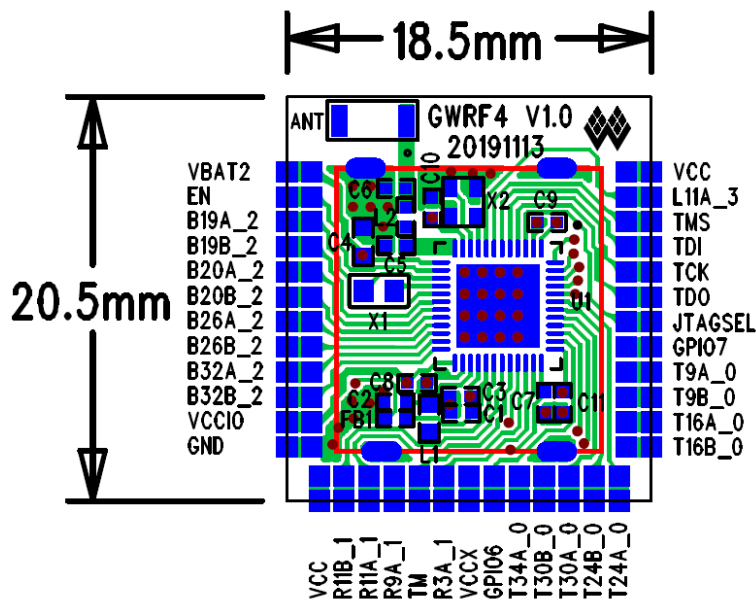
## GW1NRF-4 BLE 5.0 模块概述(GW1NRF-LV4MOD/CEIT)

GW1NRF-4 模块提供了所有被动元件、天线以及其他组件。将蓝牙芯片集成在模块上开发，可以简化用户认证过程。GW1NRF-LV4MOD/CEIT 模块采用了 GOWIN 的专利技术 CoolStart™，可以通过 MCU PMU 对 FPGA IO 和核心电压进行断电。

注!

FPGA 管脚分配与 GOWIN EDA 中定义一致。MCU 管脚分配与 GW1NRF SoC SDK, Synopsys Metaware, 及 C/C++定义文件中一致。

图 3 GW1NRF-4 BLE 5.0 模块 Pinout (GW1NRF-LV4MOD/CEIT)



**表 1 GW1NRF-4 BLE 5.0 模块 Header Pinouts (GW1NRF-LV4MOD/CEIT)**

管脚	信号名称	描述
L1	VBAT	Battery Voltage Rail (1.9 – 3.6V); provides MCU and BLE VCC core voltage via built in Step Down DCDC
L2	EN	Enable. Used to enable BLE and ARC power rails
L3	B19A_2	FPGA GPIO
L4	B19B_2	FPGA GPIO
L5	B20A_2	FPGA GPIO
L6	B20B_2	FPGA GPIO
L7	B26A_2	FPGA GPIO
L8	B26B_2	FPGA GPIO
L9	B32A_2	FPGA GPIO
L10	B32B_2	FPGA GPIO
L11	VCCIO_FPGA	VCCIO for FPGA (-)
L12	GND	Ground
B1	VCC_GPIO	VCCIO for MCU (-)
B2	R11B_1	FPGA GPIO
B3	R11A_1	FPGA GPIO
B4	R9A_1	FPGA GPIO
B5	TM	MCU GPIO 5 and/or MCU reset
B6	R3A_1	FPGA GPIO
B7	VCCX	FPGA VCCX Voltage (2.5- 3.3V)
B8	GPIO6	MCU GPIO 6
B9	T34A_0	FPGA GPIO
B10	T30B_0	FPGA GPIO
B11	T30A_0	FPGA GPIO
B12	T24B_0	FPGA GPIO
B13	T24A_0	FPGA GPIO
R1	VCC	FPGA VCC core voltage (LV = 1.2V, UV = 1.8-3.3V)
R2	L11A_3	FPGA GPIO
R3	TMS	JTAG for FPGA and MCU
R4	TDI	JTAG for FPGA and MCU
R5	TDO	JTAG for FPGA and MCU
R6	JTAGSEL	JTAG for FPGA and MCU
R7	GPIO7	MCU GPIO 7
R8	T9A_0	FPGA GPIO
R9	T9B_0	FPGA GPIO
R10	T16A_0	FPGA GPIO
R11	T16B_0	FPGA GPIO

## GW1NRF 载板概述(DK\_BLE\_CARRIER\_INIT)

GW1NRF-4 载板提供 FPGA 和 MCU 插排引脚、电源和 GPIO 指示灯 LEDs、5V-3.3V 的调节器及便于对设备进行编程 USB-JTAG 电路。它还提供了编程头文件，用于通过 USB-JTAG 电路或通过 MCU 和 FPGA 的无线 OTA(空中)编程来对器件进行编程。

注!

FPGA 管脚分配与 GOWIN EDA 中定义一致。MCU 管脚分配与 GW1NRF SoC SDK, Synopsys Metaware, 及 C/C++定义文件中一致。

图 4 GW1NRF-4 BLE 5.0 载板 Pinout

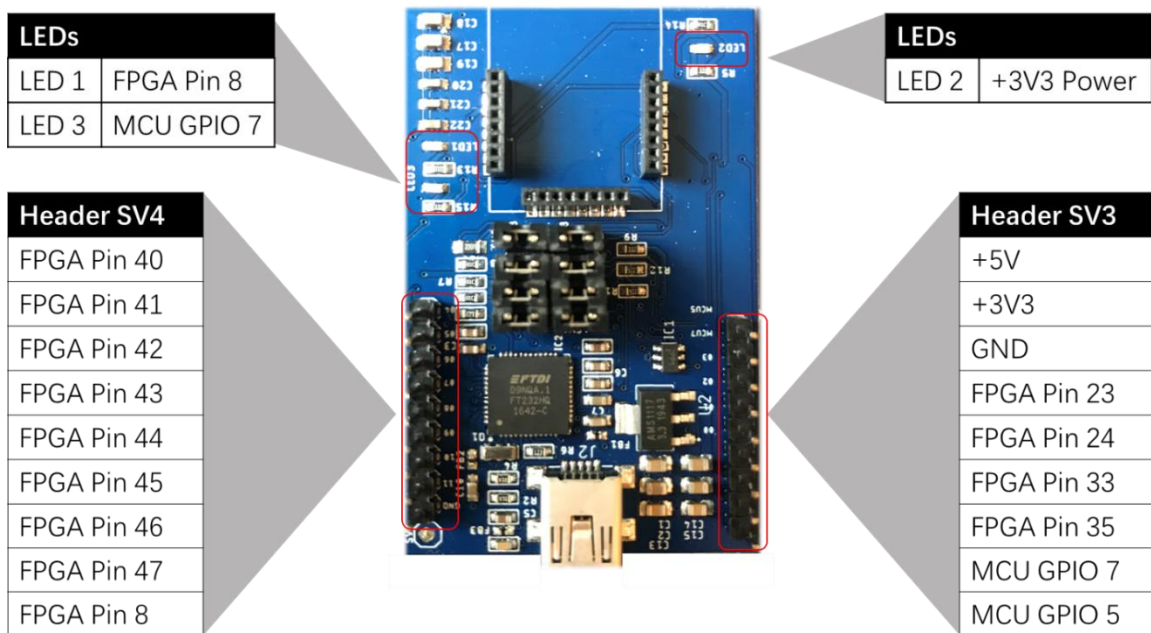


表 2 GW1NRF-4 BLE 5.0 载板 Header Pinouts

LEDs	
LED 1	LED connected to FPGA Pin 8
LED 2	LED connected to +3V3 Power Rail
LED 3	LED connected to MCU GPIO 7
Header SV4 (Left Side Header)	
FPGA Pin 40	FPGA GPIO assigned to QFN pin 40
FPGA Pin 41	FPGA GPIO assigned to QFN pin 41
FPGA Pin 42	FPGA GPIO assigned to QFN pin 42
FPGA Pin 43	FPGA GPIO assigned to QFN pin 43
FPGA Pin 44	FPGA GPIO assigned to QFN pin 44
FPGA Pin 45	FPGA GPIO assigned to QFN pin 45
FPGA Pin 46	FPGA GPIO assigned to QFN pin 46
FPGA Pin 47	FPGA GPIO assigned to QFN pin 47
Header SV3 (Right Side Header)	
+5V	5.0V power rail from USB input
+3V3	3.3V power Rail from regulator output

GND	Ground
FPGA Pin 23	FPGA GPIO assigned to QFN pin 23
FPGA Pin 24	FPGA GPIO assigned to QFN pin 24
FPGA Pin 33	FPGA GPIO assigned to QFN pin 33
FPGA Pin 35	FPGA GPIO assigned to QFN pin 35
MCU GPIO 7	MCU GPIO 7
MCU GPIO 5	MCU GPIO 5

## GW1NRF-LV4MOD/CEIT 开发套件快速入门

关于 GW1NRF-LV4MOD/CEIT 开发套件快速入门信息, 请参考“UG885, Gowin GW1NRF Getting Started Guide”。该指南描述了如何对 FPGA 和 MCU 进行编程, 对 RTL 和 C/ c++ 代码进行综合和编译, 并给出了 32 位 ARC 微处理器和 FPGA 之间的通信示例。

## GW1NRF-LV4MOD/CEIT 原理图

GW1NRF-LV4MOD/CEIT 原理图可通过高云半导体官网  
[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 获取：开发者专区>开发板与套件>DK BLE  
GW1NRF-4 MOD/CEIT SCH。

## DK\_BLE\_CARRIER\_INIT 原理图

DK\_BLE\_CARRIER\_INIT 原理图可通过高云半导体官网  
[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 获取：开发者专区>开发板与套件>DK BLE  
CARRIER INIT RevB SCH。

## 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com](http://www.gowinsemi.com)

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: 00 86 0755 82620391

## 版本信息

日期	版本	说明
04/20/2020	1.0	初始版本。

## **版权所有© 2020 广东高云半导体科技股份有限公司**

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。