



DK_MINI_GW1N-LV4LQ144C6I5_V1.1

用户手册

DBUG383-1.0, 2021-01-18

版权所有© 2021 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2021/01/18	1.0	初始版本。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语	2
1.5 技术支持与反馈	2
2 开发板介绍	3
2.1 概述	3
2.2 开发板套件	4
2.3 PCB 组件	5
2.4 系统框图	6
2.5 特性	6
2.6 指标	7
3 开发板详细介绍	8
3.1 FPGA 模块	8
3.2 下载	8
3.2.1 概述	8
3.2.2 USB 下载电路	9
3.2.3 下载流程	9
3.2.4 管脚分配	10
3.3 电源	10
3.3.1 概述	10

3.3.2 电源系统分配	11
3.3.3 电源管脚分配	12
3.4 时钟、复位	12
3.4.1 概述	12
3.4.2 时钟、复位电路	12
3.4.3 管脚分配	13
3.5 LED	13
3.5.1 概述	13
3.5.2 LED 电路	13
3.5.3 管脚分配	15
3.6 开关	15
3.6.1 概述	15
3.6.2 开关电路	16
3.6.3 管脚分配	16
3.7 数码管	16
3.7.1 概述	16
3.7.2 数码管电路	17
3.7.3 管脚分配	17
3.8 GPIO	17
3.8.1 概述	17
3.8.2 GPIO 电路	18
3.8.3 管脚分配	18
4 开发板使用	22
5 开发软件介绍	23

图目录

图 2-1 开发板实物图	3
图 2-2 开发板套件	4
图 2-3 开发板 PCB 组件说明	5
图 2-4 系统框图	6
图 3-1 FPGA USB 下载与配置连接示意图	9
图 3-2 电源系统分配示意图	11
图 3-3 时钟、复位电路	12
图 3-4 LED 电路	13
图 3-5 开关电路	16
图 3-6 数码管电路	17
图 3-7 GPIO 电路	18

表目录

表 1-1 术语、缩略语	2
表 2-1 开发板指标	7
表 3-1 FPGA 下载与配置管脚分配	10
表 3-2 GW1N-4/4B FPGA 电源管脚分配	12
表 3-3 FPGA 时钟与复位管脚分配	13
表 3-4 LED 管脚分配	15
表 3-5 开关电路管脚分配	16
表 3-6 数码管电路管脚分配	17
表 3-7 J1 FPGA 管脚分配	19
表 3-8 J4 FPGA 管脚分配	19
表 3-9 J2 FPGA 管脚分配	21
表 3-10 J3 FPGA 管脚分配	21

1 关于本手册

1.1 手册内容

DK_MINI_GW1N-LV4LQ144C6I5_V1.1 用户手册分为四个部分：

1. 简述开发板的功能特点和硬件资源；
2. 介绍开发板上的各部分硬件电路的功能、电路及管脚分配；
3. 开发板使用注意事项；
4. 介绍 FPGA 开发软件的使用方法。

1.2 适用产品

本手册中所述信息可适用于以下 GW1N 系列 FPGA 产品：GW1N-4。

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [UG103, GW1N 系列 FPGA 产品封装与管脚手册](#)
- [UG105, GW1N-4 器件 Pinout 手册](#)
- [UG290, GW1N 系列 FPGA 产品编程配置手册](#)
- [SUG100, Gowin 云源软件用户手册](#)

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
LED	Light Emitting Diode	发光二极管
LDO	Low Dropout Regulator	低压差线性稳压器
GPIO	Gowin Programmable I/O	Gowin 可编程通用管脚
LUT4	4-input Look-up Tables	4 输入查找表
S-SRAM	Shadow Static Random Access Memory	附加静态随机存储器
B-SRAM	Block Static Random Access Memory	块状静态随机存储器
PLL	Phase-locked Loop	锁相环
DLL	Delay-locked Loop	延迟锁相环
DSP	Digital Signal Processing	数字信号处理
LQ144	LQFP144	LQFP144 封装

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

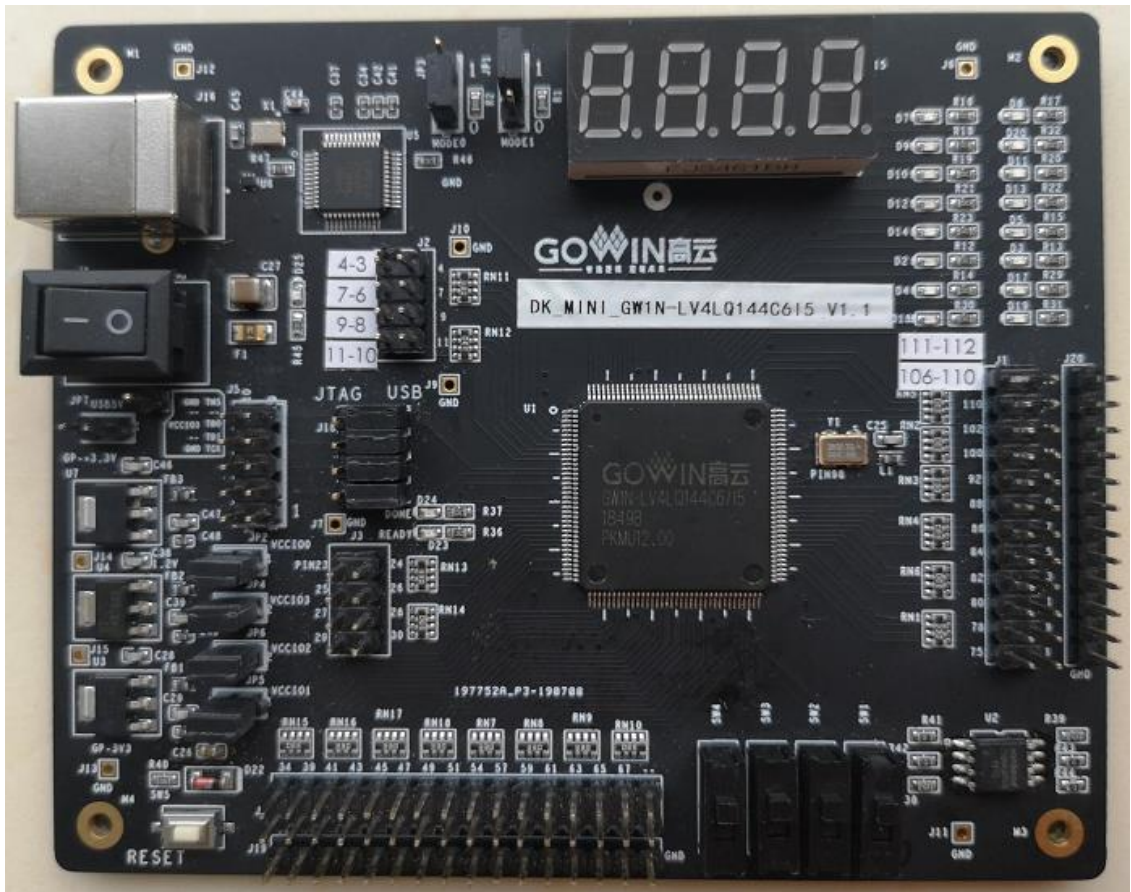
E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 开发板介绍

2.1 概述

图 2-1 开发板实物图



开发板采用高云半导体 GW1N-LV4/4BLQ144 FPGA 器件，具有低功耗、瞬时启动、高安全性、低成本、方便扩展等特点，可有效降低学习成本，帮助用户快速进入可编程逻辑器件的设计开发领域。

开发板上集成了 4 个 GPIO 接口，同时也提供了滑动开关、时钟、LED 等资源，可供开发人员或爱好者学习使用。

2.2 开发板套件

开发板套件包括：

- 开发板
- USB 数据线

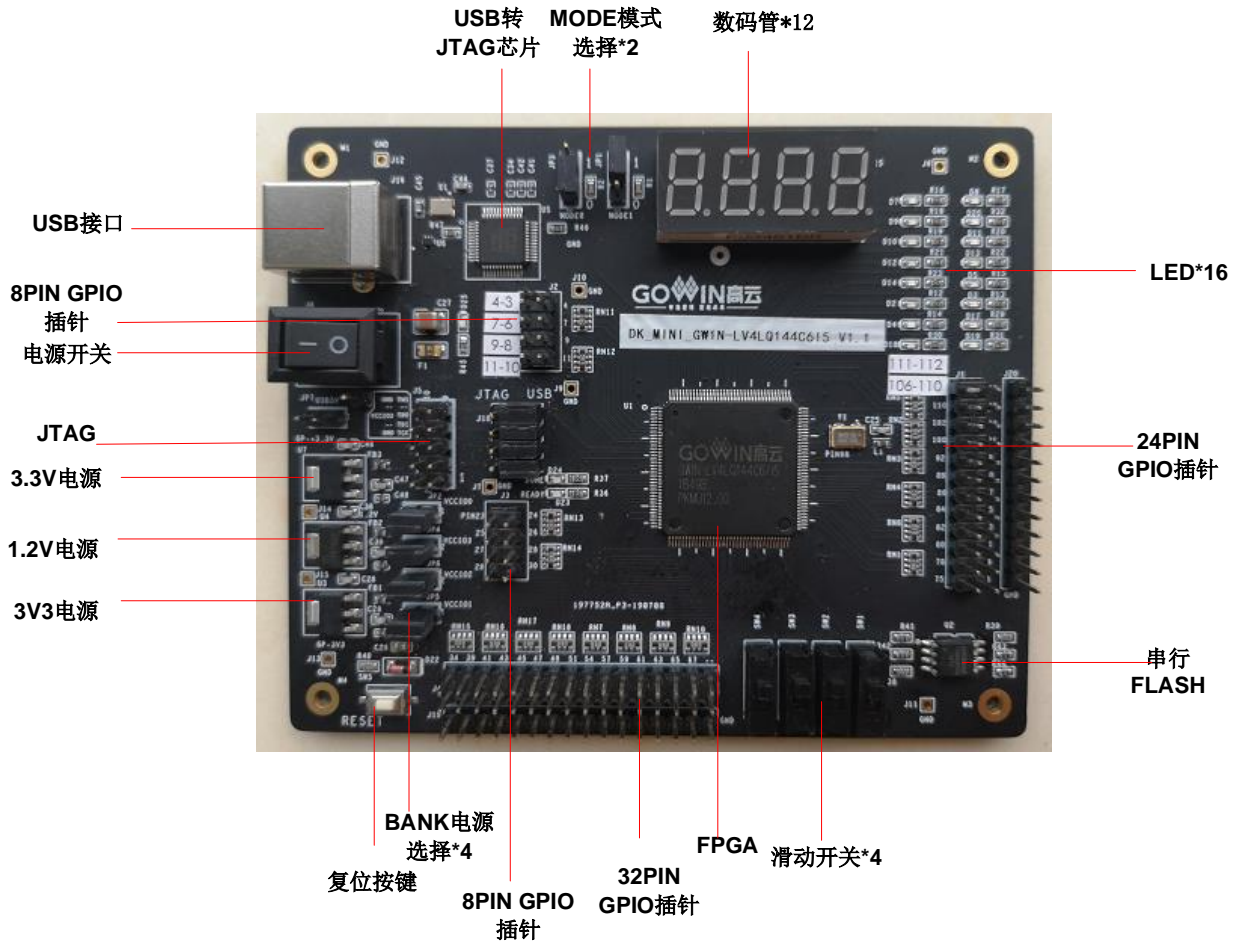
图 2-2 开发板套件



- ① 开发板
- ② USB数据线

2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



2.4 系统框图

图 2-4 系统框图



2.5 特性

开发板组成结构及特性如下：

1. FPGA
 - 采用 LQFP144 封装
 - 内嵌 Flash，掉电不易丢失
 - 丰富的 LUT4 资源
 - 多种模式、容量丰富的 B-SRAM
 - 支持 LV 版本
2. FPGA 配置模式
 - JTAG、AUTO BOOT、MSPI
3. 时钟资源
 - 50MHz 时钟晶振；
4. 按键和滑动开关
 - 1 个复位按键
 - 4 个滑动开关
5. LED

- 1 个电源指示灯（绿）
 - 1 个 DONE 指示灯（绿）
 - 1 个 READY 指示灯（绿）
 - 16 个 LED（绿）
 - 1 个数码管
6. 存储
- 64Mbit SPI Flash
7. GPIO
- 72 个 I/O 资源
8. LDO 电源
- 具有电压反向保护、过流保护功能
 - 提供 3.3V、3V、1.2V 电源

2.6 指标

表 2-1 开发板指标

序号	项目	功能描述	技术条件	备注
1	FPGA	开发板核心芯片	—	—
2	下载	支持 USB 接口；支持 JTAG、AUTOBOOT、MSPI	板上集成 USB 转 JTAG 芯片	—
3	电源	提供 USB5V 输入，通过 LDO 电路输出 3.3V、3V、1.2V 电源	输入电源为 5V； 5V 转 3.3V、3V 电路为 FPGA、下载电路及其他电路提供电源； 5V 转 1.2V 电路为 FPGA 提供电源；	—
4	滑动开关	可供用户测试使用	4 个	—
5	复位按键	为 FPGA 提供复位	1 个	—
6	LED	测试指示、DONE 指示、READY 指示、电源指示	测试指示灯 16 个，绿色； DONE 指示灯 1 个，绿色； 电源指示灯 1 个，绿色 READY 指示灯 1 个，绿色	—
7	晶振	为 FPGA 提供 50MHz 时钟	封装 5032	—
8	GPIO	I/O，方便用户进行扩展和测试	72 个； 3.3V IO 电压	—
9	数码管	供测试使用	1 个	—
10	保护	USB 接口有 ESD 保护、电源接口具有反向保护功能、电流过流保护	USB 接口 ESD 保护：±15kV 非接触放电，±8kV 接触放电； 电源接口正负极间方向接有肖特基二极管； 电源入口接有耐 2A 的自恢复保险丝	—
11	电压	—	输入范围：2.7V~5.5V	—
12	湿度	—	95%	—
13	温度	—	工作范围-20°~70°	—

3 开发板详细介绍

3.1 FPGA 模块

概述

GW1N 系列 FPGA 产品资源信息请参考 [DS100, GW1N 系列 FPGA 产品数据手册](#)。

I/O BANK 说明

GW1N 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息请参考 [UG103, GW1N 系列 FPGA 产品封装与管脚手册](#)。

3.2 下载

3.2.1 概述

开发板提供 USB 下载接口，同时也支持 JTAG 下载，J5 为 JTAG 下载口，J18 通过短路帽可选择 JTAG 和 USB 下载模式。

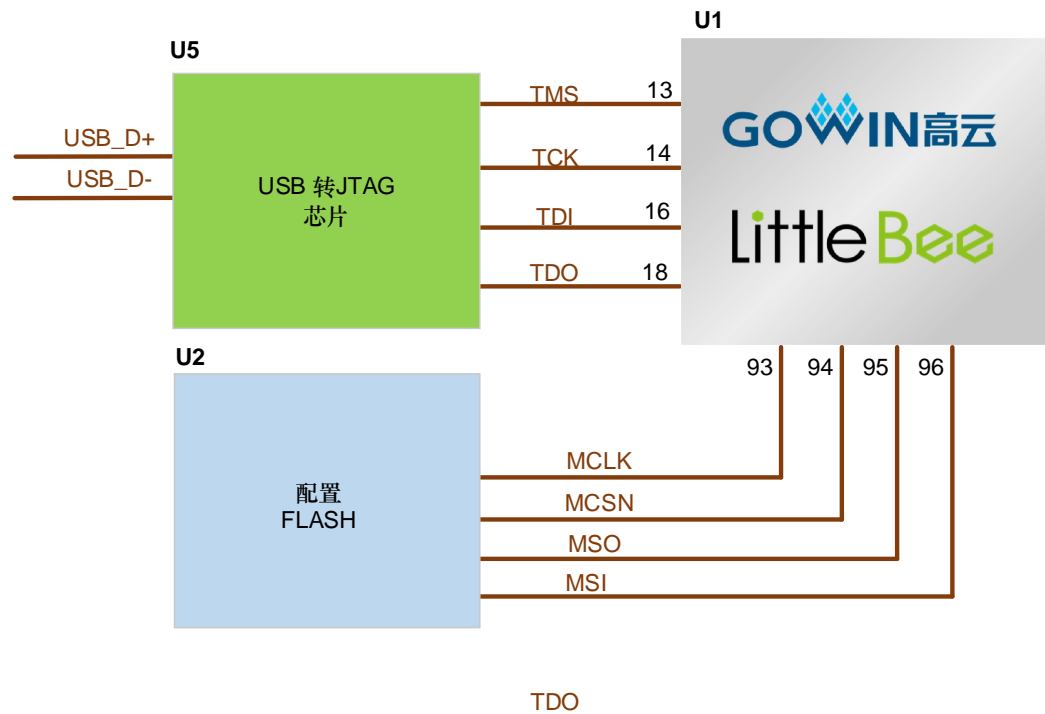
下载时可根据需要下载至片内 SRAM、内部 Flash 或外部 Flash 中。

注！

- 下载至 SRAM 时，当器件掉电后数据流文件会丢失，重新上电需再次下载数据流文件；
- 下载至 Flash 后，掉电后数据流文件不会丢失。

3.2.2 USB 下载电路

图 3-1 FPGA USB 下载与配置连接示意图



3.2.3 下载流程

可通过以下方式下载：

- **SRAM 方式：**上电后扫描器件，并进行 bit 文件下载，当 Done 灯指示亮时代表下载成功。

注！

该模式无需关心 MODE0 和 MODE1 设置值。

- **内部 Flash 方式：**上电，进行下载，下载成功后，可断电重启，从内部 Flash 加载 bit 文件，当 Done 灯指示亮时代表加载成功。

注！

下载和内部 FLASH 启动时，需将 MODE0 和 MODE1 设置为“00”。

- **外部 Flash 方式：**上电，进行下载，下载成功后，可断电重启，从外部 Flash 加载 bit 文件，当 Done 灯指示亮时代表加载成功。

注！

下载外部 Flash 时，需先将 MODE0 和 MODE1 分别设置为“1”和“1”；

加载外部 Flash 时，需先将 MODE0 和 MODE1 设置为“0”和“1”。

3.2.4 管脚分配

表 3-1 FPGA 下载与配置管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
TMS	13	3	JTAG 信号	VCCO3
TCK	14	3	JTAG 信号	VCCO3
TDI	16	3	JTAG 信号	VCCO3
TDO	18	3	JTAG 信号	VCCO3
MCLK	93	1	配置 FLASH 信号	VCCO1
MCSN	94	1	配置 FLASH 信号	VCCO1
MSO	95	1	配置 FLASH 信号	VCCO1
MSI	96	1	配置 FLASH 信号	VCCO1

3.3 电源

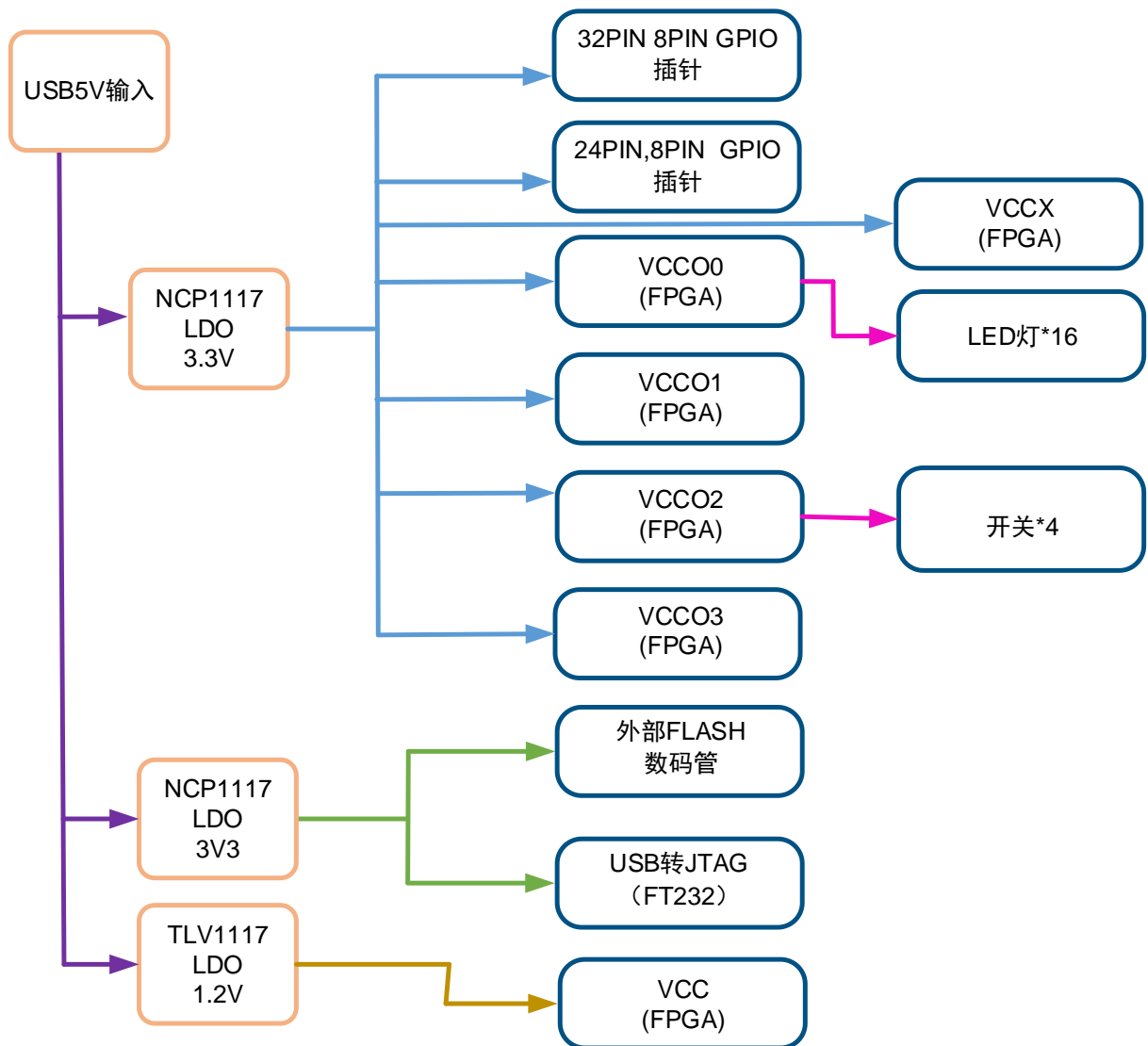
3.3.1 概述

电源 USB5V 输入(或通过 JP7 外供输入), 同时接口具有过流保护和反向保护功能, 过流保护电流 2A。

采用 LDO 电源芯片, 实现由 5V 到 3.3V、3V3,5V 到 1.2V 的变换, 供电电流可达 1A, 可满足开发板的电源需求。

3.3.2 电源系统分配

图 3-2 电源系统分配示意图



3.3.3 电源管脚分配

表 3-2 GW1N-4 FPGA 电源管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
VCCO0	109、127	0	I/O Bank 电压	3.3V
VCCO1	77、91	1	I/O Bank 电压	3.3V
VCCO2	37、55	2	I/O Bank 电压	3.3V
VCCO3	5、19	3	I/O Bank 电压	3.3V
VCCX	31、103	-	辅助电压	3.3V
VCC	1、36、73、108	-	核电压	1.2V
VSS	2、17、33、35、53、74、89、105、107、125	-	GND	-

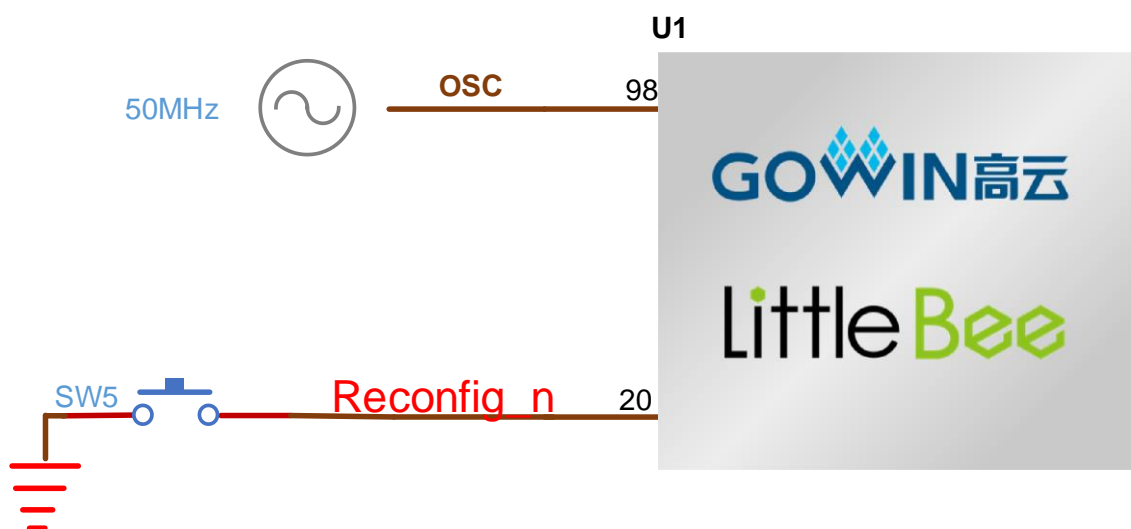
3.4 时钟、复位

3.4.1 概述

开发板提供了一个 50MHz 晶振，连接到 98 管脚。

3.4.2 时钟、复位电路

图 3-3 时钟、复位电路



3.4.3 管脚分配

表 3-3 FPGA 时钟与复位管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
OSC	98	1	50MHz 有源晶振输入	3.3V
Reconfig_n	20	3	复位信号，低有效	3.3V

3.5 LED

3.5.1 概述

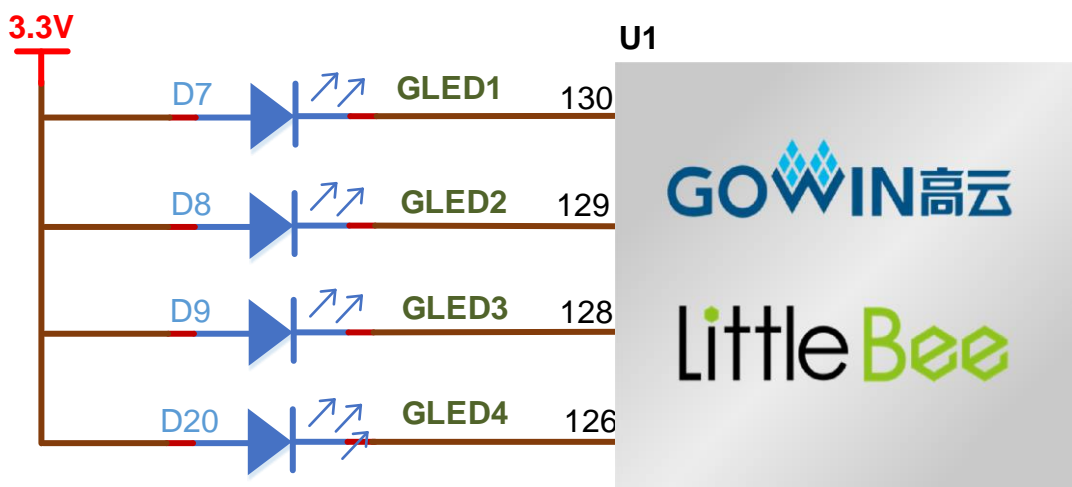
开发板中有 16 个绿色 LED 灯，用户可通过 LED 灯显示所需状态。同时为了便于观察电源情况和 FPGA 加载情况，亦分别各留一个 LED 灯。

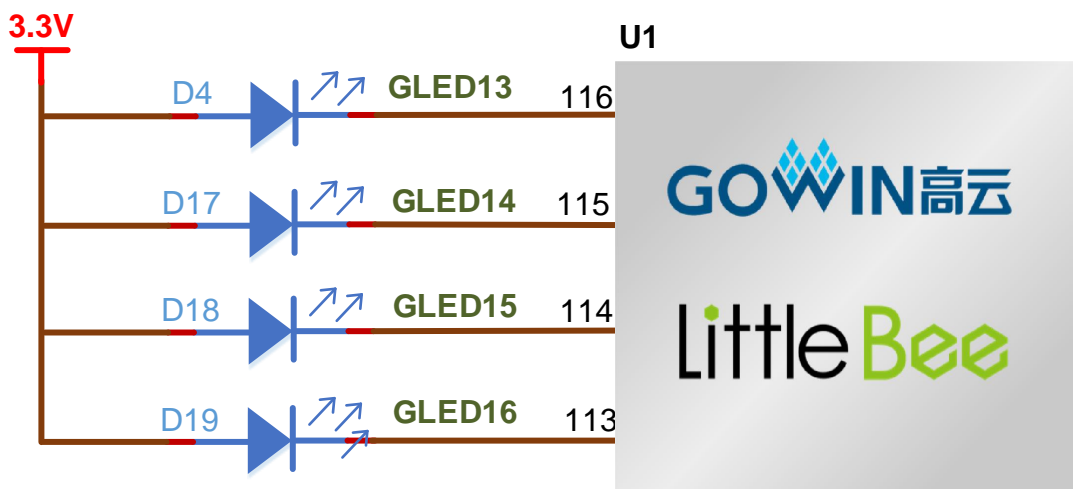
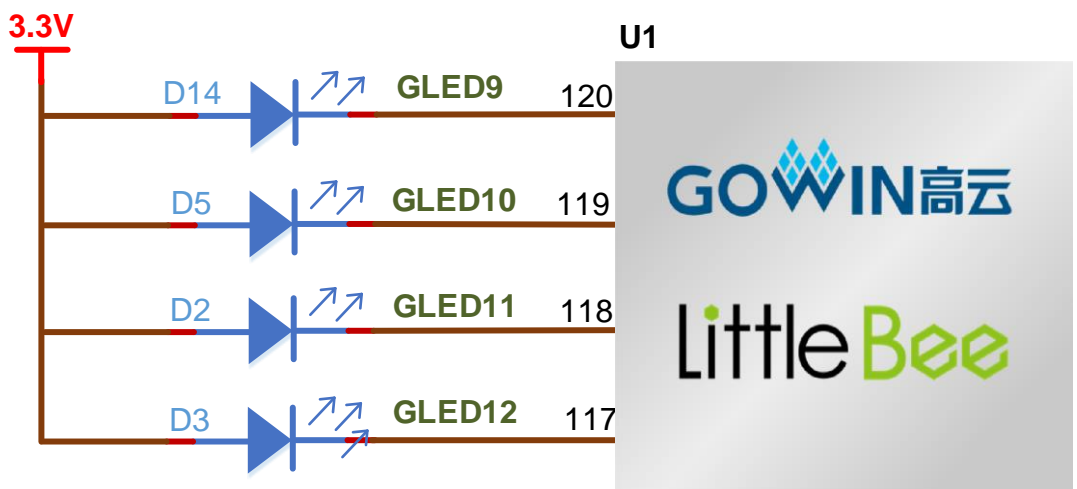
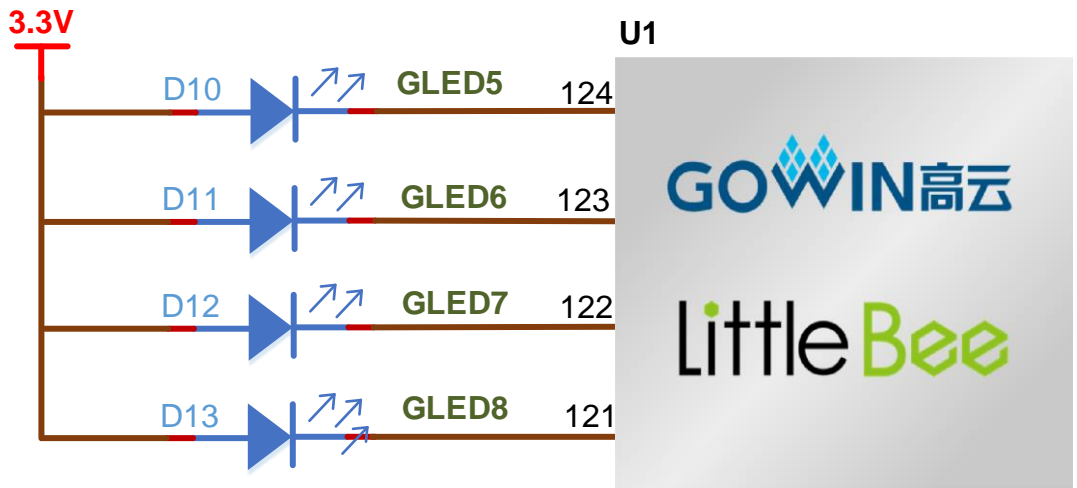
可通过以下方式对 LED 灯进行测试：

- 当 FPGA 对应管脚输出信号为逻辑低电平时，LED 被点亮；
- 当输出信号为高电平时，LED 熄灭。

3.5.2 LED 电路

图 3-4 LED 电路





3.5.3 管脚分配

表 3-4 LED 管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
GLED_1	130	0	LED 指示灯 1	3.3V
GLED_2	129	0	LED 指示灯 2	3.3V
GLED_3	128	0	LED 指示灯 3	3.3V
GLED_4	126	0	LED 指示灯 4	3.3V
GLED_5	124	0	LED 指示灯 5	3.3V
GLED_6	123	0	LED 指示灯 6	3.3V
GLED_7	122	0	LED 指示灯 7	3.3V
GLED_8	121	0	LED 指示灯 8	3.3V
GLED_9	120	0	LED 指示灯 9	3.3V
GLED_10	119	0	LED 指示灯 10	3.3V
GLED_11	118	0	LED 指示灯 11	3.3V
GLED_12	117	0	LED 指示灯 12	3.3V
GLED_13	116	0	LED 指示灯 13	3.3V
GLED_14	115	0	LED 指示灯 14	3.3V
GLED_15	114	0	LED 指示灯 15	3.3V
GLED_16	113	0	LED 指示灯 16	3.3V

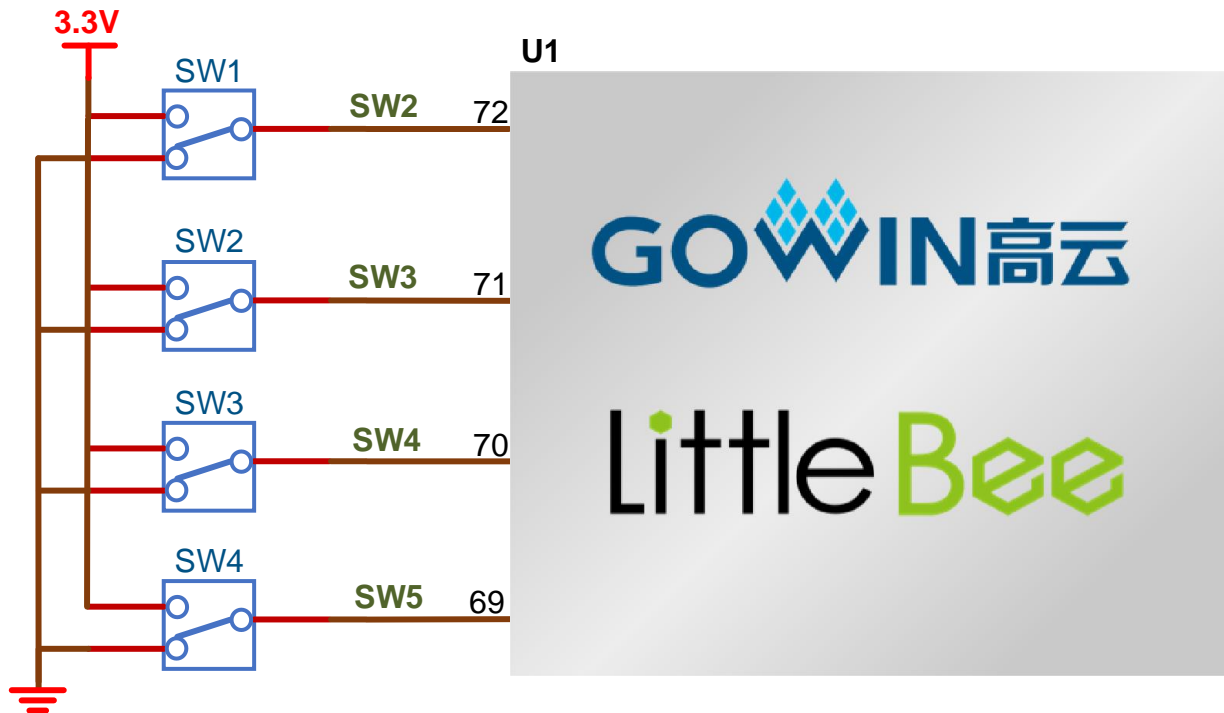
3.6 开关

3.6.1 概述

开发板中有 4 个滑动开关，可用于用户测试时控制输入。

3.6.2 开关电路

图 3-5 开关电路



3.6.3 管脚分配

表 3-5 开关电路管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
SW2	72	2	滑动开关 1	3.3V
SW3	71	2	滑动开关 2	3.3V
SW4	70	2	滑动开关 3	3.3V
SW5	69	2	滑动开关 4	3.3V

3.7 数码管

3.7.1 概述

开发板有 1 个 4 位数码管，用户可通过测序控制数码管显示，用来进行简单功能测试。

3.7.2 数码管电路

图 3-6 数码管电路



3.7.3 管脚分配

表 3-6 数码管电路管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
LED_DIS_A	141	0		3.3V
LED_DIS_B	135	0		3.3V
LED_DIS_C	137	0		3.3V
LED_DIS_D	140	0		3.3V
LED_DIS_E	142	0		3.3V
LED_DIS_F	139	0		3.3V
LED_DIS_G	136	0		3.3V
LED_DIS_DP	138	0		3.3V
LED_DIS_SEL1	131	0		3.3V
LED_DIS_SEL2	132	0		3.3V
LED_DIS_SEL3	133	0		3.3V
LED_DIS_SEL4	134	0		3.3V

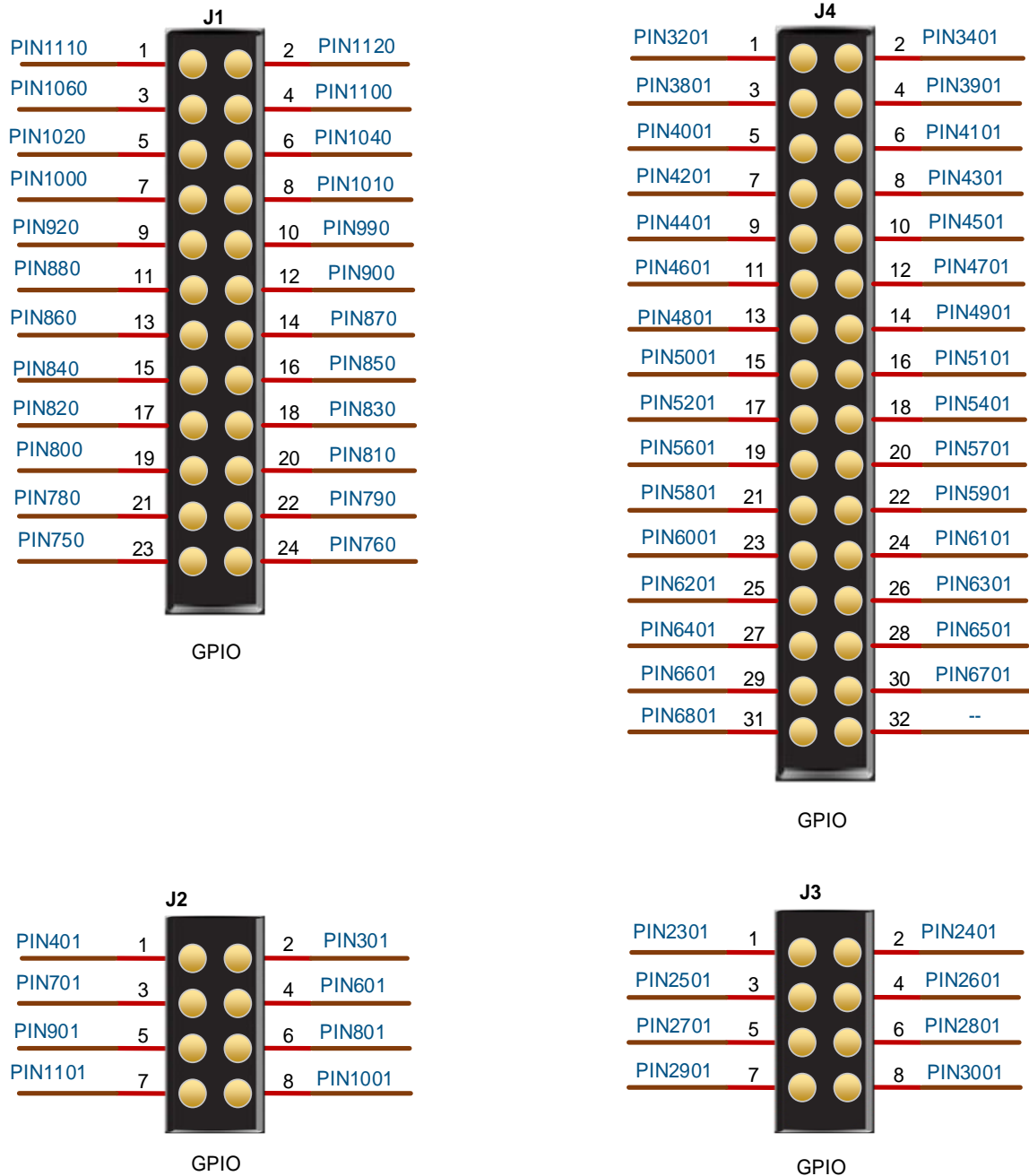
3.8 GPIO

3.8.1 概述

为方便用户功能扩展和测试,在开发板上预留 4 个 2.54mm 间距的排针。

3.8.2 GPIO 电路

图 3-7 GPIO 电路



3.8.3 管脚分配

J1 FPGA 管脚和 J4 FPGA 管脚分配如表 3-7 和表 3-8 所示。

表 3-7 J1 FPGA 管脚分配

信号名称	FPGA 管脚序号	24P 插座管脚号	BANK	描述	I/O 电平
PIN1110	111	1	0	通用 I/O	3.3V
PIN1120	112	2	0	通用 I/O	3.3V
PIN1060	106	3	1	通用 I/O	3.3V
PIN1100	110	4	0	通用 I/O	3.3V
PIN1020	102	5	1	通用 I/O	3.3V
PIN1040	104	6	1	通用 I/O	3.3V
PIN1000	100	7	1	通用 I/O	3.3V
PIN1010	101	8	1	通用 I/O	3.3V
PIN920	92	9	1	通用 I/O	3.3V
PIN990	99	10	1	通用 I/O	3.3V
PIN880	88	11	1	通用 I/O	3.3V
PIN900	90	12	1	通用 I/O	3.3V
PIN860	86	13	1	通用 I/O	3.3V
PIN870	87	14	1	通用 I/O	3.3V
PIN840	84	15	1	通用 I/O	3.3V
PIN850	85	16	1	通用 I/O	3.3V
PIN820	82	17	1	通用 I/O	3.3V
PIN830	83	18	1	通用 I/O	3.3V
PIN800	80	19	1	通用 I/O	3.3V
PIN810	81	20	1	通用 I/O	3.3V
PIN780	78	21	2	通用 I/O	3.3V
PIN790	79	22	1	通用 I/O	3.3V
PIN750	75	23	2	通用 I/O	3.3V
PIN760	76	24	2	通用 I/O	3.3V

表 3-8 J4 FPGA 管脚分配

信号名称	FPGA 管脚序号	32P 插座管脚号	BANK	描述	I/O 电平
PIN3201	32	1	2	通用 I/O	3.3V
PIN3401	34	2	2	通用 I/O	3.3V
PIN3801	38	3	2	通用 I/O	3.3V
PIN3901	39	4	2	通用 I/O	3.3V
PIN4001	40	5	2	通用 I/O	3.3V
PIN4101	41	6	2	通用 I/O	3.3V
PIN4201	42	7	2	通用 I/O	3.3V

信号名称	FPGA 管脚序号	32P 插座管脚号	BANK	描述	I/O 电平
PIN4301	43	8	2	通用 I/O	3.3V
PIN4401	44	9	2	通用 I/O	3.3V
PIN4501	45	10	2	通用 I/O	3.3V
PIN4601	46	11	2	通用 I/O	3.3V
PIN4701	47	12	2	通用 I/O	3.3V
PIN4801	48	13	2	通用 I/O	3.3V
PIN4901	49	14	2	通用 I/O	3.3V
PIN5001	50	15	2	通用 I/O	3.3V
PIN5101	51	16	2	通用 I/O	3.3V
PIN5201	52	17	2	通用 I/O	
PIN5401	54	18	2	通用 I/O	3.3V
PIN5601	56	19	2	通用 I/O	3.3V
PIN5701	57	20	2	通用 I/O	3.3V
PIN5801	58	21	2	通用 I/O	3.3V
PIN5901	59	22	2	通用 I/O	3.3V
PIN6001	60	23	2	通用 I/O	3.3V
PIN6101	61	24	2	通用 I/O	3.3V
PIN6201	62	25	2	通用 I/O	3.3V
PIN6301	63	26	2	通用 I/O	3.3V
PIN6401	64	27	2	通用 I/O	3.3V
PIN6501	65	28	2	通用 I/O	3.3V
PIN6601	66	29	2	通用 I/O	3.3V
PIN6701	67	30	2	通用 I/O	3.3V
PIN6801	68	31	2	通用 I/O	3.3V
--		32	--	通用 I/O	3.3V

J2 FPGA 管脚和 J3 FPGA 管脚分配如表 3-9 和表 3-10 所示。

表 3-9 J2 FPGA 管脚分配

信号名称	FPGA 管脚序号	8P 插座管脚号	BANK	描述	I/O 电平
PIN401	4	1	3	通用 I/O	3.3V
PIN301	3	2	3	通用 I/O	3.3V
PIN701	7	3	3	通用 I/O	3.3V
PIN601	6	4	3	通用 I/O	3.3V
PIN901	9	5	3	通用 I/O	3.3V
PIN801	8	6	3	通用 I/O	3.3V
PIN1101	11	7	3	通用 I/O	3.3V
PIN1001	10	8	3	通用 I/O	3.3V

表 3-10 J3 FPGA 管脚分配

信号名称	FPGA 管脚序号	8P 插座管脚号	BANK	描述	I/O 电平
PIN2301	23	1	3	通用 I/O	3.3V
PIN2401	24	2	3	通用 I/O	3.3V
PIN2501	25	3	3	通用 I/O	3.3V
PIN2601	26	4	3	通用 I/O	3.3V
PIN2701	27	5	3	通用 I/O	3.3V
PIN2801	28	6	3	通用 I/O	3.3V
PIN2901	29	7	3	通用 I/O	3.3V
PIN3001	30	8	3	通用 I/O	3.3V

4 开发板使用

开发板使用注意事项:

- 开发板使用时，注意轻拿轻放，并做好静电防护。
- 对内部 Flash 或外部 Flash 下载 bitstream 文件时，需设置 MODE 脚状态在正确的配置值上，具体可参考 [UG290, GW1N 系列 FPGA 产品编程配置手册](#)。
- 电源 DC5V 可以由 USB 下载接口输入或经 JP7 外供输入。
- FPGA 的四个 Bank 的 VCCO 电源可以通过 JP2, JP4, JP5, JP6 排针直接接 3.3V, 也可外供所需电压。

5 开发软件介绍

详细资料请参考 [SUG100, Gowin 云源软件用户手册](#)。

