




DK\_START\_GW1N-LV9EQ144C6I5\_V1.1

# 用户手册

DBUG389-1.1, 2021-08-13

版权所有 © 2021 广东高云半导体科技股份有限公司

**GOWIN高云**, , Gowin, 高云均为广东高云半导体科技股份有限公司注册商标, 本手册中提到的其他任何商标, 其所有权利属其拥有者所有。未经本公司书面许可, 任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部, 并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可, 并未以明示或暗示, 或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外, 高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保, 包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等, 均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任, 高云半导体保留修改档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

| 日期         | 版本  | 说明                    |
|------------|-----|-----------------------|
| 2021/01/21 | 1.0 | 初始版本。                 |
| 2021/08/13 | 1.1 | 删除 2.2 开发板套件中的快速应用手册。 |

# 目录

|                        |          |
|------------------------|----------|
| 目录 .....               | i        |
| 图目录 .....              | iii      |
| 表目录 .....              | iv       |
| <b>1 关于本手册 .....</b>   | <b>1</b> |
| 1.1 手册内容 .....         | 1        |
| 1.2 相关文档 .....         | 1        |
| 1.3 术语、缩略语 .....       | 2        |
| 1.4 技术支持与反馈 .....      | 2        |
| <b>2 开发板介绍 .....</b>   | <b>3</b> |
| 2.1 概述 .....           | 3        |
| 2.2 开发板套件 .....        | 4        |
| 2.3 PCB 组件 .....       | 5        |
| 2.4 系统框图 .....         | 5        |
| 2.5 特性 .....           | 6        |
| 2.6 指标 .....           | 7        |
| <b>3 开发板详细介绍 .....</b> | <b>8</b> |
| 3.1 FPGA 模块 .....      | 8        |
| 3.2 下载 .....           | 8        |
| 3.2.1 概述 .....         | 8        |
| 3.2.2 USB 下载电路 .....   | 9        |
| 3.2.3 下载流程 .....       | 9        |
| 3.2.4 管脚分配 .....       | 10       |
| 3.3 电源 .....           | 10       |
| 3.3.1 概述 .....         | 10       |
| 3.3.2 电源系统分配 .....     | 11       |

---

|                       |           |
|-----------------------|-----------|
| 3.3.3 电源管脚分配 .....    | 11        |
| 3.4 时钟、复位 .....       | 12        |
| 3.4.1 概述 .....        | 12        |
| 3.4.2 时钟、复位电路 .....   | 12        |
| 3.4.3 管脚分配 .....      | 12        |
| 3.5 LED .....         | 12        |
| 3.5.1 概述 .....        | 12        |
| 3.5.2 LED 电路 .....    | 13        |
| 3.5.3 管脚分配 .....      | 13        |
| 3.6 开关 .....          | 13        |
| 3.6.1 概述 .....        | 13        |
| 3.6.2 开关电路 .....      | 14        |
| 3.6.3 管脚分配 .....      | 14        |
| 3.7 按键 .....          | 14        |
| 3.7.1 概述 .....        | 14        |
| 3.7.2 按键电路 .....      | 15        |
| 3.7.3 管脚分配 .....      | 15        |
| 3.8 GPIO .....        | 15        |
| 3.8.1 概述 .....        | 15        |
| 3.8.2 GPIO 电路 .....   | 16        |
| 3.8.3 管脚分配 .....      | 16        |
| 3.9 LVDS .....        | 19        |
| 3.9.1 概述 .....        | 19        |
| 3.9.2 LVDS 电路 .....   | 19        |
| 3.9.3 管脚分配 .....      | 20        |
| <b>4 开发板使用 .....</b>  | <b>22</b> |
| <b>5 开发软件介绍 .....</b> | <b>24</b> |

# 图目录

|                                 |    |
|---------------------------------|----|
| 图 2-1 开发板实物图 .....              | 3  |
| 图 2-2 开发板套件 .....               | 4  |
| 图 2-3 开发板 PCB 组件说明 .....        | 5  |
| 图 2-4 系统框图 .....                | 5  |
| 图 3-1 FPGA USB 下载与配置连接示意图 ..... | 9  |
| 图 3-2 电源系统分配示意图 .....           | 11 |
| 图 3-3 时钟、复位电路 .....             | 12 |
| 图 3-4 LED 电路 .....              | 13 |
| 图 3-5 开关电路 .....                | 14 |
| 图 3-6 按键电路 .....                | 15 |
| 图 3-7 GPIO 电路 .....             | 16 |
| 图 3-8 LVDS 电路 .....             | 19 |
| 图 4-1 Download Speed .....      | 22 |

# 表目录

|                               |    |
|-------------------------------|----|
| 表 1-1 术语、缩略语 .....            | 2  |
| 表 2-1 开发板指标 .....             | 7  |
| 表 3-1 FPGA 下载与配置管脚分配 .....    | 10 |
| 表 3-2 GW1N-9FPGA 电源管脚分配 ..... | 11 |
| 表 3-3 FPGA 时钟与复位管脚分配 .....    | 12 |
| 表 3-4 LED 管脚分配 .....          | 13 |
| 表 3-5 开关电路管脚分配 .....          | 14 |
| 表 3-6 按键电路管脚分配 .....          | 15 |
| 表 3-7 J8 FPGA 管脚分配 .....      | 16 |
| 表 3-8 J9 FPGA 管脚分配 .....      | 18 |
| 表 3-9 J10 FPGA 管脚分配 .....     | 20 |
| 表 3-10 J10 FPGA 管脚分配 .....    | 20 |

# 1 关于本手册

## 1.1 手册内容

DK\_START\_GW1N-LV9EQ144C6I5\_V1.1 用户手册分为四个部分：

1. 简述开发板的功能特点和硬件资源；
2. 介绍开发板上的各部分硬件电路的功能、电路及管脚分配；
3. 开发板使用注意事项；
4. 介绍 FPGA 开发软件的使用方法。

## 1.2 相关文档

通过登录高云半导体网站 [www.gowinsemi.com](http://www.gowinsemi.com) 可以下载、查看以下相关文档：

- [DS100](#)，GW1N 系列 FPGA 产品数据手册
- [UG103](#)，GW1N 系列 FPGA 产品封装与管脚手册
- [UG114](#)，GW1N-9 器件 Pinout 手册
- [UG290](#)，Gowin FPGA 产品编程配置手册
- [SUG100](#)，Gowin 云源软件用户手册



## 1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

**表 1-1 术语、缩略语**

| 术语、缩略语 | 全称                                 | 含义            |
|--------|------------------------------------|---------------|
| FPGA   | Field Programmable Gate Array      | 现场可编程门阵列      |
| LED    | Light Emitting Diode               | 发光二极管         |
| LDO    | Low Dropout Regulator              | 低压差线性稳压器      |
| GPIO   | Gowin Programmable I/O             | Gowin 可编程通用管脚 |
| LUT4   | 4-input Look-up Tables             | 4 输入查找表       |
| SSRAM  | Shadow Static Random Access Memory | 附加静态随机存储器     |
| BSRAM  | Block Static Random Access Memory  | 块状静态随机存储器     |
| PLL    | Phase-locked Loop                  | 锁相环           |
| DLL    | Delay-locked Loop                  | 延迟锁相环         |
| DSP    | Digital Signal Processing          | 数字信号处理        |
| LQ144  | LQFP144                            | LQFP144 封装    |

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com](http://www.gowinsemi.com)

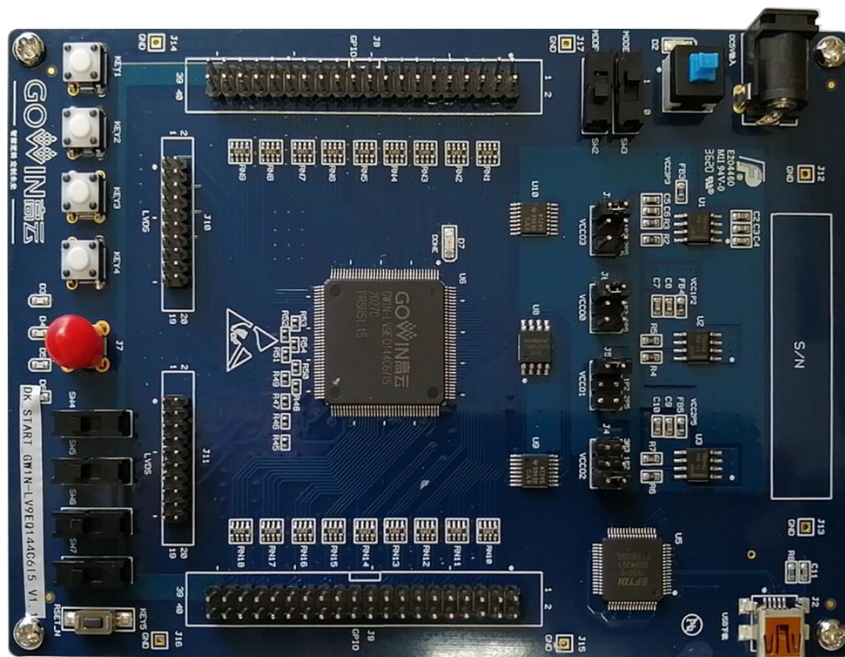
E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 开发板介绍

## 2.1 概述

图 2-1 开发板实物图



开发板采用高云半导体 GW1N-LV9EQ144C6I5 FPGA 器件，具有低功耗、瞬时启动、高安全性、低成本、方便扩展等特点，可有效降低学习成本，帮助用户快速进入可编程逻辑器件的设计开发领域。

开发板上集成了两个 GPIO 接口和两个 LVDS 接口，通过灵活调整 VCCO 电压（3.3V、2.5V、1.2V）可为行业用户提供集成度高、工作性能稳定的硬件评估和测试平台。同时，开发板也提供了滑动开关、按键开关、时钟、LED 等资源，可供开发人员或爱好者学习使用。

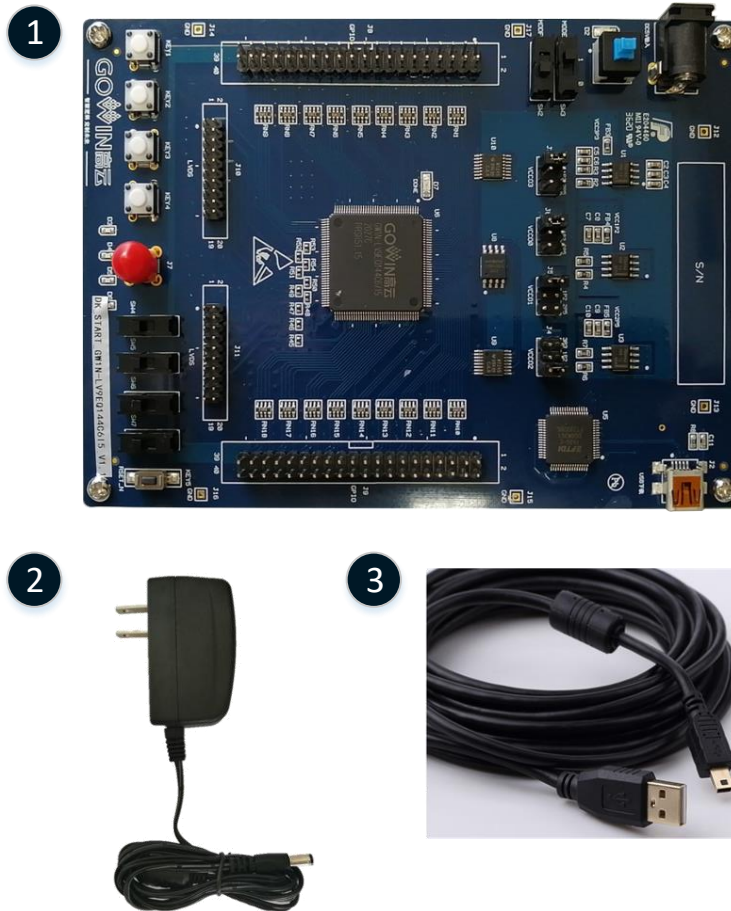
此外，开发板通过丰富的 GPIO 资源，可作为母板，结合视频类子板可以实现图像采集等相关的系统设计；结合 AD/DA 工业类子板可以实现运动控制相关的系统设计；结合显示类子板可以实现人机界面、图像处理相关的设计。

## 2.2 开发板套件

开发板套件包括:

- DK\_START\_GW1N-LV9EQ144C6I5\_V1.1
- 5V 电源适配器（220V 输入，DC 5V 2A 输出）
- USB 数据线

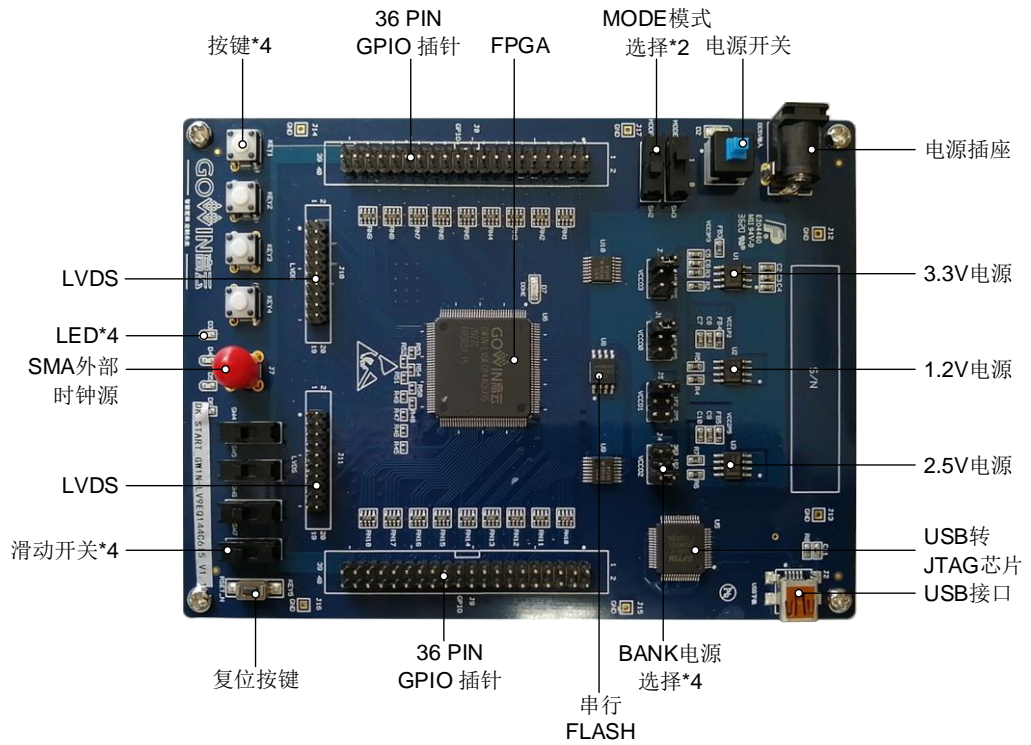
图 2-2 开发板套件



- ① DK\_START\_GW1N-LV9EQ144C6I5\_V1.1 开发板
- ② 5V 电源适配器（220V 输入，DC 5V 2A 输出）
- ③ USB 数据线

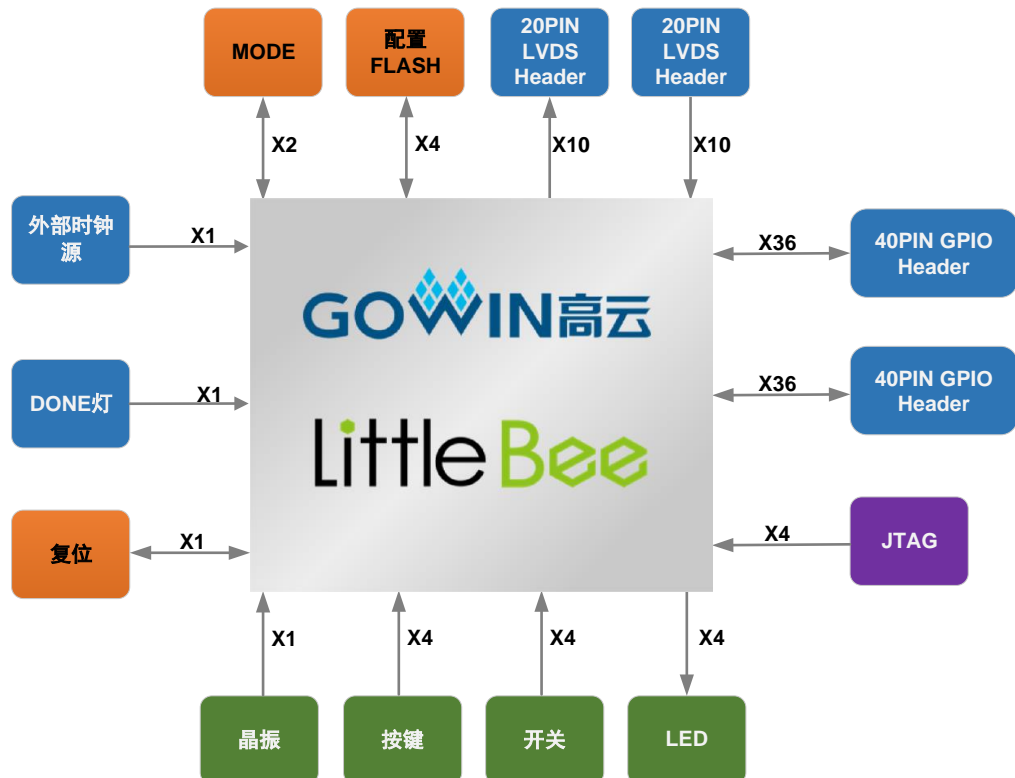
### 2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



### 2.4 系统框图

图 2-4 系统框图



## 2.5 特性

开发板组成结构及特性如下：

1. FPGA
  - 采用 LQFP144 封装
  - 内嵌 Flash，掉电不易丢失
  - 丰富的 LUT4 资源
  - 多种模式、容量丰富的 BSRAM
  - 支持 LV 版本
2. FPGA 配置模式  
JTAG、AUTO BOOT、MSPI
3. 时钟资源
  - 50MHz 时钟晶振；
  - SMA 外部时钟输入
4. 按键和滑动开关
  - 1 个复位按键
  - 4 个按键开关
  - 4 个滑动开关
5. LED
  - 1 个电源指示灯（绿）
  - 1 个 DONE 指示灯（绿）
  - 4 个 LED（绿）
6. 存储  
64Mbit SPI Flash
7. GPIO  
72 个 I/O 资源
8. LDO 电源
  - 具有电压反向保护、过流保护功能；
  - 提供 3.3V、2.5V、1.2V 电源。

## 2.6 指标

表 2-1 开发板指标

| 序号 | 项目   | 功能描述                                     | 技术条件  | 备注 |
|----|------|--|---|----|
| 1  | FPGA | 开发板核心芯片                                  | —   | —  |
| 2  | 下载   | 支持 USB 接口；支持 JTAG、AUTOBOOT、MSPI          | 板上集成 USB 转 JTAG 芯片  | —  |
| 3  | 电源   | 提供 DC5V 输入,通过 LDO 电路输出 3.3V、2.5V、1.2V 电源 | 输入电源为 5V；<br>5V 转 3.3V 电路为 FPGA、下载电路及其他电路提供电源；<br>5V 转 2.5V 电路为 FPGA 提供电源；<br>3.3V 转 1.2V 电路给 FPGA 提供电源 | —  |
| 4  | 滑动开关 | 可供用户测试使用                                 | 4 个   | —  |
| 5  | 按键开关 | 可供用户测试使用                                 | 4 个   | —  |
| 6  | 复位按键 | 为 FPGA 提供复位                              | 1 个   | —  |
| 7  | LED  | 测试指示、DONE 指示、电源指示                        | 测试指示灯 4 个，绿色；<br>DONE 指示灯 1 个，绿色；<br>电源指示灯 1 个，绿色   | —  |
| 8  | 晶振   | 为 FPGA 提供 50MHz 时钟                       | 封装 5032   | —  |
| 9  | 外部时钟 | 通过 SMA 可输入外部时钟频率，供测试使用                   |   | —  |
| 10 | GPIO | I/O，方便用户进行扩展和测试                          | 76 个；可调整为 3.3V、2.5V、1.2V IO 电压  | —  |
| 11 | LVDS | LVDS，供测试使用                               | 10 对  | —  |
| 12 | 保护   | USB 接口有 ESD 保护、电源接口具有反向保护功能、电流过流保护       | USB 接口 ESD 保护：±15kV 非接触放电，±8kV 接触放电；<br>电源接口正负极间方向接有肖特基二极管；<br>电源入口接有耐 2A 的自恢复保险丝                       | —  |
| 13 | 电压   | —  | 输入范围：2.7V~5.5V  | —  |
| 14 | 湿度   | —  | 95%   | —  |
| 15 | 温度   | —  | 工作范围-20°~70°  | —  |

# 3 开发板详细介绍

## 3.1 FPGA 模块

### 概述

GW1N 系列 FPGA 产品资源信息请参考 [DS100](#)，*GW1N 系列 FPGA 产品数据手册*。

### I/O BANK 说明

GW1N 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息请参考 [UG103](#)，*GW1N 系列 FPGA 产品封装与管脚手册*。

## 3.2 下载

### 3.2.1 概述

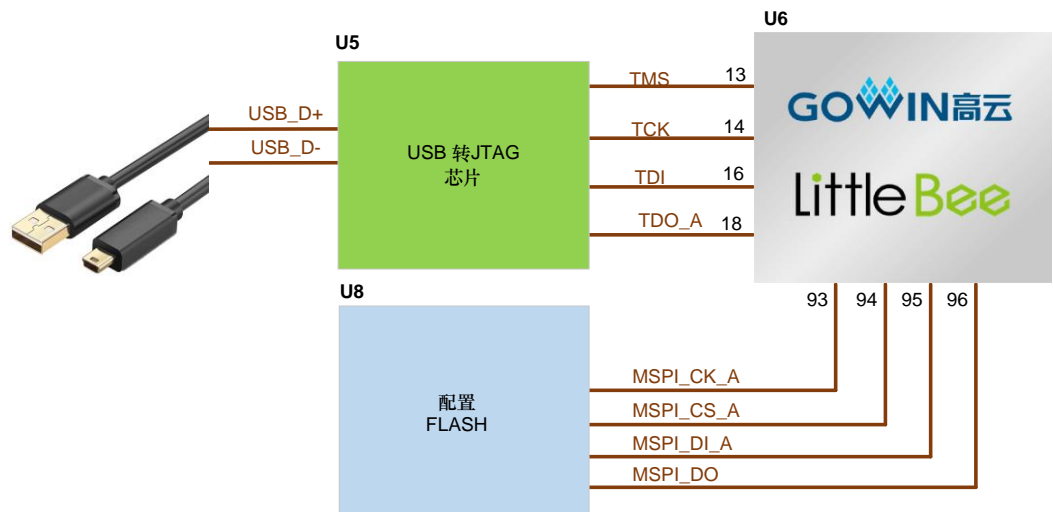
开发板提供 USB 下载接口。下载时可根据需要下载至片内 SRAM、内部 Flash 或外部 Flash 中。

#### 注！

- 下载至 SRAM 时，当器件掉电后数据流文件会丢失，重新上电需再次下载数据流文件；
- 下载至 Flash 后，掉电后数据流文件不会丢失。

## 3.2.2 USB 下载电路

图 3-1 FPGA USB 下载与配置连接示意图



## 3.2.3 下载流程

可通过以下方式下载流程：

- **SRAM 方式：**

上电后扫描器件，并进行 bit 文件下载，当 Done 灯指示亮时代表下载成功。

**注！**

该模式无需关心 MODE0 和 MODE1 设置值。

- **内部 Flash 方式：**

上电，进行下载，下载成功后，可断电重启，从内部 Flash 加载 bit 文件，当 Done 灯指示亮时代表加载成功。

**注！**

下载和内部 FLASH 启动时，需将 MODE0 和 MODE1 设置为“00”。

- **外部 Flash 方式：**

上电，进行下载，下载成功后，可断电重启，从外部 Flash 加载 bit 文件，当 Done 灯指示亮时代表加载成功。

**注！**

- 下载外部 Flash 时，需先将 MODE0 和 MODE1 分别设置为“1”和“1”；
- 加载外部 Flash 时，需先将 MODE0 和 MODE1 设置为“0”和“1”。



## 3.2.4 管脚分配

表 3-1 FPGA 下载与配置管脚分配

| 信号名称      | FPGA 管脚序号 | BANK | 描述          | I/O 电平 |
|-----------|-----------|------|-------------|--------|
| TMS       | 13        | 3    | JTAG 信号     | VCCO3  |
| TCK       | 14        | 3    | JTAG 信号     | VCCO3  |
| TDI       | 16        | 3    | JTAG 信号     | VCCO3  |
| TDO_A     | 18        | 3    | JTAG 信号     | VCCO3  |
| MSPI_CK_A | 93        | 1    | 配置 FLASH 信号 | VCCO1  |
| MSPI_CS_A | 94        | 1    | 配置 FLASH 信号 | VCCO1  |
| MSPI_DI_A | 95        | 1    | 配置 FLASH 信号 | VCCO1  |
| MSPI_DO   | 96        | 1    | 配置 FLASH 信号 | VCCO1  |

注!

GW1N-9 芯片 VCCO1 电压固定 3.3V 供电。

## 3.3 电源

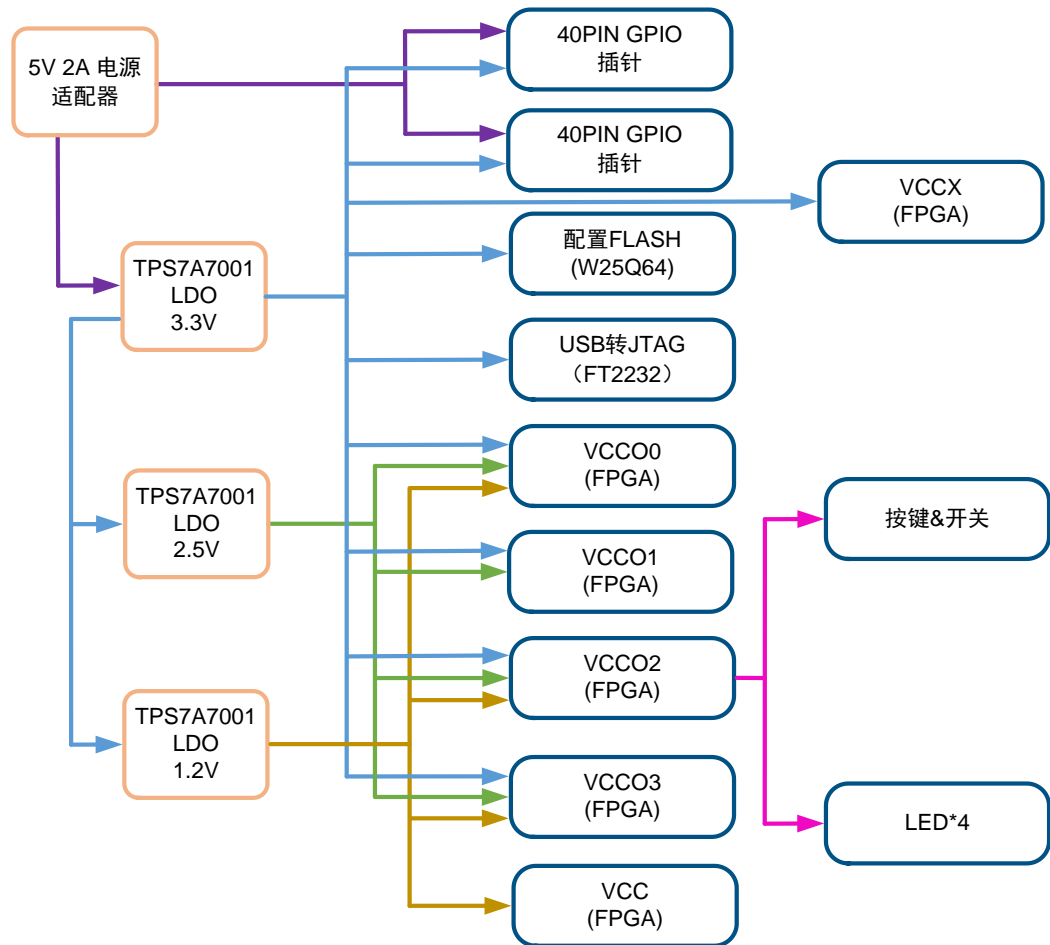
### 3.3.1 概述

电源 DC5V 输入，同时接口具有过流保护和反向保护功能，过流保护电流 2A。

采用 TI 的 LDO 电源芯片，实现由 5V 到 3.3V、3.3V 到 2.5V、3.3V 到 1.2V 的变换，供电电流可达 2A，可满足开发板的电源需求。

### 3.3.2 电源系统分配

图 3-2 电源系统分配示意图



### 3.3.3 电源管脚分配

表 3-2 GW1N-9FPGA 电源管脚分配

| 信号名称  | FPGA 管脚序号                   | BANK | 描述          | I/O 电平         |
|-------|-----------------------------|------|-------------|----------------|
| VCCO0 | 109、127                     | 0    | I/O Bank 电压 | 3.3V/2.5V/1.2V |
| VCCO1 | 91、103                      | 1    | I/O Bank 电压 | 3.3V           |
| VCCO2 | 37、55                       | 2    | I/O Bank 电压 | 3.3V/2.5V/1.2V |
| VCCO3 | 5、19                        | 3    | I/O Bank 电压 | 3.3V/2.5V/1.2V |
| VCCX  | 31、77                       | -    | 辅助电压        | 3.3V           |
| VCC   | 1、36、73、108                 | -    | 核电压         | 1.2V           |
| VSS   | 2、17、33、35、53、74、89、105、107 | -    | GND         | -              |

注!

GW1N-9 芯片 VCCO1 电压固定 3.3V 供电。

## 3.4 时钟、复位

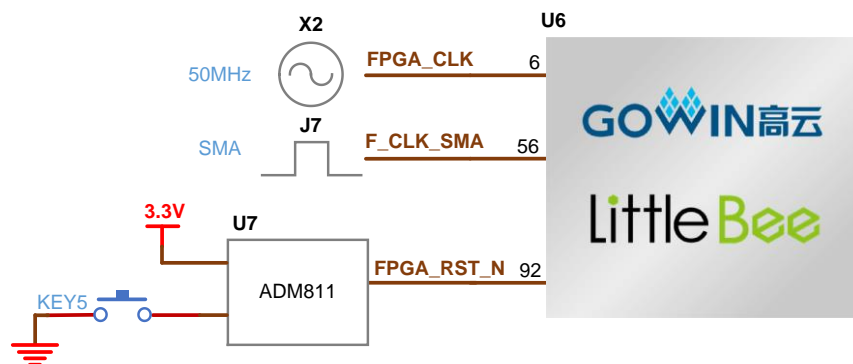
### 3.4.1 概述

开发板提供了一个 50MHz 晶振，连接到 PLL 输入管脚，可作为 FPGA 内部 PLL 的时钟输入，通过 PLL 的分倍频可以输出用户所需的时钟。

同时为方便用户测试，在开发板上预留一个 SMA 插座作为时钟输入接口，该时钟信号连接到 FPGA 全局时钟管脚。

### 3.4.2 时钟、复位电路

图 3-3 时钟、复位电路



### 3.4.3 管脚分配

表 3-3 FPGA 时钟与复位管脚分配

| 信号名称       | FPGA 管脚序号 | BANK | 描述           | I/O 电平         |
|------------|-----------|------|--------------|----------------|
| FPGA_CLK   | 6         | 3    | 50MHz 有源晶振输入 | 3.3V/2.5V/1.2V |
| F_CLK_SMA  | 56        | 2    | 外部时钟输入       | 3.3V/2.5V/1.2V |
| FPGA_RST_N | 92        | 1    | 复位信号，低有效     | 3.3V/2.5V      |

注!

GW1N-9 芯片 VCCO1 电压固定 3.3V 供电。

## 3.5 LED

### 3.5.1 概述

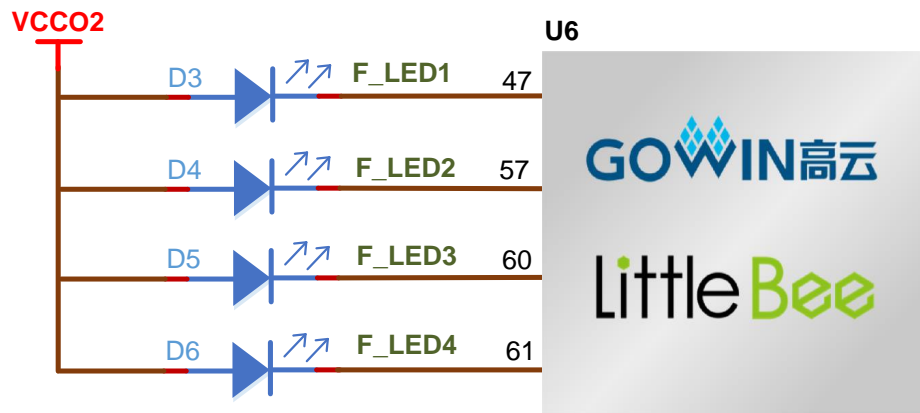
开发板中有 4 个绿色 LED 灯，用户可通过 LED 灯显示所需状态。同时为了便于观察电源情况和 FPGA 加载情况，亦分别各留一个 LED 灯。

可通过以下方式对 LED 灯进行测试：

- 当 FPGA 对应管脚输出信号为逻辑低电平时，LED 被点亮；
- 当输出信号为高电平时，LED 熄灭。

## 3.5.2 LED 电路

图 3-4 LED 电路



## 3.5.3 管脚分配

表 3-4 LED 管脚分配

| 信号名称   | FPGA 管脚序号 | BANK | 描述        | I/O 电平         |
|--------|-----------|------|-----------|----------------|
| F_LED1 | 47        | 2    | LED 指示灯 1 | 3.3V/2.5V/1.2V |
| F_LED2 | 57        | 2    | LED 指示灯 2 | 3.3V/2.5V/1.2V |
| F_LED3 | 60        | 2    | LED 指示灯 3 | 3.3V/2.5V/1.2V |
| F_LED4 | 61        | 2    | LED 指示灯 4 | 3.3V/2.5V/1.2V |

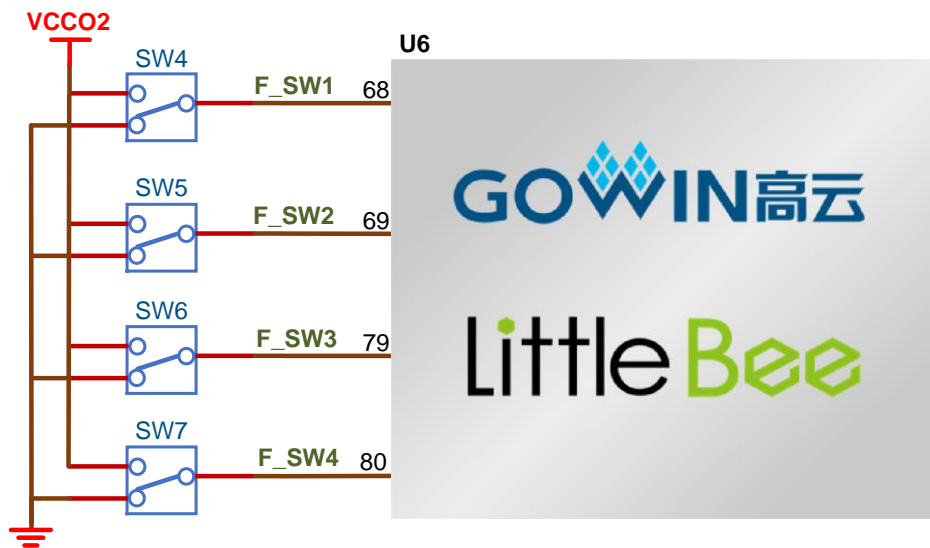
## 3.6 开关

### 3.6.1 概述

开发板中有 4 个滑动开关，可用于用户测试时控制输入。

## 3.6.2 开关电路

图 3-5 开关电路



## 3.6.3 管脚分配

表 3-5 开关电路管脚分配

| 信号名称  | FPGA 管脚序号 | BANK | 描述     | I/O 电平         |
|-------|-----------|------|--------|----------------|
| F_SW1 | 68        | 2    | 滑动开关 1 | 3.3V/2.5V/1.2V |
| F_SW2 | 69        | 2    | 滑动开关 2 | 3.3V/2.5V/1.2V |
| F_SW3 | 79        | 1    | 滑动开关 3 | 3.3V/2.5V      |
| F_SW4 | 80        | 1    | 滑动开关 4 | 3.3V/2.5V      |

注!

GW1N-9 芯片 VCCO1 电压固定 3.3V 供电。

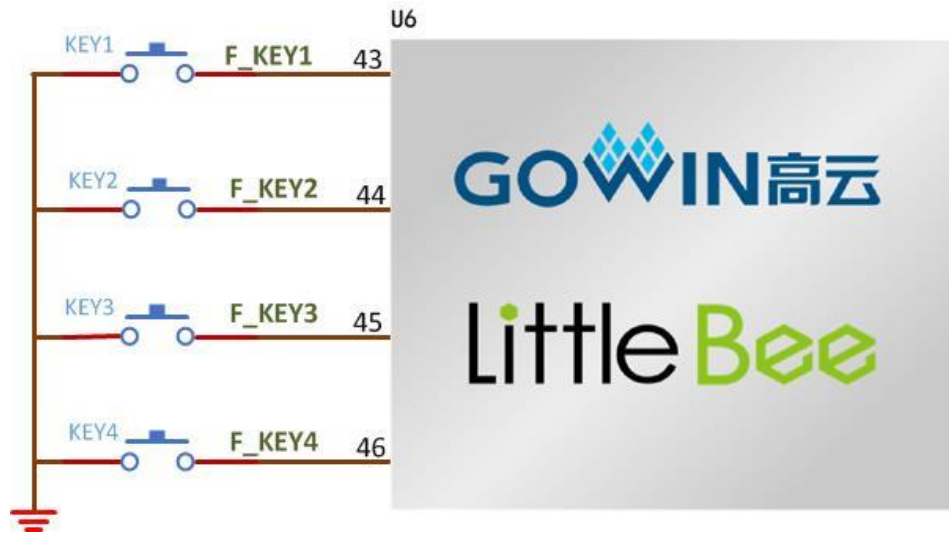
## 3.7 按键

### 3.7.1 概述

开发板有 4 个按键开关，用户可通过手动控制向对应 FPGA 管脚输入低电平，可作为测试控制输入使用。

## 3.7.2 按键电路

图 3-6 按键电路



## 3.7.3 管脚分配

表 3-6 按键电路管脚分配

| 信号名称   | FPGA 管脚序号 | BANK | 描述   | I/O 电平         |
|--------|-----------|------|------|----------------|
| F_KEY1 | 43        | 2    | 按键 1 | 3.3V/2.5V/1.2V |
| F_KEY2 | 44        | 2    | 按键 2 | 3.3V/2.5V/1.2V |
| F_KEY3 | 45        | 2    | 按键 3 | 3.3V/2.5V/1.2V |
| F_KEY4 | 46        | 2    | 按键 4 | 3.3V/2.5V/1.2V |

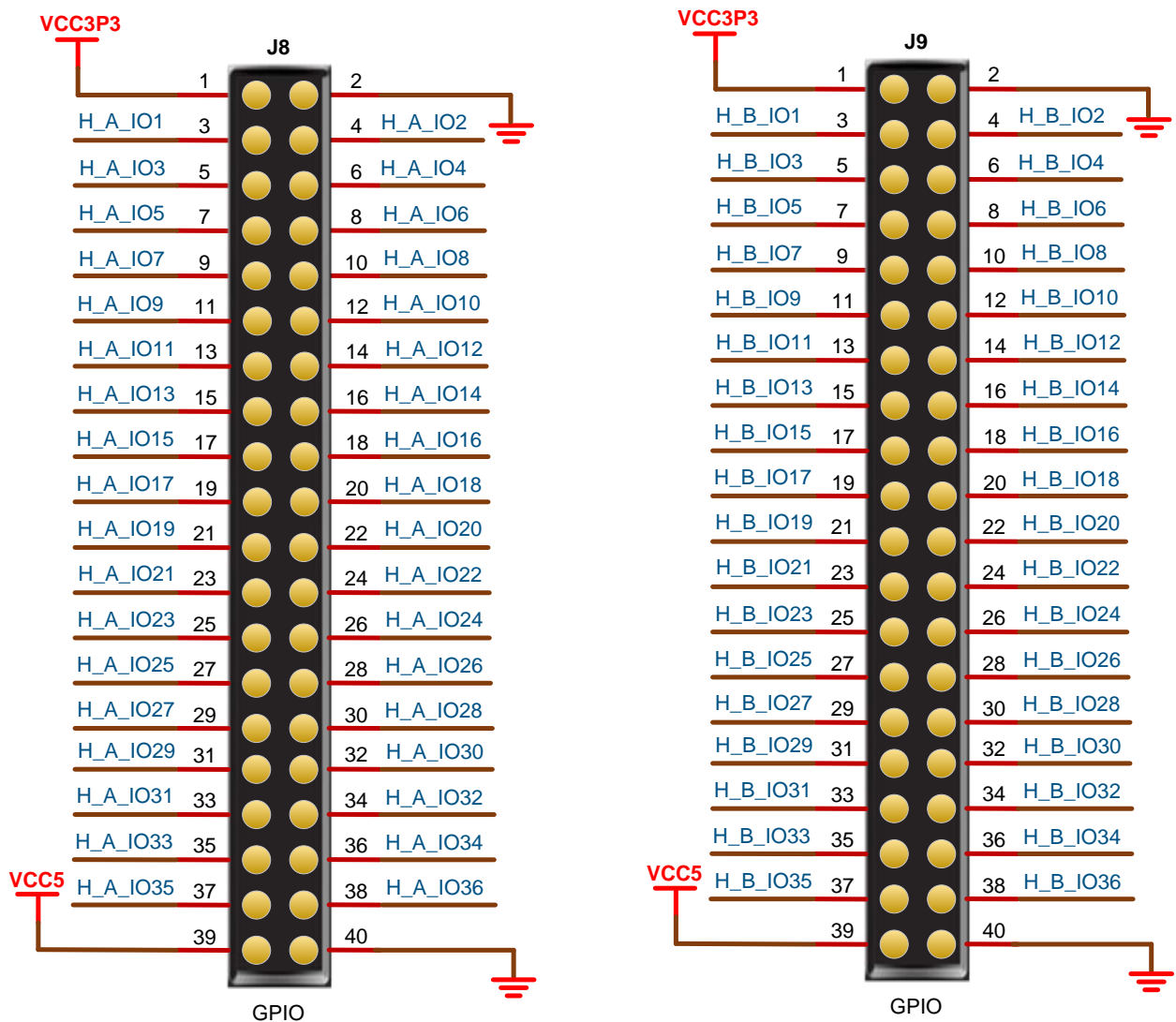
## 3.8 GPIO

### 3.8.1 概述

为方便用户功能扩展和测试，在开发板上预留 2 个 2.54mm 间距的 DC3-40P 插座。

## 3.8.2 GPIO 电路

图 3-7 GPIO 电路



## 3.8.3 管脚分配

J8 FPGA 管脚和 J9 FPGA 管脚分配如表 3-7 和表 3-8 所示。

表 3-7 J8 FPGA 管脚分配

| 信号名称    | FPGA 管脚序号 | 40P 插座管脚号 | BANK | 描述     | I/O 电平 |
|---------|-----------|-----------|------|--------|--------|
| VCC3P3  | -         | 1         | -    | -      | 3.3V   |
| GND     | -         | 2         | -    | -      | -      |
| H_A_IO1 | 131       | 3         | 0    | 通用 I/O | VCCO0  |
| H_A_IO2 | 132       | 4         | 0    | 通用 I/O | VCCO0  |
| H_A_IO3 | 133       | 5         | 0    | 通用 I/O | VCCO0  |
| H_A_IO4 | 134       | 6         | 0    | 通用 I/O | VCCO0  |

| 信号名称     | FPGA 管脚序号 | 40P 插座管脚号 | BANK | 描述     | I/O 电平 |
|----------|-----------|-----------|------|--------|--------|
| H_A_IO5  | 135       | 7         | 0    | 通用 I/O | VCC00  |
| H_A_IO6  | 136       | 8         | 0    | 通用 I/O | VCC00  |
| H_A_IO7  | 137       | 9         | 3    | 通用 I/O | VCC00  |
| H_A_IO8  | 138       | 10        | 3    | 通用 I/O | VCC00  |
| H_A_IO9  | 139       | 11        | 3    | 通用 I/O | VCC00  |
| H_A_IO10 | 140       | 12        | 3    | 通用 I/O | VCC00  |
| H_A_IO11 | 141       | 13        | 3    | 通用 I/O | VCC00  |
| H_A_IO12 | 142       | 14        | 3    | 通用 I/O | VCC00  |
| H_A_IO13 | 3         | 15        | 3    | 通用 I/O | VCC03  |
| H_A_IO14 | 4         | 16        | 3    | 通用 I/O | VCC03  |
| H_A_IO15 | 7         | 17        | 3    | 通用 I/O | VCC03  |
| H_A_IO16 | 8         | 18        | 3    | 通用 I/O | VCC03  |
| H_A_IO17 | 9         | 19        | 3    | 通用 I/O | VCC03  |
| H_A_IO18 | 10        | 20        | 3    | 通用 I/O | VCC03  |
| H_A_IO19 | 11        | 21        | 3    | 通用 I/O | VCC03  |
| H_A_IO20 | 12        | 22        | 3    | 通用 I/O | VCC03  |
| H_A_IO21 | 15        | 23        | 3    | 通用 I/O | VCC03  |
| H_A_IO22 | 23        | 24        | 3    | 通用 I/O | VCC03  |
| H_A_IO23 | 24        | 25        | 3    | 通用 I/O | VCC03  |
| H_A_IO24 | 25        | 26        | 3    | 通用 I/O | VCC03  |
| H_A_IO25 | 26        | 27        | 3    | 通用 I/O | VCC03  |
| H_A_IO26 | 27        | 28        | 3    | 通用 I/O | VCC03  |
| H_A_IO27 | 28        | 29        | 3    | 通用 I/O | VCC03  |
| H_A_IO28 | 29        | 30        | 3    | 通用 I/O | VCC03  |
| H_A_IO29 | 30        | 31        | 3    | 通用 I/O | VCC03  |
| H_A_IO30 | 32        | 32        | 2    | 通用 I/O | VCC02  |
| H_A_IO31 | 34        | 33        | 2    | 通用 I/O | VCC02  |
| H_A_IO32 | 38        | 34        | 2    | 通用 I/O | VCC02  |
| H_A_IO33 | 39        | 35        | 2    | 通用 I/O | VCC02  |
| H_A_IO34 | 40        | 36        | 2    | 通用 I/O | VCC02  |
| H_A_IO35 | 41        | 37        | 2    | 通用 I/O | VCC02  |
| H_A_IO36 | 42        | 38        | 2    | 通用 I/O | VCC02  |
| VCC5     | -         | 39        | -    | -      | 5V     |
| GND      | -         | 40        | -    | -      | -      |



表 3-8 J9 FPGA 管脚分配

| 信号名称     | FPGA 管脚序号 | 40P 插座管脚号 | BANK | 描述     | I/O 电平 |
|----------|-----------|-----------|------|--------|--------|
| VCC3P3   | -         | 1         | -    | -      | 3.3V   |
| GND      | -         | 2         | -    | -      | -      |
| H_B_IO1  | 130       | 3         | 0    | 通用 I/O | VCC00  |
| H_B_IO2  | 129       | 4         | 0    | 通用 I/O | VCC00  |
| H_B_IO3  | 128       | 5         | 0    | 通用 I/O | VCC00  |
| H_B_IO4  | 126       | 6         | 0    | 通用 I/O | VCC00  |
| H_B_IO5  | 124       | 7         | 0    | 通用 I/O | VCC00  |
| H_B_IO6  | 123       | 8         | 0    | 通用 I/O | VCC00  |
| H_B_IO7  | 122       | 9         | 0    | 通用 I/O | VCC00  |
| H_B_IO8  | 121       | 10        | 0    | 通用 I/O | VCC00  |
| H_B_IO9  | 120       | 11        | 0    | 通用 I/O | VCC00  |
| H_B_IO10 | 119       | 12        | 0    | 通用 I/O | VCC00  |
| H_B_IO11 | 118       | 13        | 0    | 通用 I/O | VCC00  |
| H_B_IO12 | 117       | 14        | 0    | 通用 I/O | VCC00  |
| H_B_IO13 | 116       | 15        | 0    | 通用 I/O | VCC00  |
| H_B_IO14 | 115       | 16        | 0    | 通用 I/O | VCC00  |
| H_B_IO15 | 114       | 17        | 0    | 通用 I/O | VCC00  |
| H_B_IO16 | 113       | 18        | 0    | 通用 I/O | VCC00  |
| H_B_IO17 | 112       | 19        | 0    | 通用 I/O | VCC00  |
| H_B_IO18 | 111       | 20        | 0    | 通用 I/O | VCC00  |
| H_B_IO19 | 110       | 21        | 0    | 通用 I/O | VCC00  |
| H_B_IO20 | 106       | 22        | 1    | 通用 I/O | VCC01  |
| H_B_IO21 | 104       | 23        | 1    | 通用 I/O | VCC01  |
| H_B_IO22 | 102       | 24        | 1    | 通用 I/O | VCC01  |
| H_B_IO23 | 101       | 25        | 1    | 通用 I/O | VCC01  |
| H_B_IO24 | 100       | 26        | 1    | 通用 I/O | VCC01  |
| H_B_IO25 | 99        | 27        | 1    | 通用 I/O | VCC01  |
| H_B_IO26 | 98        | 28        | 1    | 通用 I/O | VCC01  |
| H_B_IO27 | 97        | 29        | 1    | 通用 I/O | VCC01  |
| H_B_IO28 | 90        | 30        | 1    | 通用 I/O | VCC01  |
| H_B_IO29 | 88        | 31        | 1    | 通用 I/O | VCC01  |
| H_B_IO30 | 87        | 32        | 1    | 通用 I/O | VCC01  |
| H_B_IO31 | 86        | 33        | 1    | 通用 I/O | VCC01  |
| H_B_IO32 | 85        | 34        | 1    | 通用 I/O | VCC01  |

| 信号名称     | FPGA 管脚序号 | 40P 插座管脚号 | BANK | 描述     | I/O 电平 |
|----------|-----------|-----------|------|--------|--------|
| H_B_IO33 | 84        | 35        | 1    | 通用 I/O | VCCO1  |
| H_B_IO34 | 83        | 36        | 1    | 通用 I/O | VCCO1  |
| H_B_IO35 | 82        | 37        | 1    | 通用 I/O | VCCO1  |
| H_B_IO36 | 81        | 38        | 1    | 通用 I/O | VCCO1  |
| VCC5     | -         | 39        | -    | -      | 5V     |
| GND      | -         | 40        | -    | -      | -      |

注!

GW1N-9 芯片 VCCO1 电压固定 3.3V 供电。

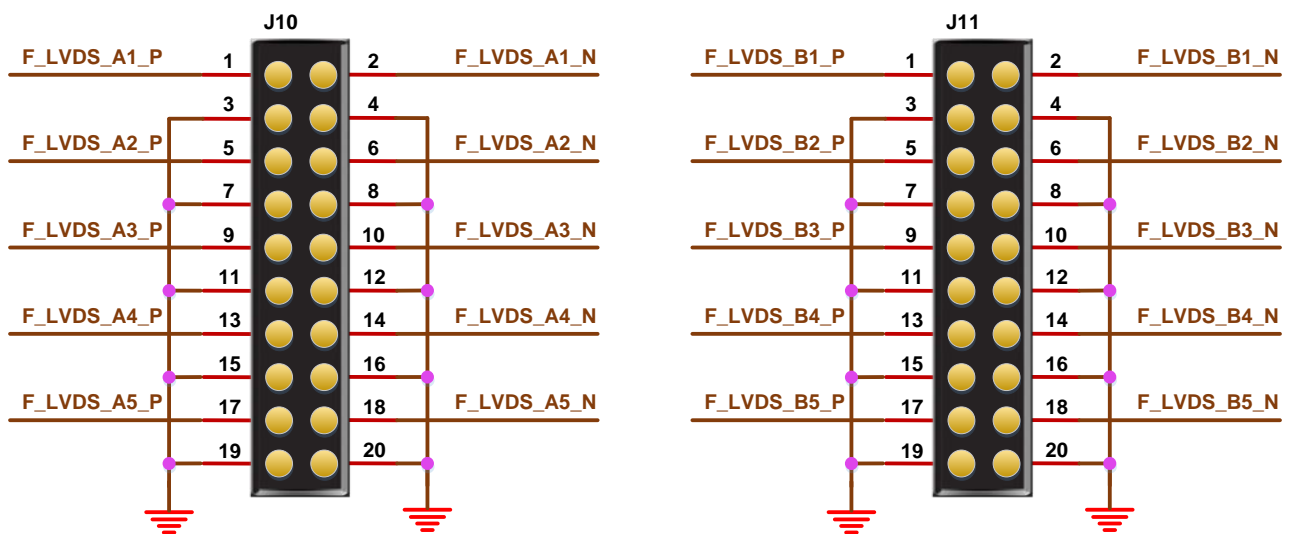
## 3.9 LVDS

### 3.9.1 概述

为方便用户 LVDS 测试和数据通信，在开发板上预留 2 个 2 mm 间距的 DC3-20P 插座。

### 3.9.2 LVDS 电路

图 3-8 LVDS 电路



### 3.9.3 管脚分配

表 3-9 J10 FPGA 管脚分配

| 信号名称        | FPGA<br>管脚序号 | 20P 插座<br>管脚号 | BANK | 描述      | I/O 电平 |
|-------------|--------------|---------------|------|---------|--------|
| F_LVDS_A1_P | 48           | 1             | 2    | 差分通道 1+ | 2.5V   |
| F_LVDS_A1_N | 49           | 2             | 2    | 差分通道 1- | 2.5V   |
| GND         | -            | 3             | -    | -       | -      |
| GND         | -            | 4             | -    | -       | -      |
| F_LVDS_A2_P | 50           | 5             | 2    | 差分通道 2+ | 2.5V   |
| F_LVDS_A2_N | 51           | 6             | 2    | 差分通道 2- | 2.5V   |
| GND         | -            | 7             | -    | -       |        |
| GND         | -            | 8             | -    | -       |        |
| F_LVDS_A3_P | 52           | 9             | 2    | 差分通道 3+ | 2.5V   |
| F_LVDS_A3_N | 54           | 10            | 2    | 差分通道 3- | 2.5V   |
| GND         | -            | 11            | -    | -       |        |
| GND         | -            | 12            | -    | -       |        |
| F_LVDS_A4_P | 58           | 13            | 2    | 差分通道 4+ | 2.5V   |
| F_LVDS_A4_N | 59           | 14            | 2    | 差分通道 4- | 2.5V   |
| GND         | -            | 15            | -    | -       |        |
| GND         | -            | 16            | -    | -       |        |
| F_LVDS_A5_P | 62           | 17            | 2    | 差分通道 5+ | 2.5V   |
| F_LVDS_A5_N | 63           | 18            | 2    | 差分通道 5- | 2.5V   |
| GND         | -            | 19            | -    | -       |        |
| GND         | -            | 20            | -    | -       |        |

表 3-10 J10 FPGA 管脚分配

| 信号名称        | FPGA<br>管脚序号 | 20P 插座<br>管脚号 | BANK | 描述      | I/O 电平 |
|-------------|--------------|---------------|------|---------|--------|
| F_LVDS_B1_P | 64           | 1             | 2    | 差分通道 1+ | 2.5V   |
| F_LVDS_B1_N | 65           | 2             | 2    | 差分通道 1- | 2.5V   |
| GND         | -            | 3             | -    | -       | -      |
| GND         | -            | 4             | -    | -       | -      |
| F_LVDS_B2_P | 66           | 5             | 2    | 差分通道 2+ | 2.5V   |
| F_LVDS_B2_N | 67           | 6             | 2    | 差分通道 2- | 2.5V   |
| GND         | -            | 7             | -    | -       | -      |
| GND         | -            | 8             | -    | -       | -      |

| 信号名称        | FPGA<br>管脚序号 | 20P 插座<br>管脚号 | BANK | 描述      | I/O 电平 |
|-------------|--------------|---------------|------|---------|--------|
| F_LVDS_B3_P | 70           | 9             | 2    | 差分通道 3+ | 2.5V   |
| F_LVDS_B3_N | 71           | 10            | 2    | 差分通道 3- | 2.5V   |
| GND         | -            | 11            | -    | -       | -      |
| GND         | -            | 12            | -    | -       | -      |
| F_LVDS_B4_P | 72           | 13            | 2    | 差分通道 4+ | 2.5V   |
| F_LVDS_B4_N | 75           | 14            | 2    | 差分通道 4- | 2.5V   |
| GND         | -            | 15            | -    | -       | -      |
| GND         | -            | 16            | -    | -       | -      |
| F_LVDS_B5_P | 76           | 17            | 2    | 差分通道 5+ | 2.5V   |
| F_LVDS_B5_N | 78           | 18            | 2    | 差分通道 5- | 2.5V   |
| GND         | -            | 19            | -    | -       | -      |
| GND         | -            | 20            | -    | -       | -      |

注!

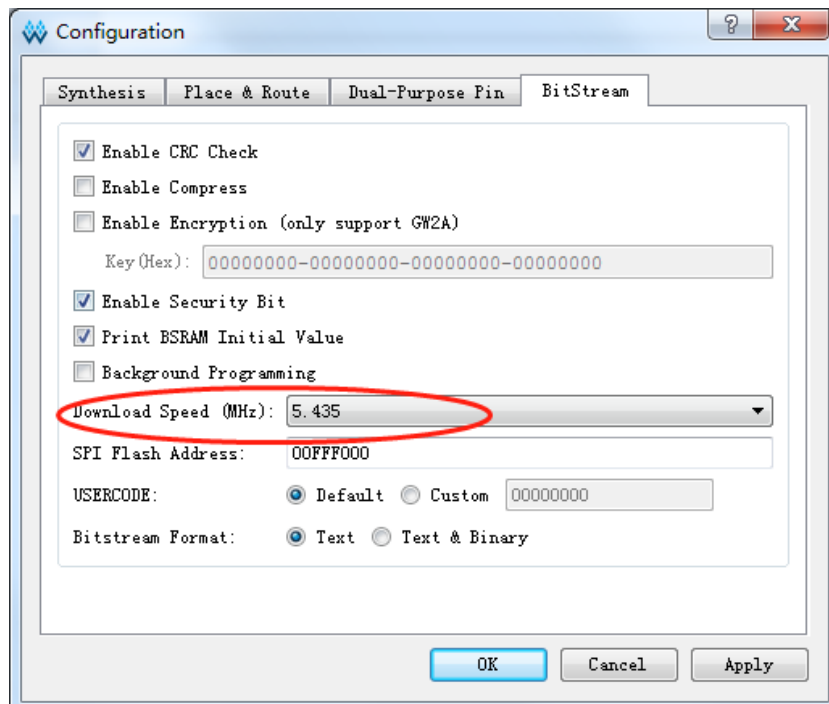
GW1N-9 芯片的 72,75 管脚为非 TLVDS 差分输出管脚。

# 4 开发板使用

## 开发板使用注意事项:

1. 开发板使用时，注意轻拿轻放，并做好静电防护。
2. 对内部 Flash 或外部 Flash 下载 bitstream 文件时，需设置 MODE 脚状态在正确的配置值上，具体可参考 [UG290](#)，*GW1N 系列 FPGA 产品编程配置手册*。
3. LVDS 接口差分对间均焊接 100 欧姆端接电阻，当 LVDS 接口作为输出时，需拆掉对应的端接电阻。
4. 电源 DC5V 可以由 USB 下载接口或电源插座输入。当 SW1 开关按下时，为电源插座输入；SW1 弹起时，为 USB 下载接口输入。
5. 工程设置界面中 Download Speed 速率选取值不小于 5MHz，如下图所示：

图 4-1 Download Speed



6. FPGA 的四个 Bank 的 VCCO 电源可以通过 J3~J6 排针通过跳塞进行 3.3V、2.5V、1.2V 电压值选择。
  - GW1N-9 芯片 VCCO1 电压固定 3.3V 供电，即 J5 跳塞必须设置在 3.3V 电压位置。
  - VCCO0、VCCO2、VCCO3 电压通过跳塞可调整为 3.3V、2.5V、1.2V。

# 5 开发软件介绍

详细资料请参考 [SUG100](#)，*Gowin 云源软件用户手册*。

