



DK\_GoAI\_GW1NSR-LV4CQN48PC7I6\_V2.2

# 用户手册

DEBUG391-1.0, 2021-03-03

## **版权所有© 2021 广东高云半导体科技股份有限公司**

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

日期	版本	说明
2021/03/03	1.0	初始版本。

# 目录

目录 .....	i
图目录 .....	iii
表目录 .....	iv
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 相关文档 .....	1
1.3 术语、缩略语 .....	1
1.4 技术支持与反馈 .....	2
<b>2 开发板简介 .....</b>	<b>3</b>
2.1 概述 .....	3
2.2 系统框图 .....	4
2.3 开发板套件 .....	5
2.4 组件 .....	6
2.5 特性 .....	6
2.6 指标 .....	8
<b>3 开发板电路 .....</b>	<b>9</b>
3.1 FPGA 模块 .....	9
3.2 下载&Debug .....	9
3.2.1 概述 .....	9
3.2.2 USB .....	10
3.2.3 JTAG .....	10
3.2.4 流程 .....	10
3.2.5 管脚分配 .....	11
3.3 电源 .....	11
3.3.1 概述 .....	11
3.3.2 电源系统分配 .....	12
3.3.3 电源管脚分配 .....	12

---

3.4 时钟 .....	13
3.4.1 概述 .....	13
3.4.2 时钟 .....	13
3.4.3 管脚分配 .....	13
3.5 LED .....	13
3.6 开关 .....	14
3.6.1 概述 .....	14
3.7 HDMI TX .....	14
3.7.1 概述 .....	14
3.7.2 HDMI TX 电路 .....	14
3.7.3 管脚分配 .....	14
3.8 Camera .....	15
3.8.1 概述 .....	15
3.8.2 FPC 接口 .....	15
3.8.3 管脚分配 .....	15
3.9 SPI FLASH .....	16
3.10 Mic .....	16
3.11 Accelerometer .....	17
<b>4 开发板使用注意事项 .....</b>	<b>18</b>
<b>5 开发软件介绍 .....</b>	<b>19</b>

# 图目录

图 2-1 DK_GoAI_GW1NSR-LV4CQN48PC7I6_V2.2 开发板.....	3
图 2-2 系统框图 .....	4
图 2-3 开发板 PCB 组件说明 .....	6
图 3-1 USB 连接示意图 .....	10
图 3-2 J-Link 连接示意图.....	10
图 3-3 电源系统分配示意.....	12
图 3-4 时钟 .....	13
图 3-5 HDMI TX 接口连接电路 .....	14
图 3-6 FPC 接口连接电路.....	15
图 3-7 Accelerometer 连接电路 .....	17

# 表目录

表 1-1 术语、缩略语 .....	1
表 2-1 开发板指标 .....	8
表 3-1 FPGA 下载相关管脚分配 .....	11
表 3-2 FPGA 电源管脚分配 .....	12
表 3-3 FPGA 时钟与复位管脚分配 .....	13
表 3-4 LED 管脚分配 .....	13
表 3-5 HDMI TX 管脚分配 .....	14
表 3-6 FPC 管脚分配 .....	15
表 3-7 SPI FLASH 管脚分配 .....	16
表 3-8 Mic 管脚分配 .....	16
表 3-9 Accelerometer 管脚分配 .....	17

# 1 关于本手册

## 1.1 手册内容

DK\_GoAI\_GW1NSR-LV4CQN48PC7I6\_V2.2 用户手册分为四个部分：

1. 简述开发板的功能特点和硬件资源；
2. 介绍开发板上的各部分硬件电路的功能、电路及管脚分配；
3. 开发板使用注意事项；
4. 介绍 FPGA 开发软件的使用方法。

## 1.2 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

1. [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
2. [UG864, GW1NSR-4 器件 Pinout 手册](#)
3. [UG290, Gowin FPGA 产品编程配置手册](#)
4. [SUG100, Gowin 云源软件用户手册](#)

## 1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

**表 1-1 术语、缩略语**

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
MIPI	Mobile Industry Processor Interface	移动行业处理器接口
LVDS	Low Voltage Differential Signaling	低压差分信号
GPIO	Gowin Programmable I/O	Gowin 可编程通用管脚
MCU	Microprogrammed Control Unit	微程序控制器
USB	Universal Serial Bus	通用串行总线



术语、缩略语	全称	含义
SoC	System On Chip	片上系统
JTAG	Joint Test Action Group	联合测试行动组
SRAM	Static Random Access Memory	静态随机存储器
RS232	Recommend Standard 232	推荐标准 232，一种串行物理接口标准
ARM	Advanced RISC Machines	ARM 处理器
BSRAM	Block Static Random Access Memory	块状静态随机存储器
SPI	Serial Peripheral Interface	串行外设接口
PLL	Phase-locked Loop	锁相环
QN48	QFN48	QFN48 封装

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

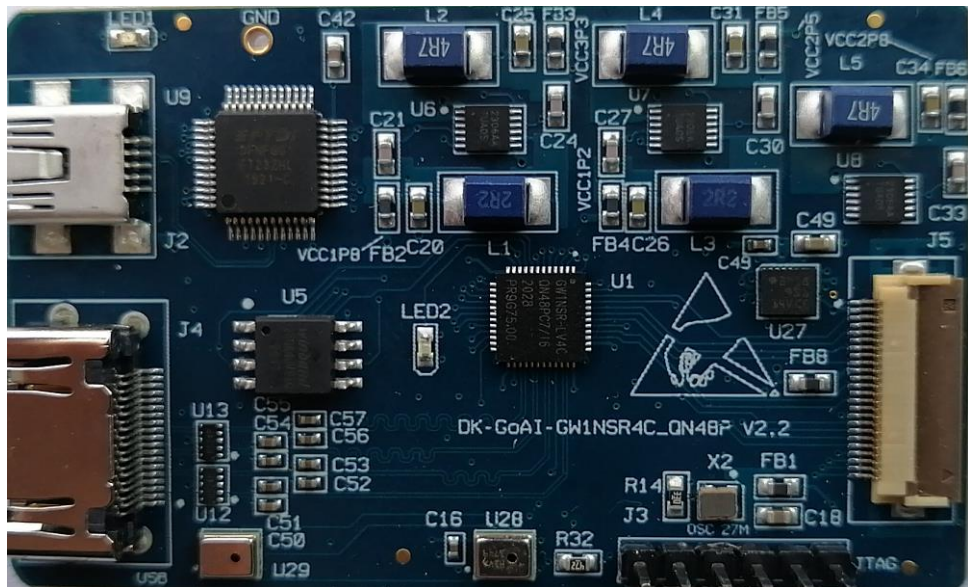
E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 开发板简介

## 2.1 概述

图 2-1 DK\_GoAI\_GW1NSR-LV4CQN48PC7I6\_V2.2 开发板

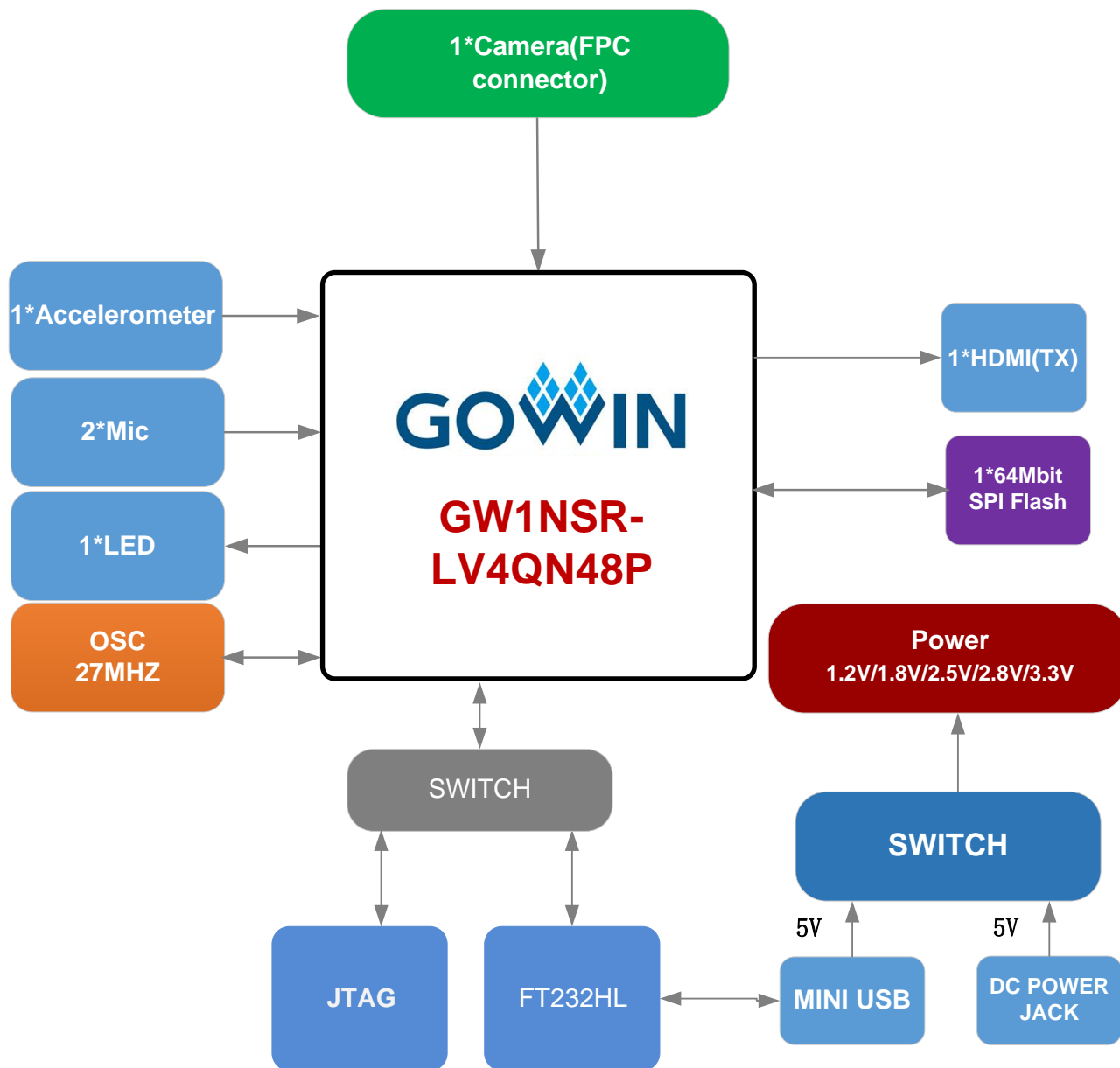


开发板采用高云半导体 GW1NSR-4 SoC FPGA 器件，SoC FPGA 内嵌 ARM Cortex-M3 硬核处理器。以 ARM Cortex-M3 硬核处理器为核心，具备了实现系统功能所需要的最小内存；内嵌的 FPGA 逻辑模块单元方便灵活，可实现多种外设控制功能，能提供出色的计算功能和异常系统响应中断，具有高性能、低功耗、使用灵活、瞬时启动、低成本、非易失性、高安全性、方便扩展等特点，可有效降低学习成本，帮助用户快速进入可编程逻辑器件的设计开发领域。

开发板上设计了 HDMI 接口和 camera 的 FPC 接口，同时还有按键、LED 等资源，可供开发人员或爱好者学习使用。

## 2.2 系统框图

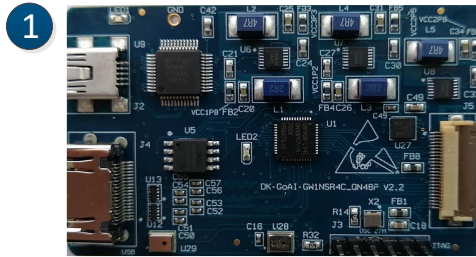
图 2-2 系统框图



# 2.3 开发板套件

开发板套件包括:

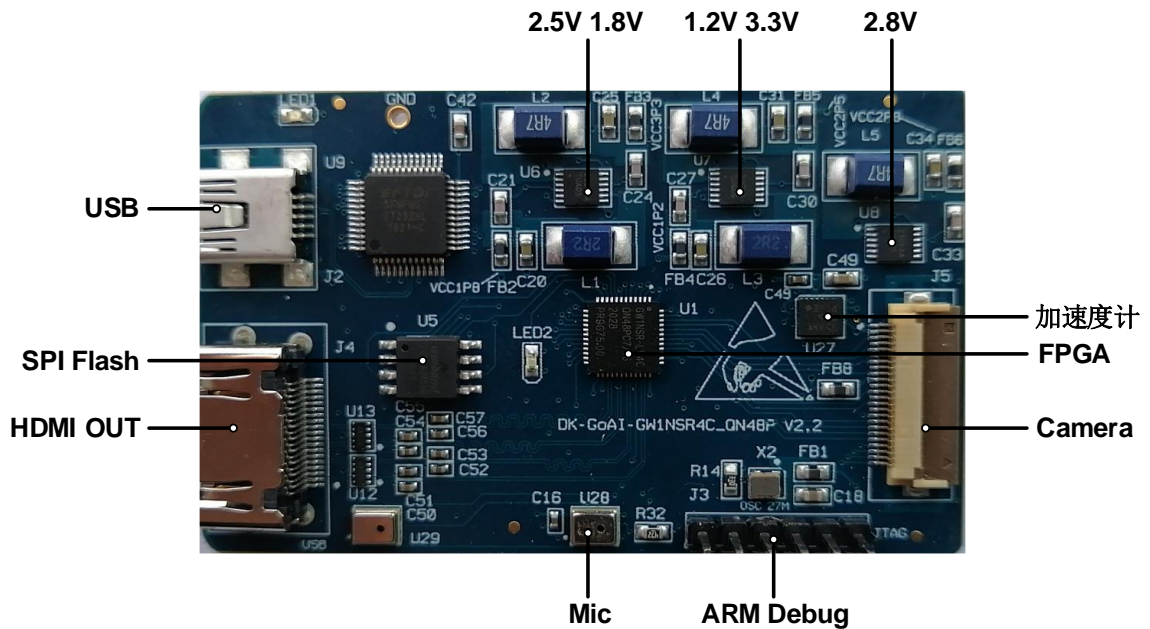
- DK\_GoAI\_GW1NSR-LV4CQN48PC716\_V2.2 开发板
- USB 数据线
- 快速应用手册



- ① 高云 DK\_GoAI\_GW1NSR-LV4CQN48PC716\_V2.2 开发板
- ② USB数据线
- ③ 快速应用手册

## 2.4 组件

图 2-3 开发板 PCB 组件说明



## 2.5 特性

开发板组成结构及特性如下：

1. FPGA
  - 采用 QN48P 封装
  - 多达 38 个用户 I/O
  - 内嵌 Flash，掉电不易丢失
  - 丰富的 LUT4 资源
  - 多种模式、容量丰富的 B-SRAM
2. FPGA 配置模式
  - JTAG
  - AUTO BOOT
3. 供电方式
  - 外部 USB 5V 供电
4. 时钟资源
  - 27MHz 时钟晶振
5. LED
  - 1 个电源指示灯（绿）
  - 1 个 LED（绿）

6. 存储
  - 256Kbits 内嵌 Flash
  - 64Mbits 外部 SPI FLASH
7. HDMI (TX) 接口
  - 4 对 HDMI 输出, 一对时钟, 三对数据
8. Camera
  - 采用 24pin, 0.5mm 间距的 FPC 连接器
9. Mic
  - 2 个 Mic
10. 2 个 Accelerometer
  - 1 个 Accelerometer
11. DC-DC 电源
  - 提供 3.3V、2.8V、2.5V、1.8V、1.2V 电源

## 2.6 指标

表 2-1 开发板指标

序号	项目	功能描述	技术条件
1	FPGA	开发板核心芯片	—
2	下载	支持 USB 接口; 支持 JTAG、AUTOBOOT	板上集成 USB 转 JTAG 芯片
3	电源	通过电路输出 3.3V、2.8V、2.5V、1.8V、1.2V 电源	<ul style="list-style-type: none"> <li>● 输入电源为 5V;</li> <li>● 5V 转 3.3V 电路为 FPGA、下载电路及其他电路提供电源;</li> <li>● 5V 转 2.8V 电路为 FPC 连接器提供电源;</li> <li>● 5V 转 2.5V 电路为 FPGA 和 FPC 连接器提供电源;</li> <li>● 5V 转 1.8V 电路为 FPGA 提供电源;</li> <li>● 5V 转 1.2V 电路给 FPGA 和 FPC 连接器提供电源。</li> </ul>
4	拨码开关	选择 JTAG 接口或 USB 接口	1 个
5			
6	LED	测试指示、电源指示	<ul style="list-style-type: none"> <li>● 测试指示灯 2 个, 绿色;</li> <li>● 电源指示灯 1 个, 绿色;</li> </ul>
7	晶振	为 FPGA 提供 27MHz 时钟	封装 2520
8	存储	FLASH	<ul style="list-style-type: none"> <li>● 256K 内嵌 Flash</li> <li>● 64Mbit 外部 SPI FLASH</li> </ul>
9	HDMI TX	通过 FPGA 内部 IP 实现 HDMI 信号的发送	一对时钟, 三对数据
10	Camera	连接外部 camera	24pin, 0.5mm 间距
11	Mic	采集音频数据	2 个
12	Accelerometer	采集加速度信息	1 个
13	保护	<ul style="list-style-type: none"> <li>● USB 接口有 ESD 保护</li> <li>● 电源接口具有反向保护功能、电流过流保护</li> </ul>	<ul style="list-style-type: none"> <li>● USB 接口 ESD 保护: <math>\pm 15\text{kV}</math> 非接触放电, <math>\pm 8\text{kV}</math> 接触放电;</li> <li>● 电源接口正负极间方向接有肖特基二极管;</li> <li>● 电源入口接有耐 2A 的自恢复保险丝。</li> </ul>
14	电压	—	输入电压 5V
15	湿度	—	95%
16	温度	—	工作范围 $-20^{\circ}\sim 70^{\circ}$

# 3 开发板电路

## 3.1 FPGA 模块

### 概述

GW1NSR 系列 FPGA 产品资源信息请参考 [DS861, GW1NSR 系列 FPGA 产品数据手册](#)。

### I/O BANK 说明

GW1NSR 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息请参考 [UG864, GW1NSR-4 器件 Pinout 手册](#)。

## 3.2 下载&Debug

### 3.2.1 概述

开发板提供 USB 接口和 JTAG 接口。FPGA 的 .fs 文件下载时可根据需要下载至片内 SRAM、内部 FLASH。

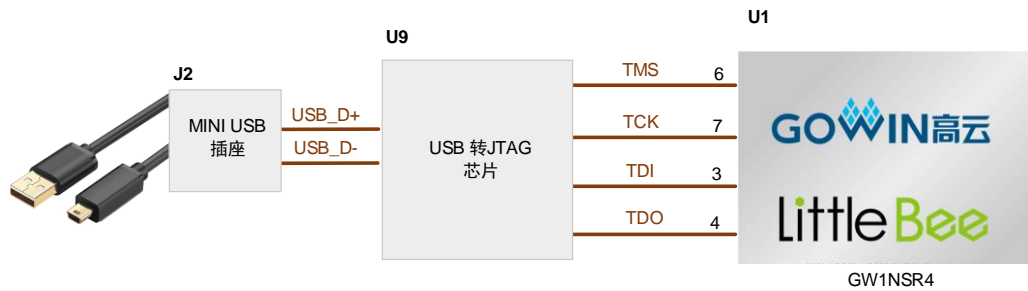
#### 注!

- 下载至 SRAM 时, 当器件掉电后数据流文件会丢失, 重新上电需再次下载数据流文件;
- 下载至 Flash 后, 掉电后数据流文件不会丢失。



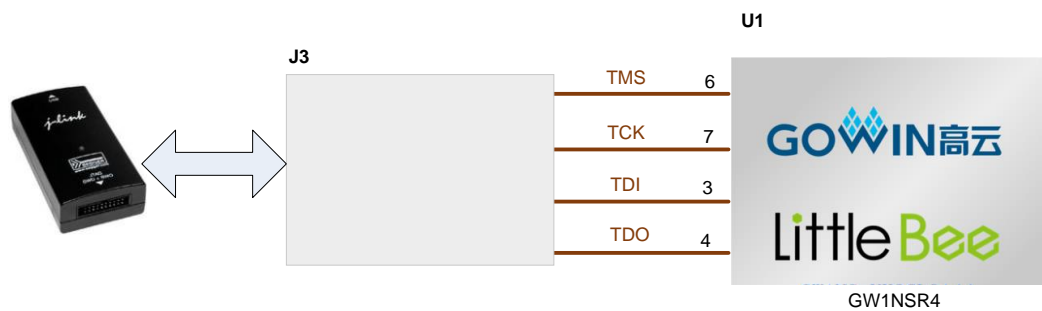
## 3.2.2 USB

图 3-1 USB 连接示意图



## 3.2.3 JTAG

图 3-2 J-Link 连接示意图



## 3.2.4 流程

1. 启用 USB 接口  
FPGA 和 MCU 下载：下载时，将 USB 下载线插在开发板的 USB 接口（J2），同时需将开发板上的开关 SW1 拨到 ON 侧。
2. 启用 JTAG 接口：
  - FPGA 和 MCU 下载  
下载时，将高云下载线与开发板的 JTAG 接口（J3）对应 JTAG 信号连接起来，同时需将开发板上的开关 SW1 拨到 OFF 侧。
  - MCU 调试  
调试时，将 J-Link 仿真器与开发板的 JTAG 接口（J3）对应 JTAG 信号连接起来，同时需将开发板上的开关 SW1 拨到 OFF 侧。

## 3.2.5 管脚分配

表 3-1 FPGA 下载相关管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
TMS	6	0	JTAG 信号	3.3 V
TCK	7	0	JTAG 信号	3.3 V
TDI	3	0	JTAG 信号	3.3 V
TDO	4	0	JTAG 信号	3.3 V
MODE0	10	0	模式选择脚	3.3 V
JTAGSEL_N	8	0	JTAGSEL_N	3.3 V
DONE	9	0	DONE 指示	3.3 V

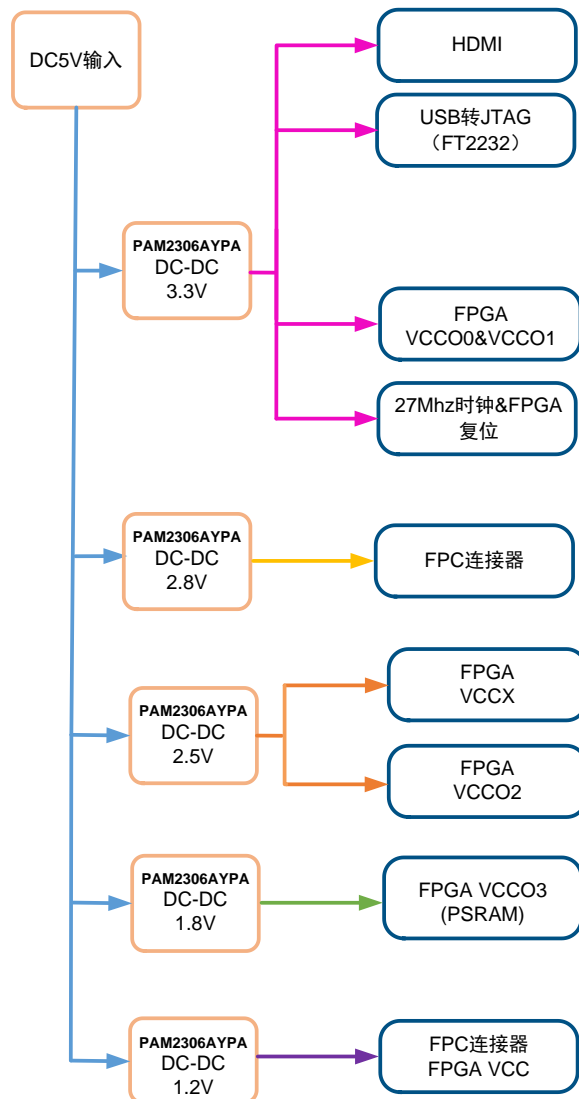
## 3.3 电源

### 3.3.1 概述

电源由 DC5V 或 USB 接口输入，采用 DC-DC 电源芯片，实现由 5V 到 3.3V、2.8V、2.5V、1.8V、1.2V 的变换，可满足开发板的电源需求。

### 3.3.2 电源系统分配

图 3-3 电源系统分配示意



### 3.3.3 电源管脚分配

表 3-2 FPGA 电源管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
VCCO0	5	0	I/O Bank 电压	3.3V
VCCO1	38	1	I/O Bank 电压	3.3V
VCCO2	36	2	I/O Bank 电压	2.5V
VCCO3	12、24	3	I/O Bank 电压	1.8V
VCCX	25	-	辅助电压	2.5V
VCC	11、37	-	核电压	1.2V
VSS	26	-	GND	-

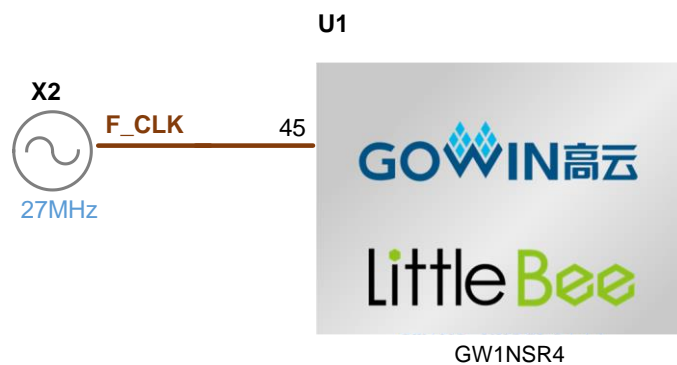
## 3.4 时钟

### 3.4.1 概述

开发板提供了一个 27MHz 晶振，连接到 PLL 输入管脚，可作为 FPGA 内部 PLL 的时钟输入，通过 PLL 的分倍频可以输出用户所需的时钟。

### 3.4.2 时钟

图 3-4 时钟



### 3.4.3 管脚分配

表 3-3 FPGA 时钟与复位管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
F_CLK	45	1	27MHz 有源晶振输入	3.3V

## 3.5 LED

开发板中有 1 个绿色 LED 灯，用户可通过 LED 灯显示所需状态。同时为了便于观察电源情况，留了一个电源指示 LED 灯。

可通过以下方式对 LED 灯进行测试：

- 当 FPGA 对应管脚输出信号为逻辑低电平时，LED 被点亮；
- 当输出信号为高电平时，LED 熄灭。

表 3-4 LED 管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
F_LED2	10	0	LED2	3.3V

## 3.6 开关

### 3.6.1 概述

开发板中有 1 个拨码开关 SW1, 可用于控制程序选择 JTAG 接口或 USB 接口来进行对 FPGA 下载调试。

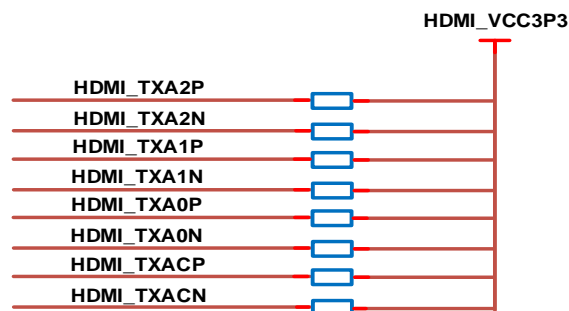
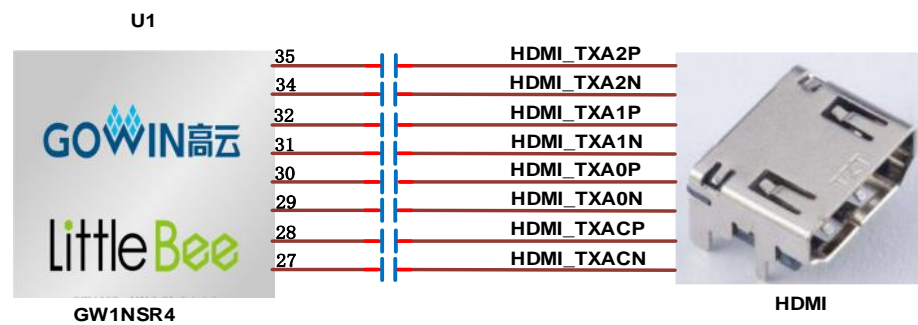
## 3.7 HDMI TX

### 3.7.1 概述

HDMI3 接口不经过编解码芯片, 直接连接到 FPGA 引脚, 通过 FPGA 内部 IP 实现 HDMI 信号的接收。

### 3.7.2 HDMI TX 电路

图 3-5 HDMI TX 接口连接电路



### 3.7.3 管脚分配

表 3-5 HDMI TX 管脚分配

信号名称	FPGA 管脚序号	BANK	I/O 电平	描述
HDMI_TXA2P	35	2	2.5V	HDMI 差分数据
HDMI_TXA2N	34	2	2.5V	HDMI 差分数据
HDMI_TXA1P	32	2	2.5V	HDMI 差分数据

信号名称	FPGA 管脚序号	BANK	I/O 电平	描述
HDMI_TXA1N	31	2	2.5V	HDMI 差分数据
HDMI_TXA0P	30	2	2.5V	HDMI 差分数据
HDMI_TXA0N	29	2	2.5V	HDMI 差分数据
HDMI_TXACP	28	2	2.5V	HDMI 差分时钟
HDMI_TXACN	27	2	2.5V	HDMI 差分时钟

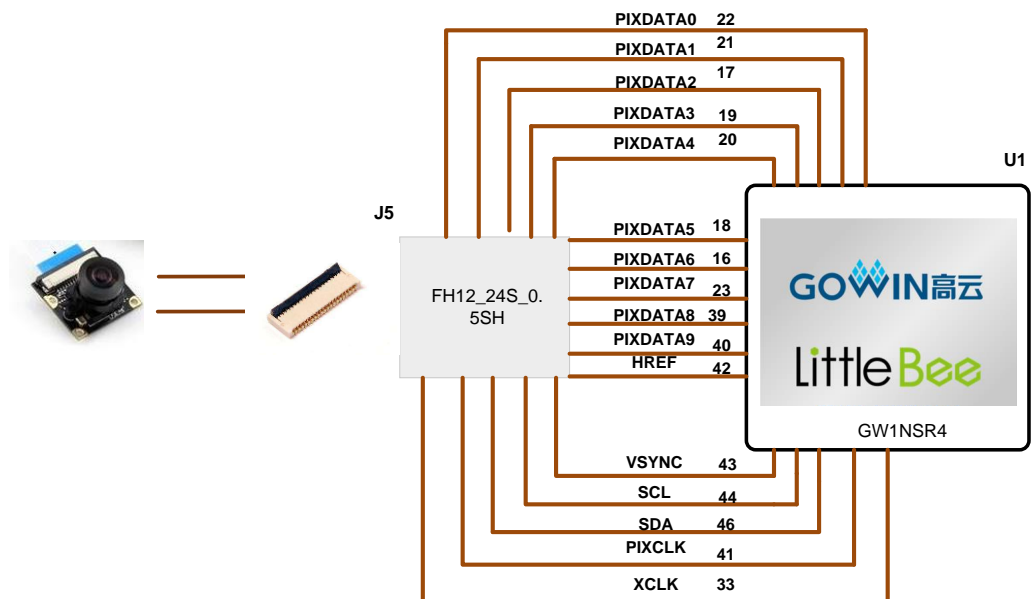
## 3.8 Camera

### 3.8.1 概述

Camera 的接口采用 24pin, 0.5mm 间距的 FPC 连接器直接连接到 FPGA 引脚, 通过 FPGA 内部 IP 实现信号的接收。

### 3.8.2 FPC 接口

图 3-6 FPC 接口连接电路



### 3.8.3 管脚分配

表 3-6 FPC 管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
PIXDATA9	40	1	视频输出通道 9	3.3V
PIXDATA8	39	1	视频输出通道 8	3.3V
PIXDATA7	23	3	视频输出通道 7	1.8V
PIXCLK	41	1	像素时钟输出	3.3V

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
PIXDATA6	16	3	视频输出通道 6	1.8V
PIXDATA5	18	3	视频输出通道 5	1.8V
PIXDATA4	20	3	视频输出通道 4	1.8V
PIXDATA3	19	3	视频输出通道 3	1.8V
PIXDATA2	17	3	视频输出通道 2	1.8V
PIXDATA1	21	3	视频输出通道 1	1.8V
PIXDATA0	22	2	视频输出通道 0	1.8V
XCLK	33	2	系统时钟输入	2.5V
HREF	42	1	水平参考输出	3.3V
VSYNC	43	1	垂直同步输出	3.3V
SDA	46	1	I2C 串行接口数据	3.3V
SCL	44	1	I2C 串行接口时钟	3.3V

## 3.9 SPI FLASH

开发板包含一个外置 64Mbit FLASH，下载至 Flash 后，掉电后数据流文件不会丢失。

**表 3-7 SPI FLASH 管脚分配**

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
MSPI_WP	8	0	写保护输入	3.3V
MSPI_DO	47	1	数据输出	3.3V
MSPI_CS	2	0	片选信号	3.3V
MSPI_HOLD	9	0	数据保持信号	3.3V
MSPI_CK	1	0	时钟信号	3.3V
MSPI_DI	48	1	数据输入	3.3V

## 3.10 Mic

开发板留有 2 个 I2S 接口的 Mic，用于音频数据采集使用。

**表 3-8 Mic 管脚分配**

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
MIC_SD	13	3	写保护输入	1.8V
MIC_SCK	14	3	数据输出	1.8V
MIC_WS	15	3	片选信号	1.8V

### 3.11 Accelerometer

开发板留有 1 个 Accelerometer，用于加速度数据采集使用。

图 3-7 Accelerometer 连接电路

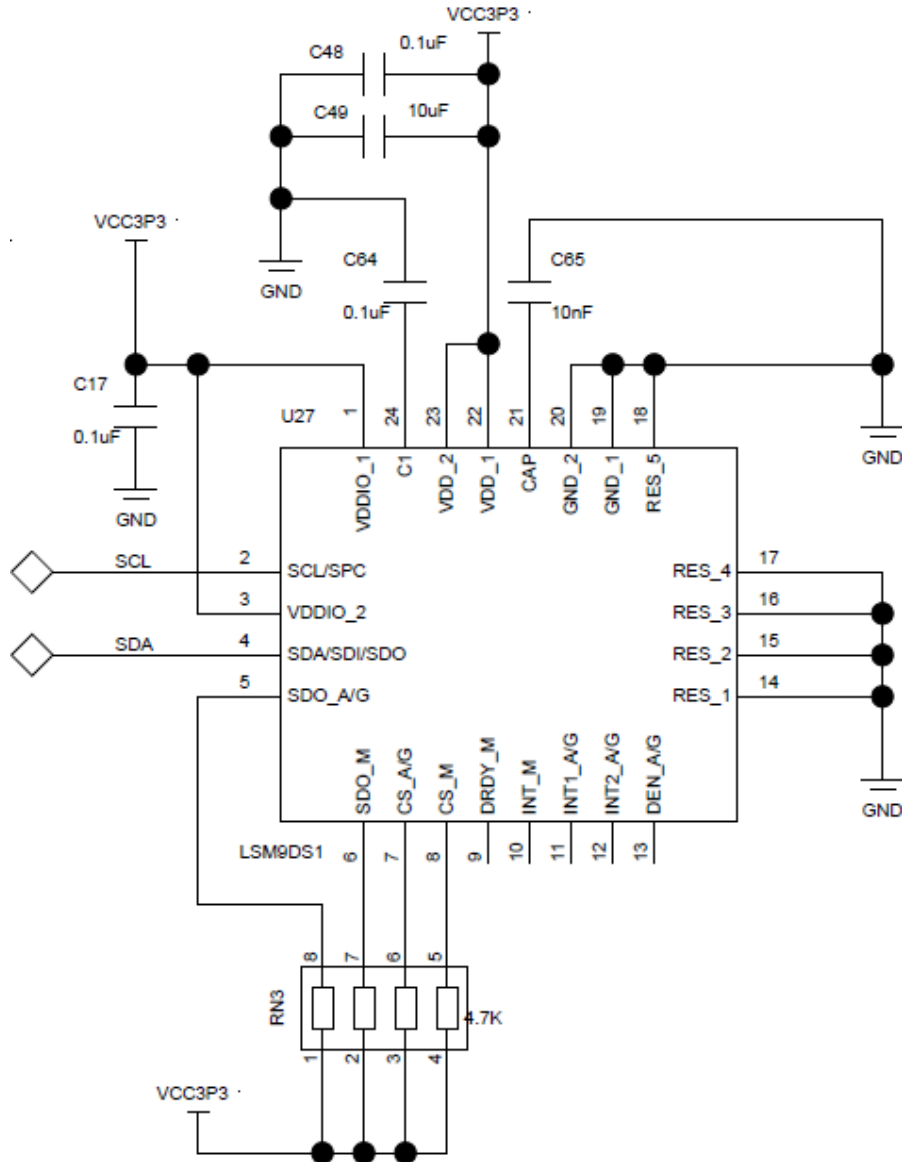


表 3-9 Accelerometer 管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
SDA	46	1	I2C 串行接口数据	3.3V
SCL	44	1	I2C 串行接口时钟	3.3V



# 4 开发板使用注意事项

## 开发板使用注意事项

开发板使用时，注意轻拿轻放，并做好静电防护。

# 5 开发软件介绍

详细资料请参考 [SUG100, Gowin 云源软件用户手册](#)。

