



DK_GoAI_GW2AR-LV18QN88PC8I7_V1.1

用户手册

DBUG396-1.0, 2021-08-02

版权所有 © 2021 广东高云半导体科技股份有限公司

GOWIN高云、Gowin以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2021/08/02	1.0	初始版本。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 开发板简介	3
2.1 概述	3
2.2 开发板套件	4
2.3 PCB 组件	5
2.4 系统框图	5
2.5 特性	6
2.6 指标	7
3 开发板电路	9
3.1 FPGA 模块	9
3.2 下载	9
3.2.1 概述	9
3.2.2 USB 下载电路	9
3.2.3 下载流程	10
3.2.4 管脚分配	10
3.3 电源	10
3.3.1 概述	10
3.3.2 电源系统分配	11
3.3.3 FPGA 电源管脚分配	12
3.4 时钟、复位	12

3.4.1 概述.....	12
3.4.2 时钟、复位电路.....	12
3.4.3 管脚分配.....	13
3.5 LED.....	13
3.5.1 概述.....	13
3.5.2 LED 电路.....	13
3.5.3 管脚分配.....	13
3.6 GPIO.....	14
3.6.1 概述.....	14
3.6.2 管脚分配.....	14
3.7 FPC 连接器.....	14
3.7.1 概述.....	14
3.7.2 FPC 电路.....	14
3.7.3 管脚分配.....	15
3.8 HDMI.....	15
3.8.1 概述.....	15
3.8.2 HDMI 电路.....	16
3.8.3 管脚分配.....	16
4 开发板使用注意事项.....	18
5 开发软件介绍.....	19

图目录

图 2-1 DK_GoAI_GW2AR-LV18QN88PC8I7_V1.1 开发板	3
图 2-2 开发板套件	4
图 2-3 开发板 PCB 组件说明.....	5
图 2-4 系统框图.....	5
图 3-1 FPGA USB 下载连接示意图.....	9
图 3-2 电源系统分配示意图.....	11
图 3-3 时钟、复位电路.....	12
图 3-4 LED 电路.....	13
图 3-5 FPC 电路.....	14
图 3-6 HDMI 连接示意图.....	16

表目录

表 1-1 术语、缩略语	1
表 2-1 开发板指标	7
表 3-1 FPGA 下载管脚分配.....	10
表 3-2 FPGA 电源管脚分配.....	12
表 3-3 FPGA 时钟与复位管脚分配.....	13
表 3-4 LED 管脚分配.....	13
表 3-5 GPIO 管脚分配.....	14
表 3-6 FPC 管脚分配	15
表 3-7 HDMI_TX 管脚分配.....	16
表 3-8 HDMI_RX 管脚分配	17

1 关于本手册

1.1 手册内容

DK_GoAI_GW2AR-LV18QN88PC8I7_V1.1 用户手册分为四个部分：

1. 简述开发板的功能特点和硬件资源；
2. 介绍开发板上的各部分硬件电路的功能、电路及管脚分配；
3. 开发板使用注意事项；
4. 介绍 FPGA 开发软件的使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

1. [DS226](#), GW2AR 系列 FPGA 产品数据手册
2. [UG229](#), GW2AR 系列 FPGA 产品封装与管脚手册
3. [UG115](#), GW2AR-18 器件 Pinout 手册
4. [UG290](#), Gowin FPGA 产品编程配置手册
5. [SUG100](#), Gowin 云源软件用户手册

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
SIP	System in Package	系统级封装
SDRAM	Synchronous Dynamic RAM	同步动态随机存储器
CFU	Configurable Function Unit	可配置功能单元
CLS	Configurable Logic Slice	可配置逻辑片

术语、缩略语	全称	含义
CRU	Configurable Routing Unit	可编程布线单元
LUT4	4-input Look-up Tables	4 输入查找表
LUT5	5-input Look-up Tables	5 输入查找表
LUT6	6-input Look-up Tables	6 输入查找表
LUT7	7-input Look-up Tables	7 输入查找表
LUT8	8-input Look-up Tables	8 输入查找表
REG	Register	寄存器
ALU	Arithmetic Logic Unit	算术逻辑单元
IOB	Input/Output Block	输入输出模块
SSRAM	Shadow Static Random Access Memory	附加静态随机存储器
BSRAM	Block Static Random Access Memory	块状静态随机存储器
SP	Single Port	单端口
SDP	Semi Dual Port	伪双端口
DP	Dual Port	双端口
DSP	Digital Signal Processing	数字信号处理
TDM	Time Division Multiplexing	时分复用
DQCE	Dynamic Quadrant Clock Enable	动态象限时钟使能
DCS	Dynamic Clock Selector	动态时钟选择器
PLL	Phase-locked Loop	锁相环
DLL	Delay-locked Loop	延迟锁相环
QN88	QFN88	QFN88 封装

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

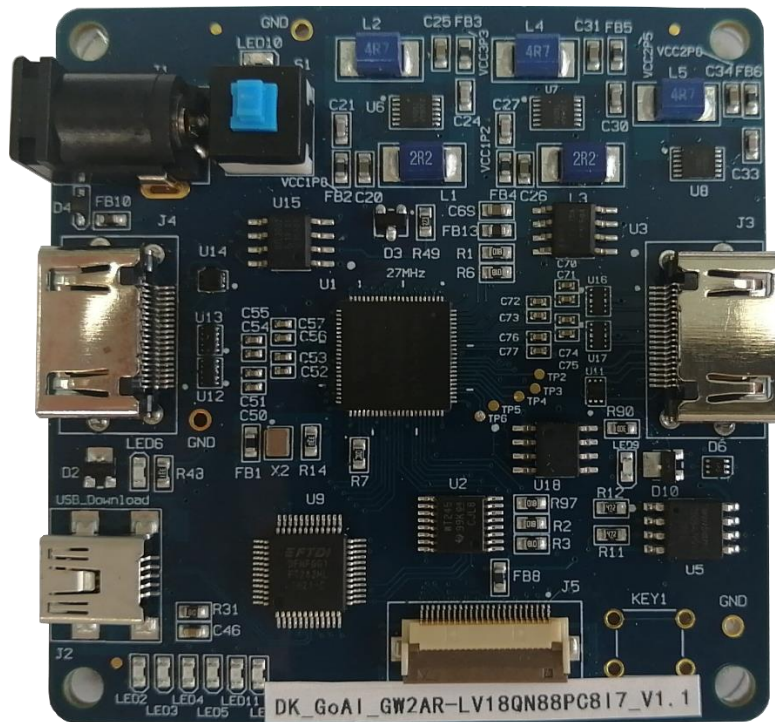
E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 开发板简介

2.1 概述

图 2-1 DK_GoAI_GW2AR-LV18QN88PC8I7_V1.1 开发板



开发板采用高云半导体 GW2AR-18 FPGA 器件，内嵌 64 Mbit PSRAM 资源。高云半导体 GW2AR 系列 FPGA 产品是高云半导体晨熙®家族第一代产品，是一款系统级封装芯片，在 GW2A 系列基础上集成了丰富容量的存储资源，同时具有 GW2A 系列高性能的 DSP 资源、高速 LVDS 接口以及丰富的 BSRAM 存储器资源，这些内嵌的资源搭配精简的 FPGA 架构以及 55nm 工艺使 GW2AR 适用于高速低成本的应用场合。

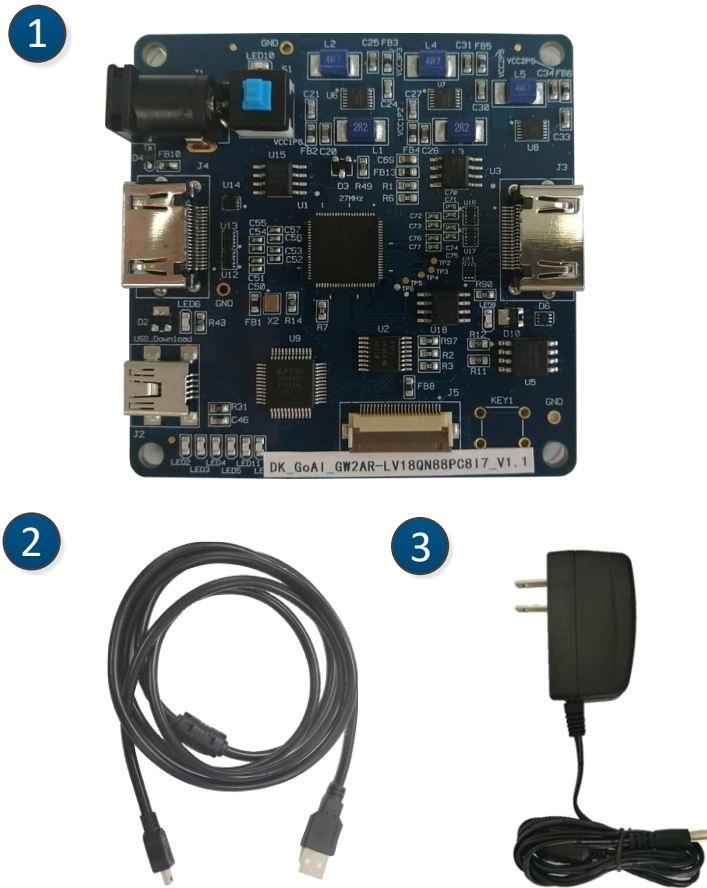
开发板上设计了丰富的外部接口，包括 Camera 接口、HDMI 接口等；同时还有 LED、复位、时钟等资源，可供开发人员或爱好者学习使用。

2.2 开发板套件

开发板套件包括:

- DK_GoAI_GW2AR-LV18QN88PC8I7_V1.1 开发板
- USB 数据线
- DC5V 电源适配器

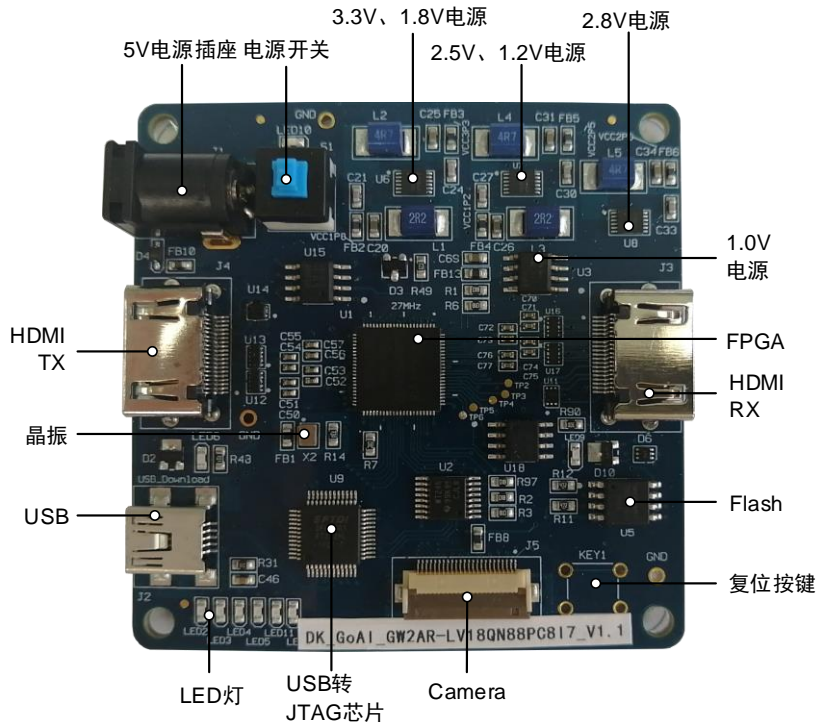
图 2-2 开发板套件



- ① 高云DK_GoAI_GW2AR-LV18QN88PC8I7_V1.1 开发板
- ② USB数据线
- ③ DC5V电源适配器

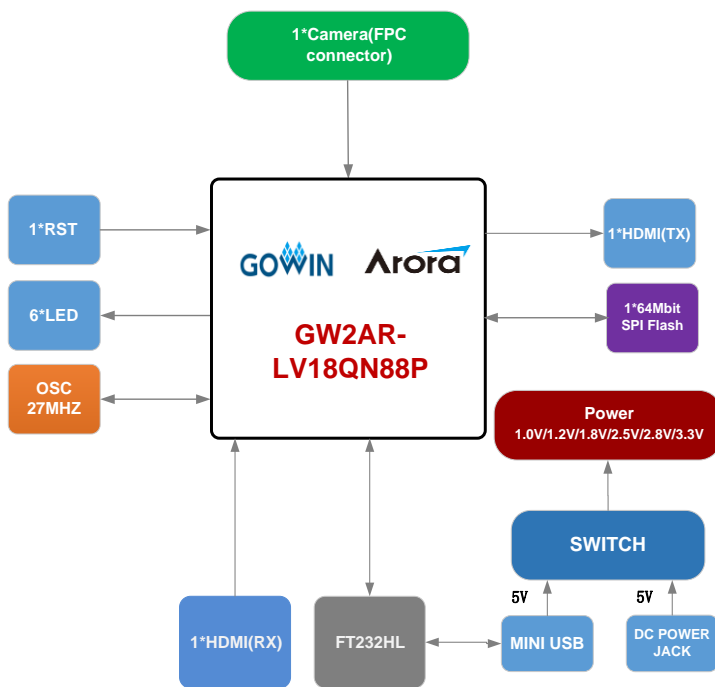
2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



2.4 系统框图

图 2-4 系统框图



2.5 特性

开发板组成结构及特性如下：

1. FPGA
 - 采用 QN88 封装
 - 多达 66 个用户 I/O
 - 丰富的 LUT4 资源
 - 多种模式、容量丰富的 B-SRAM
2. FPGA 配置模式
 - JTAG
 - MSPI
3. 时钟资源
 - 27MHz 时钟晶振
4. 按键
 - 1 个复位按键
 - 1 个按键开关
5. LED
 - 1 个电源指示灯（绿）
 - 2 个 HDMI 热插拔指示灯（绿）
 - 6 个 LED（绿）
6. 存储
 - 64Mbit 内嵌 PSRAM
 - 64Mbit 外置 SPI Flash
7. GPIO
 - 5 个扩展 I/O 资源
8. HDMI
 - 1 路 HDMI TX 接口；
 - 1 路 HDMI RX 接口
9. DC-DC(LDO)电源
 - 提供 3.3V、2.8V、2.5V、1.8V、1.2V、1.0V 电源

2.6 指标

表 2-1 开发板指标

序号	项目	功能描述	技术条件	备注
1	FPGA	开发板核心芯片	—	—
2	下载	USB 接口；支持 JTAG、MSPI	板上集成 USB 转 JTAG 芯片	—
3	电源	通过 DC-DC(LDO)电路输出 3.3V、2.8V、2.5V、1.8V、1.2V、1.0V 电源	<ul style="list-style-type: none"> ● 输入电源为 5V； ● 5V转3.3V电路为FPGA、下载电路、HDMI电路及其他电路提供电源； ● 5V转2.8V电路为摄像头输入口提供电源； ● 5V 转 2.5V 电路为 HDMI_RX 和 FPGA 提供电源； ● 5V转1.8V电路为FPGA PSRAM提供电源； ● 5V 转 1.2V 电路为摄像头输入口提供电源； ● 5V 转 1.0V 电路给 FPGA 提供电源。 	—
4	自锁开关	FPGA 的电源开关	1 个	—
5	复位按键	为 FPGA 提供复位	1 个	—
6	LED	测试指示、HDMI 热插拔指示、电源指示	<ul style="list-style-type: none"> ● 测试指示灯 6 个，绿色； ● 热插拔指示灯 2 个，绿色； ● 电源指示灯 1 个，绿色。 	—
7	晶振	为 FPGA 提供 27MHz 时钟	封装 2520	—
8	存储	提供 PSRAM 和 Flash 资源	64Mbit 内嵌 PSRAM 64Mbit 外置 SPI Flash	—
9	GPIO	I/O，方便用户进行扩展和测试	5 个	—
10	HDMI	供设计使用	1 路 HDMI TX 接口；1 路 HDMI RX 接口	—
11	FPC 连接器	供摄像头输入使用	24PIN FPC	—
12	保护	<ul style="list-style-type: none"> ● USB 接口有 ESD 保护 ● 电源接口具有反向保护，电流过流保护 ● HDMI 接口有 	<ul style="list-style-type: none"> ● USB 接口 ESD 保护：$\pm 15\text{kV}$ 非接触放电，$\pm 8\text{kV}$ 接触放电； ● 电源接口正负极间方向接有肖特基二极管； ● 电源入口接有耐2A的自 	—

序号	项目	功能描述	技术条件	备注
		ESD 保护	恢复保险丝。 ● HDMI 接口 ESD 保护：1. $\pm 17\text{kV}$ 非接触放电， $\pm 12\text{kV}$ 接触放电；2. $\pm 15\text{kV}$ 非接触放电， $\pm 8\text{kV}$ 接触放电；	
13	电压	-	输入电压 5V	-
14	湿度	-	95%	-
15	温度	-	工作范围 $-40^{\circ}\sim 85^{\circ}$	-

3 开发板电路

3.1 FPGA 模块

概述

GW2AR 系列 FPGA 产品资源信息请参考 [DS226](#), *GW2AR 系列 FPGA 产品数据手册*。

I/O BANK 说明

GW2AR 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息请参考 [UG229](#), *GW2AR 系列 FPGA 产品封装与管脚手册*。

3.2 下载

3.2.1 概述

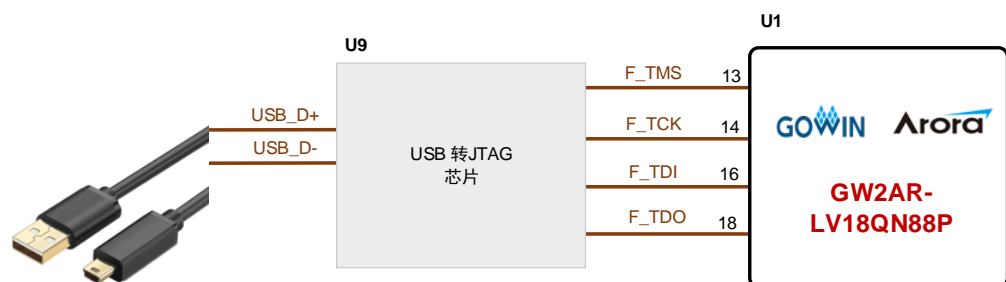
开发板提供 USB 下载接口。下载时可根据需要下载至片内 SRAM、外部 SPI Flash。

注!

- 下载至 SRAM 时,当器件掉电后数据流文件会丢失,重新上电需再次下载数据流文件;
- 下载至 SPI Flash 后,掉电后数据流文件不会丢失。

3.2.2 USB 下载电路

图 3-1 FPGA USB 下载连接示意图



3.2.3 下载流程

1. FPGA SRAM 下载模式:

将 USB 数据线插在开发板的 USB 接口 (J2)。然后上电, 并打开 Programmer 工具, 选择 SRAM mode, 并选入需要下载的 bitstream 文件。

2. FPGA MSPI 下载模式:

将 USB 数据线插在开发板的 USB 接口 (J2), 然后上电, 并打开 Programmer 工具, 选择 External Flash mode, 并选入需要下载的 bitstream 文件及 FLASH 器件型号。下载成功后, 关掉电源, 然后加电, 器件会从外部 Flash 导入 bitstream 文件到 SRAM 中。

3.2.4 管脚分配

表 3-1 FPGA 下载管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
TMS	5	2	JTAG 信号	1.8V
TCK	6	2	JTAG 信号	1.8V
TDI	7	2	JTAG 信号	1.8V
TDO	8	2	JTAG 信号	1.8V
MODE0	88	3	模式选择脚	3.3V
MODE1	87	3	模式选择脚	3.3V

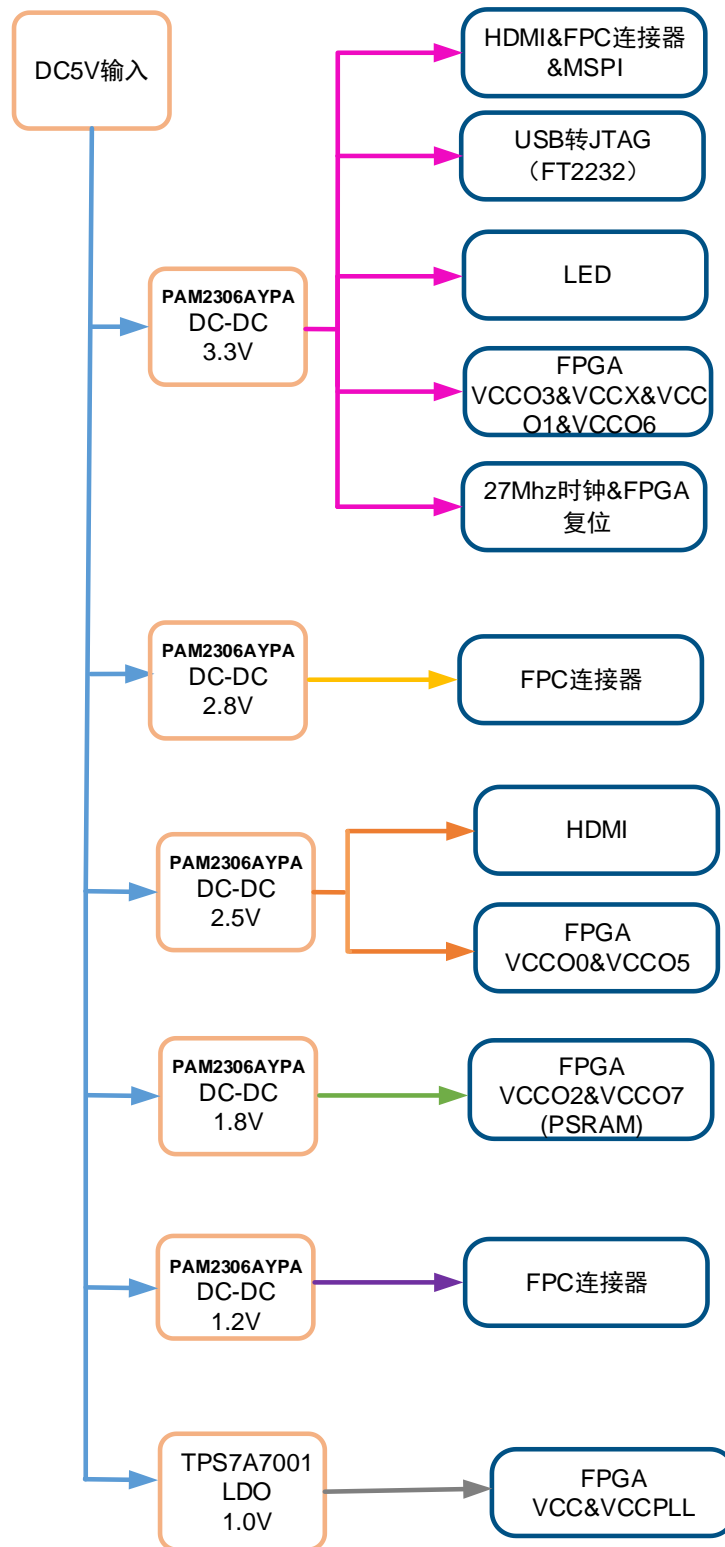
3.3 电源

3.3.1 概述

电源 DC5V 由 USB 接口输入, 采用 TI 的 LDO 电源芯片和 ONSEMI 的 DC-DC 电源芯片, 实现由 5V 到 3.3V、2.8V、2.5V、1.8V、1.2V、1.0V 的变换, 可满足开发板的电源需求。

3.3.2 电源系统分配

图 3-2 电源系统分配示意图



3.3.3 FPGA 电源管脚分配

表 3-2 FPGA 电源管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
VCCO0	78	0	I/O Bank 电压	2.5V
VCCO1	12、67	1	I/O Bank 电压	3.3V
VCCO2	3、64	2	I/O Bank 电压	1.8V
VCCO3	58	3	I/O Bank 电压	3.3V
VCCO4	44	4	I/O Bank 电压	3.3V
VCCO5	23	5	I/O Bank 电压	2.5V
VCCO6	12、67	6	I/O Bank 电压	3.3V
VCCO7	3、64	7	I/O Bank 电压	1.8V
VCCPLLL1	14	-	PLLL1 电源	1.0V
VCCPLLR1	50	-	PLLR1 电源	1.0V
VCCX	12、67	-	辅助电压内部与 VCCO1、VCCO6 相连	3.3V
VCC	1、22、45、66	-	核电压	1.0V
VSS	2、21、24、43、46、65、68	-	GND	-

3.4 时钟、复位

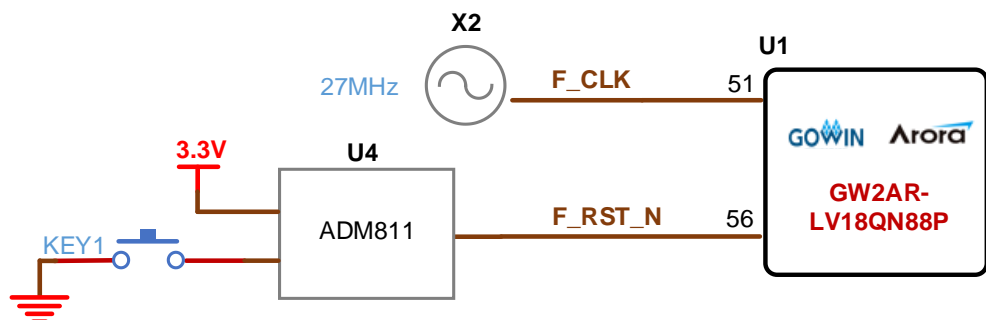
3.4.1 概述

开发板提供了一个 27MHz 晶振，连接到 PLL 输入管脚，可作为 FPGA 内部 PLL 的时钟输入，通过 PLL 的分倍频可以输出用户所需的时钟。

同时为了方便调试设计，开发板增加一路复位信号，低有效。

3.4.2 时钟、复位电路

图 3-3 时钟、复位电路



3.4.3 管脚分配

表 3-3 FPGA 时钟与复位管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
F_CLK	51	3	27MHz 有源晶振输入	3.3V
F_RST_N	56	3	复位信号，低有效	3.3V

3.5 LED

3.5.1 概述

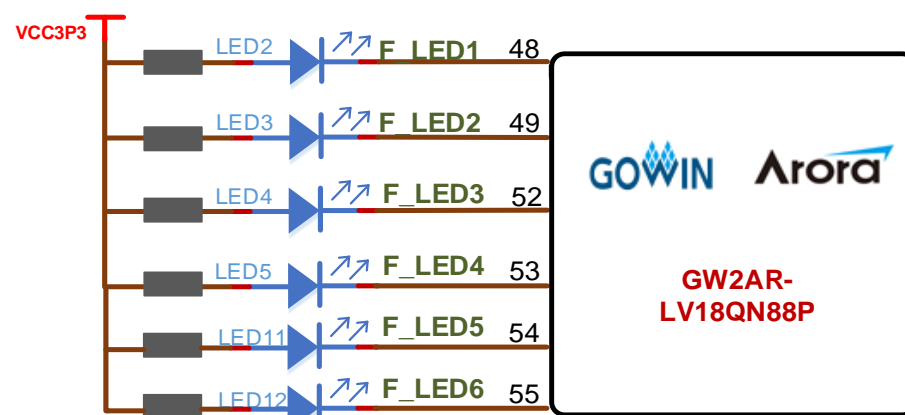
开发板中有 6 个绿色 LED 灯，用户可通过 LED 灯显示所需状态。同时为了便于观察电源情况和 HDMI 热插拔情况，亦分别各留 1 到 2 个 LED 灯。

可通过以下方式对 LED 灯进行测试：

- 当 FPGA 对应管脚输出信号为逻辑低电平时，LED 被点亮；
- 当输出信号为高电平时，LED 熄灭。

3.5.2 LED 电路

图 3-4 LED 电路



3.5.3 管脚分配

表 3-4 LED 管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
F_LED1	48	3	LED2	3.3V
F_LED2	49	3	LED3	3.3V
F_LED3	52	3	LED4	3.3V
F_LED4	53	3	LED5	3.3V
F_LED5	54	3	LED11	3.3V
F_LED6	55	3	LED12	3.3V

3.6 GPIO

3.6.1 概述

为方便用户功能扩展和测试，在开发板上预留 5 个 GPIO 测试点。

3.6.2 管脚分配

表 3-5 GPIO 管脚分配

信号名称	FPGA 管脚序号	BANK	I/O 电平
TP2	75	1	3.3V
TP3	74	1	3.3V
TP4	73	1	3.3V
TP5	71	1	3.3V
TP6	69	1	3.3V

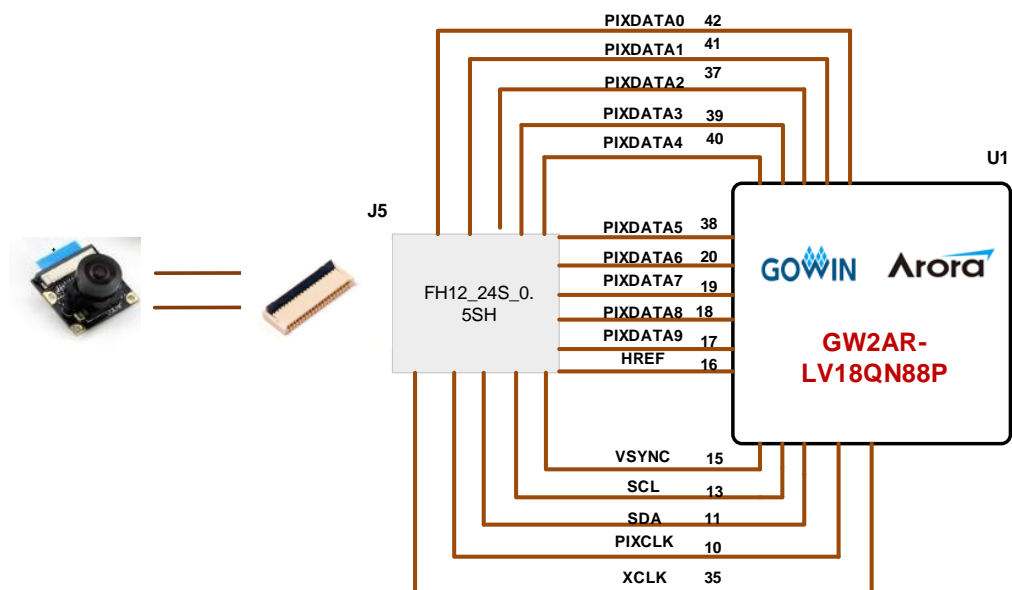
3.7 FPC 连接器

3.7.1 概述

为方便用户将摄像头信号输入到 FPGA，在开发板上预留 24PIN 的 FPC 连接器（FH12-24S-0.5SH）。

3.7.2 FPC 电路

图 3-5 FPC 电路



3.7.3 管脚分配

表 3-6 FPC 管脚分配

插座管脚号	信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
1	STROBE	-	-	Flash 控制信号	-
2	GND	-	-	地端	-
3	SDA	11	6	SCCB 串行接口数据	3.3V
4	AVDD	-	-	模拟信号电源	2.8V
5	SCL	13	6	SCCB 串行接口时钟	3.3V
6	RST_N	-	-	复位信号	-
7	VSYNC	15	6	垂直同步输出	3.3V
8	PWDN	-	-	掉电模式使能信号	-
9	HREF	16	6	水平参考输出	3.3V
10	SVDD	-	-	传感器阵列电源	1.2V
11	DOVDD	-	-	数字图像信号电源	3.3V
12	PIXDATA9	17	6	视频输出通道 9	3.3V
13	XCLK	35	4	系统时钟输入	3.3V
14	PIXDATA8	18	6	视频输出通道 8	3.3V
15	GND	-	-	地端	-
16	PIXDATA7	19	6	视频输出通道 7	3.3V
17	PIXCLK	10	6	像素时钟输出	3.3V
18	PIXDATA6	20	6	视频输出通道 6	3.3V
19	PIXDATA2	37	4	视频输出通道 2	3.3V
20	PIXDATA5	38	4	视频输出通道 5	3.3V
21	PIXDATA3	39	4	视频输出通道 3	3.3V
22	PIXDATA4	40	4	视频输出通道 4	3.3V
23	PIXDATA1	41	4	视频输出通道 1	3.3V
24	PIXDATA0	42	4	视频输出通道 0	3.3V

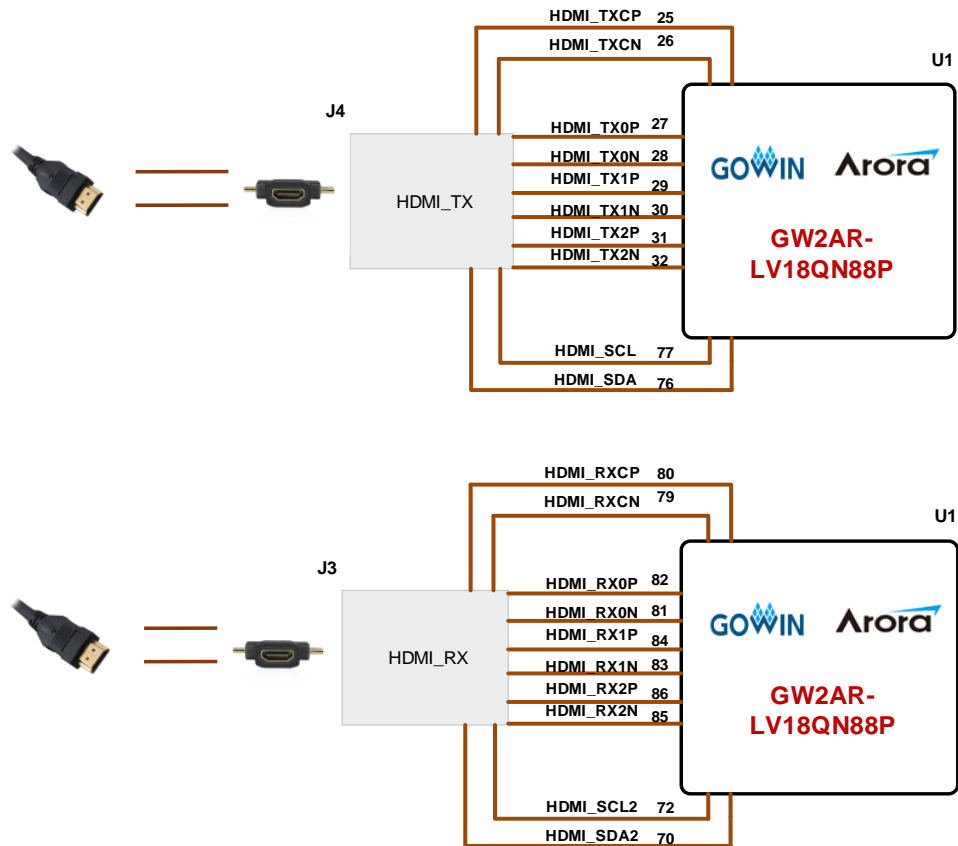
3.8 HDMI

3.8.1 概述

为方便用户进行图像输入 FPGA 和 FPGA 图像处理输出，预留 1 路 HDMI RX 接口和 1 路 HDMI TX 接口。

3.8.2 HDMI 电路

图 3-6 HDMI 连接示意图



3.8.3 管脚分配

表 3-7 HDMI_TX 管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
HDMI_TXCP	25	5	TMDS 时钟信号+	2.5V
HDMI_TXCN	26	5	TMDS 时钟信号-	2.5V
HDMI_TX0P	27	5	TMDS 数据 0+	2.5V
HDMI_TX0N	28	5	TMDS 数据 0-	2.5V
HDMI_TX1P	29	5	TMDS 数据 1+	2.5V
HDMI_TX1N	30	5	TMDS 数据 1-	2.5V
HDMI_TX2P	31	5	TMDS 数据 2+	2.5V
HDMI_TX2N	32	5	TMDS 数据 2-	2.5V
HDMI_SCL	77	1	DDC 时钟线	3.3V
HDMI_SDA	76	1	DDC 数据线	3.3V

表 3-8 HDMI_RX 管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
HDMI_RXCP	80	0	TMDS 时钟信号+	2.5V
HDMI_RXCN	79	0	TMDS 时钟信号-	2.5V
HDMI_RX0P	82	0	TMDS 数据 0+	2.5V
HDMI_RX0N	81	0	TMDS 数据 0-	2.5V
HDMI_RX1P	84	0	TMDS 数据 1+	2.5V
HDMI_RX1N	83	0	TMDS 数据 1-	2.5V
HDMI_RX2P	86	0	TMDS 数据 2+	2.5V
HDMI_RX2N	85	0	TMDS 数据 2-	2.5V
HDMI_SCL2	72	1	DDC 时钟线	3.3V
HDMI_SDA2	70	1	DDC 数据线	3.3V

4 开发板使用注意事项

开发板使用注意事项：

1. 开发板使用时，注意轻拿轻放，并做好静电防护。
2. 摄像头的 PWDN 接口未连接到 GW2AR-18 器件上。
3. 对于 GW2AR-18 器件，PSRAM 电源通过 VCCO2/7 Bank 电压提供。
4. 由于开发板 MODE 口接地，MODE 模式固定无法更改。
5. 开发板 27MHZ 时钟提供给 GW2AR-18 器件，12MHZ 时钟提供给 USB 转 JTAG 芯片(FT232HL)。

5 开发软件介绍

详细资料请参考 [SUG100](#), Gowin 云源软件用户手册。

