




DK_START_GW2A-LV55PG484C8I7_V1.3

用户手册

DBUG404-1.1,2023-03-10

版权所有 © 2023 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2021/09/02	1.0	初始版本。
2022/10/21	1.0.1	更新图 3-18 LED 连接示意图。
2023/03/10	1.1	删除第四章“快速应用”。

目录

目录	i
图目录	iv
表目录	v
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 开发板简介	3
2.1 概述	3
2.2 开发板套件	4
2.3 PCB 组件	5
2.4 系统框图	5
2.5 特性	6
3 开发板电路	8
3.1 FPGA 模块	8
3.2 下载模块	8
3.2.1 介绍	8
3.2.2 管脚分配	9
3.3 电源	10
3.3.1 介绍	10
3.4 时钟、复位	11
3.4.1 介绍	11
3.4.2 管脚分配	11

3.5 DDR3 模块	12
3.5.1 介绍	12
3.5.2 管脚分配	12
3.6 以太网	14
3.6.1 介绍	14
3.6.2 管脚分配	14
3.7 LVDS 接口	15
3.7.1 介绍	15
3.7.2 管脚分配	16
3.8 MIPI DSI	18
3.8.1 介绍	18
3.8.2 管脚分配	18
3.9 MIPI CSI	19
3.9.1 介绍	19
3.9.2 管脚分配	20
3.10 SD 卡模块	21
3.10.1 介绍	21
3.10.2 管脚分配	21
3.11 RTC 模块	21
3.11.1 介绍	21
3.11.2 管脚分配	22
3.12 AD/DA 模块	22
3.12.1 介绍	22
3.12.2 管脚分配	23
3.13 CAN 模块	23
3.13.1 介绍	23
3.13.2 管脚分配	23
3.14 WIFI 模块	23
3.14.1 介绍	23
3.14.2 管脚分配	24
3.15 GPIO	24
3.15.1 介绍	24

3.15.2 管脚分配.....	26
3.16 工业屏接口	27
3.16.1 介绍.....	27
3.16.2 管脚分配.....	28
3.17 LED 模块.....	30
3.17.1 介绍.....	30
3.17.2 管脚分配.....	30
3.18 按键模块.....	31
3.18.1 介绍.....	31
3.18.2 管脚分配.....	31
3.19 开关模块.....	32
3.19.1 介绍.....	32
3.19.2 管脚分配.....	32

图目录

图 2-1 DK_START_GW2A-LV55PG484C8I7_V1.3 开发板.....	3
图 2-2 开发板套件.....	4
图 2-3 开发板 PCB 组件说明	5
图 2-4 系统框图	5
图 3-1 FPGA 下载与配置连接示意图.....	9
图 3-2 异步 FIFO 连接示意图	9
图 3-3 时钟、复位连接示意图	11
图 3-4 FPGA 与 DDR3 连接示意图	12
图 3-5 FPGA 与以太网模块连接示意图.....	14
图 3-6 LVDS TX 接口示意图.....	15
图 3-7 LVDS RX 接口示意图	16
图 3-8 MIPI DSI 模块连接示意图.....	18
图 3-9 MIPI CSI 模块连接示意图.....	19
图 3-10 SD 卡模块连接示意图.....	21
图 3-11 RTC 模块连接示意图	22
图 3-12 AD/DA 模块连接示意图	22
图 3-13 CAN 模块连接示意图.....	23
图 3-14 WIFI 模块连接示意图.....	24
图 3-15 40pin 接口示意图.....	25
图 3-16 20pin 接口示意图.....	25
图 3-17 50pin FPC 接口示意图	28
图 3-18 LED 连接示意图	30
图 3-19 按键电路	31
图 3-20 开关电路	32

表目录

表 1-1 术语、缩略语	1
表 3-1 FPGA 下载与配置管脚分配	9
表 3-2 异步 FIFO 管脚分配	10
表 3-3 时钟、复位管脚分配	11
表 3-4 DDR3 模块管脚分配	12
表 3-5 以太网模块管脚分配	14
表 3-6 LVDS TX1 接口管脚分配	16
表 3-7 LVDS TX2 接口管脚分配	16
表 3-8 LVDS RX1 接口管脚分配	17
表 3-9 LVDS RX2 接口管脚分配	17
表 3-10 MIPI DSI 卡模块管脚分配	18
表 3-11 MIPI CSI 卡模块管脚分配	20
表 3-12 SD 卡模块管脚分配	21
表 3-13 RTC 卡模块管脚分配	22
表 3-14 AD/DA 模块管脚分配	23
表 3-15 CAN 模块管脚分配	23
表 3-16 WIFI 模块管脚分配	24
表 3-17 40pin 接口管脚分配	26
表 3-18 20pin 接口管脚分配	27
表 3-19 50pin FPC 接口管脚分配	28
表 3-20 LCD 屏亮度控制管脚分配	29
表 3-21 LED 指示灯管脚分配	30
表 3-22 按键模块管脚分配	31
表 3-23 开关模块管脚分配	32

1 关于本手册

1.1 手册内容

DK_START_GW2A-LV55PG484C8I7_V1.3 开发板（以下简称开发板）用户手册分为三个部分：

- 简要介绍开发板的功能特点；
- 介绍开发板整体系统架构和硬件资源；
- 介绍开发板各部分硬件电路的功能、电路及管脚分配。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [UG113, GW2A-55 器件 Pinout 手册](#)
- [UG111, GW2A 系列 FPGA 产品封装与管脚手册](#)
- [UG290, Gowin FPGA 产品编程配置手册](#)
- [SUG100, Gowin 云源软件用户手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
BSRAM	Block Static Random Access Memory	块状静态随机存储器
DDR	Double Data Rate	双倍速率
DSP	Digital Signal Processing	数字信号处理
FLASH	Flash Memory	非易失存储器
FPGA	Field Programmable Gate Array	现场可编程门阵列

术语、缩略语	全称	含义
GPIO	Gowin Programmable I/O	Gowin 可编程通用管脚
LDO	Low Dropout Regulator	低压差线性稳压器
LUT4	4-input Look-up Table	4 输入查找表
LVDS	Low-Voltage Differential Signaling	低电压差分信号
SSRAM	Shadow Static Random Access Memory	附加静态随机存储器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

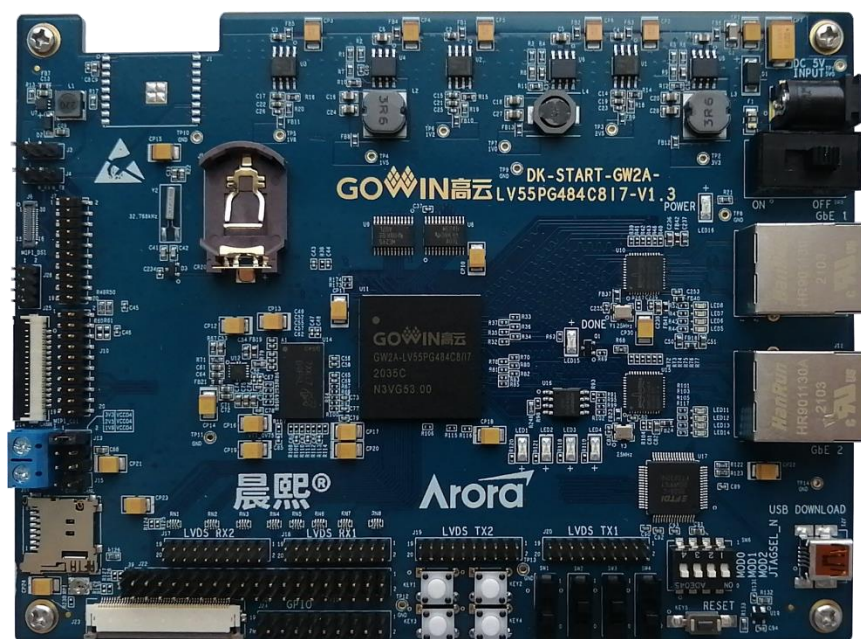
E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 开发板简介

2.1 概述

图 2-1 DK_START_GW2A-LV55PG484C8I7_V1.3 开发板



DK_START_GW2A-LV55PG484C8I7_V1.3 开发板适用于基于 DDR3 的高速数据存储、基于 MIPI、LVDS、千兆以太网等高速通信测试、55K 系列 FPGA 功能评估、硬件可靠性验证及软件学习调试等多种应用需求。

开发板采用高云 GW2A-LV55PG484 的 FPGA 器件，该器件为高云半导体晨熙®家族第一代产品。内部资源丰富，具有高性能的 DSP 资源，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，这些内嵌的资源搭配精简的 FPGA 架构以及 55nm 工艺使 GW2A 系列 FPGA 产品适用于高速低成本的应用场合。

本开发板具有以下特性：

- 搭载一颗 DDR3 芯片，存储空间为 2Gbit，16 位数据总线宽度；

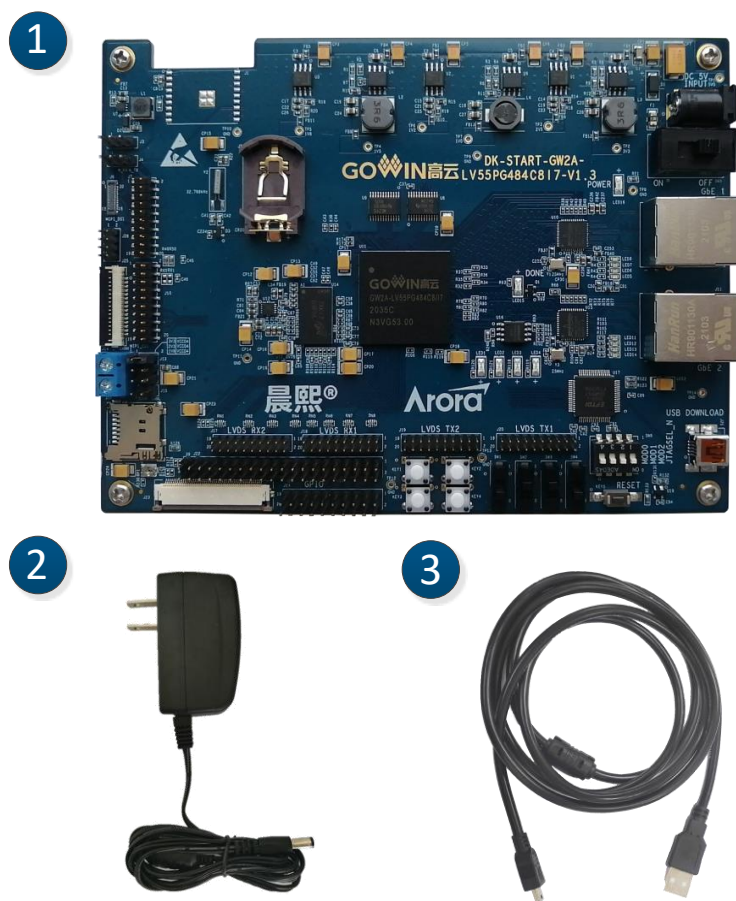
- 集成两个千兆以太网接口，支持 10M、100M、1000M 以太网通讯；
- 设计丰富的外部接口，包括 LVDS 接口、SD 卡座、CAN 总线接口、MIPI CSI、MIPI DSI、AD/DA 接口及 GPIO 接口；
- 设计 RTC 模块，可为 MCU IP 提供实时时钟；
- 外接 FLASH 芯片用于存储 FPGA 的配置程序；
- 具有滑动开关、按键、LED 方便用户调试使用。

2.2 开发板套件

开发板套件包括:

1. DK_START_GW2A-LV55PG484C8I7_V1.3 开发板
2. 5V 电源（输入：100-240V~50/60Hz 0.5A，输出：DC 5V 2A）
3. USB Mini B 下载线

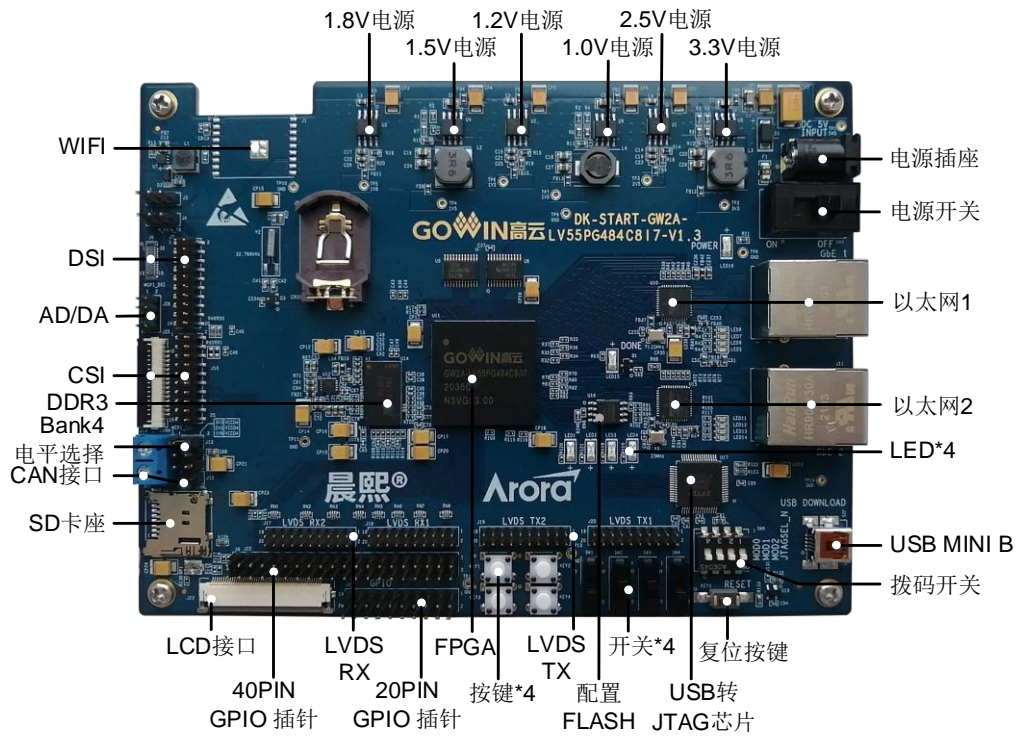
图 2-2 开发板套件



- ① DK_START_GW2A-LV55PG484C8I7_V1.3 开发板
- ② 5V 电源
- ③ USB Mini B 数据线

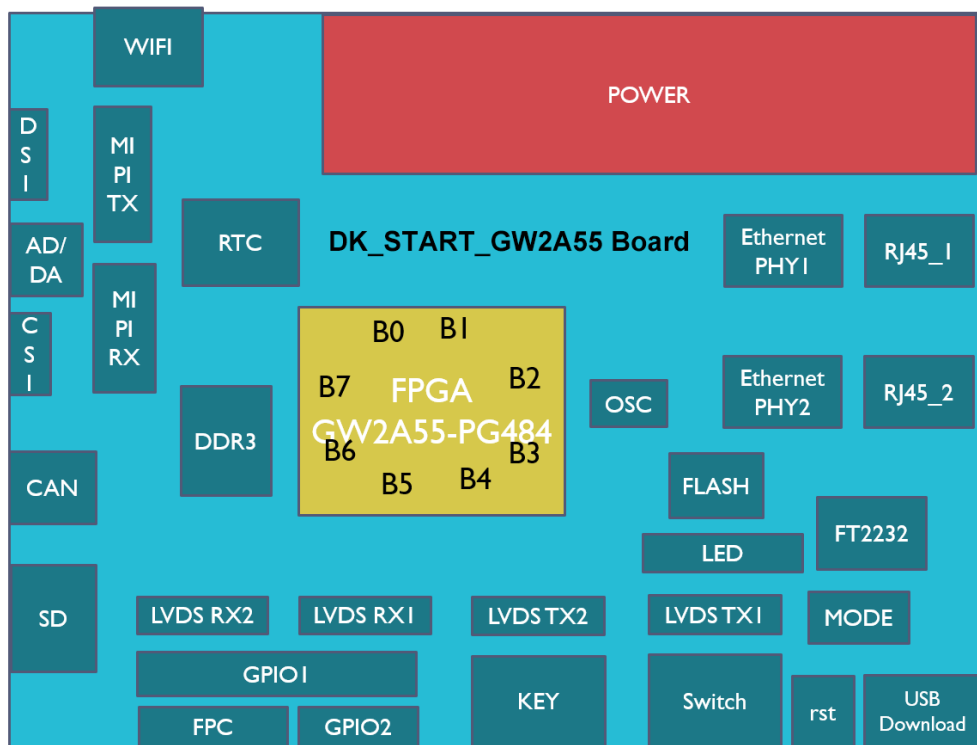
2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



2.4 系统框图

图 2-4 系统框图



2.5 特性

开发板的关键特性如下：

1. FPGA 器件
 - 高云 GW2A-LV55PG484 的 FPGA
 - 最多用户 I/O 319 个
2. 下载与启动
 - 板上集成下载模块，通过 USB Mini B 下载线下载
 - 外部 FLASH 启动
 - 加载完成后，蓝色 DONE 灯亮
3. 供电方式
 - 外部 DC 5V 2A 供电
 - 上电后，蓝色 POWER 灯亮
 - 开发板产生 3.3V、2.5V、1.8V、1.5V、1.2V、1.0V、0.75V 及 LCD 接口和 MIPI 接口所需的电源。
4. 时钟系统
50MHz 晶振输入
5. 存储器件
 - 2Gbit DDR3 SDRAM
 - 64Mbit FLASH
6. 以太网接口
 - 2 路以太网接口
 - 支持 RGMII(10/100/1000)接口。
 - RJ45 接插件，内部集成变压器
7. LVDS 接口
 - 2 路 LVDS 接收，包括 10 对差分信号。
 - 2 路 LVDS 发送，包括 10 对差分信号。
 - 用作 GPIO 时 I/O 电压可调，支持 3.3V、2.5V 和 1.8V。

注!

使用 LVDS 功能时，需要将 J13 设置为 2.5V。
8. MIPI DSI 接口
 - 接口包括 5 对差分，其中 1 路时钟、4 路数据。
 - 采用 30 触点、0.4mm 间距的堆叠板连接器
 - 5 个 lane 的 DSI 信号同时引到 20pin 2.00mm 间距的双排插针
9. MIPI CSI 接口
 - 接口包括 3 对差分，其中 1 路时钟、2 路数据。

- 采用 15pin, 1mm 间距的 FPC 连接器
 - 3 个 lane 的差分信号同时引到 20pin 2.00mm 间距的双排插针
10. SD 卡座
- 8 触点, 推-推式
 - 带有卡检测
11. RTC 模块
- 外接 32.768kHz 的石英晶体
 - 双电源供电设计, 可利用开发板电源或纽扣电池
 - 与 FPGA 通信接口为 I2C
12. AD/DA 模块
- 支持 12 位 A/D 和 D/A 转换器, 8 通道接口可配置为 ADC/DAC/GPIO 任意组合
 - 输入输出接口采用 8pin 插针
13. CAN 模块
- 通过 UART 接口与 FPGA 通信
 - 最大传输速率为 1Mbps
14. WIFI 模块
- 与 FPGA 通过 SPI 接口通讯
 - SPI 通信速率为 20Mbps
15. GPIO 接口
- 40PIN 双排插针, 引出 34 个 GPIO, I/O 所在 Bank 电压为 3.3V, 同时引出一个 3.3V, 一个 5V, 两个地插针。
 - 20PIN 双排插针, 引出 16 个 GPIO, 所有 I/O 与 40PIN 插针复用 FPGA 的 GPIO, 同时引出两个 3.3V, 一个 5V, 三个地插针。
16. 调试模块
- 4 个按键
 - 4 个开关
 - 4 个蓝色 LED

3 开发板电路

3.1 FPGA 模块

概述

GW2A-LV55PG484 FPGA 产品资源信息参考 [DS102, GW2A 系列 FPGA 产品数据手册](#)。

I/O BANK 说明

GW2A 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息参考 [UG111, GW2A 系列 FPGA 产品封装与管脚手册](#)。

3.2 下载模块

3.2.1 介绍

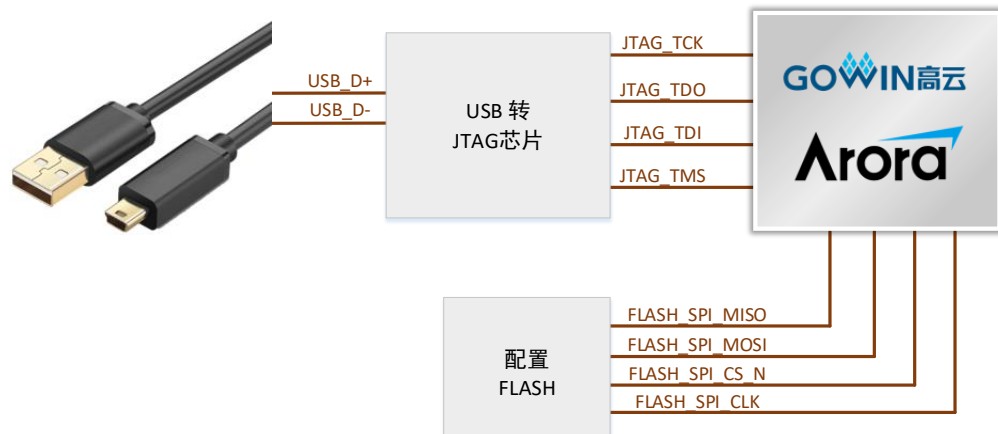
开发板提供 USB 下载接口,由 FT2232 USB 转换芯片的 A 通道来实现。通过设置不同的 MODE 值,来决定将程序下载到片内 SRAM 或外部 Flash 中。若下载到 SRAM,当器件掉电后数据流文件会丢失,而下载到 Flash,掉电后数据流文件不会丢失。

MODE 设置规则如下:

1. 任何模式下,都可将程序下载到片内 SRAM,并立即运行。
2. MODE 设置为“011”,将数据下载到配置 Flash 器件中。将 MODE 设置为“000”,重新上电,器件自行从配置 Flash 读取 FPGA 配置数据。

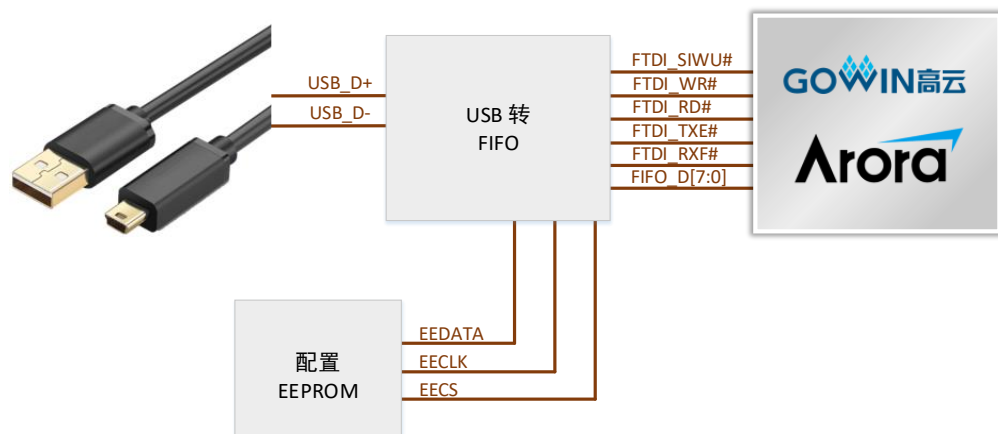
下载、配置的连接示意图如下:

图 3-1 FPGA 下载与配置连接示意图



通过配置 EEPROM 芯片，可以将 FT2232 的 B 通道配置为异步 FIFO 接口，连接示意图如下：

图 3-2 异步 FIFO 连接示意图



3.2.2 管脚分配

表 3-1 FPGA 下载与配置管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
JTAG_TCK	N20	2	3.3V	JTAG 信号
JTAG_TDO	M22	2	3.3V	JTAG 信号
JTAG_TDI	M20	2	3.3V	JTAG 信号
JTAG_TMS	N22	2	3.3V	JTAG 信号
FLASH_SPI_MISO	P19	3	1.5V	配置 FLASH 信号
FLASH_SPI_MOSI	P20	3	1.5V	配置 FLASH 信号
FLASH_SPI_CS_N	N18	3	1.5V	配置 FLASH 信号
FLASH_SPI_CLK	P18	3	1.5V	配置 FLASH 信号

表 3-2 异步 FIFO 管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
FTDI_SIWU#	B12	0	1.2V	发送/唤醒信号
FTDI_WR#	A11	0	1.2V	写信号
FTDI_RD#	B11	0	1.2V	读信号
FTDI_TXE#	C9	0	1.2V	写使能信号
FTDI_RXF#	C10	0	1.2V	读使能信号
FIFO_D0	E19	2	3.3V	数据位 0
FIFO_D1	E20	2	3.3V	数据位 1
FIFO_D2	F18	2	3.3V	数据位 2
FIFO_D3	F19	2	3.3V	数据位 3
FIFO_D4	G20	2	3.3V	数据位 4
FIFO_D5	G19	2	3.3V	数据位 5
FIFO_D6	H20	2	3.3V	数据位 6
FIFO_D7	H18	2	3.3V	数据位 7

3.3 电源

3.3.1 介绍

开发板通过电源适配器供电，适配器的参数为输入：
100-240V~50/60MHz 0.5A，输出：DC +5V 2A。

输入的 5V 电源通过开发板上的电源芯片产生 3.3V、2.5V、1.8V、1.5V、1.2V、1.0V 及 DDR3 所需的 0.75V 电源；MIPI DSI 接口所需的 17.4V、+5V 和 -5V；RGB 屏幕接口所需的 16V、10.4V、9.9V、-7V。

采用 3 片 NCP3170ADR2G DC-DC 电源芯片，产生 3.3V、1.5V 和 1.0V，最大输出电流 3A

采用 3 片 TPS7A7001 LDO 电源芯片，产生 2.5V、1.8V 和 1.2V，最大输出电流 2A。

采用 1 片 TPS51200 电源芯片，产生 DDR3 芯片所需的 0.75V 电源。

采用 1 片 APW7136CCI 电源芯片，产生 RGB 工业屏所需的 9.9V 电源。

采用 1 片 RT9284A 电源芯片，产生 RGB 工业屏所需的 16V、10.4V 和 -7V 电源。

采用 1 片 AAT1541A 电源芯片，产生 MIPI DSI 接口所需的 +5V 和 -5V 电源。

采用 1 片 TPS61161A 电源芯片，产生 MIPI DSI 接口背光所需的 17.4V 电源。

3.4 时钟、复位

3.4.1 介绍

开发板为 FPGA 提供了一个 50MHz 有源晶振, 连接到了全局时钟引脚。

开发板的复位电路采用按键加专用复位芯片设计, 上电后复位芯片自动产生复位信号给 FPGA 和以太网 PHY 芯片进行复位, 并实时监控 3.3V 电压, 出现异常时立即产生复位信号。另外, 也可通过复位按键手动产生复位信号。

图 3-3 时钟、复位连接示意图



3.4.2 管脚分配

表 3-3 时钟、复位管脚分配

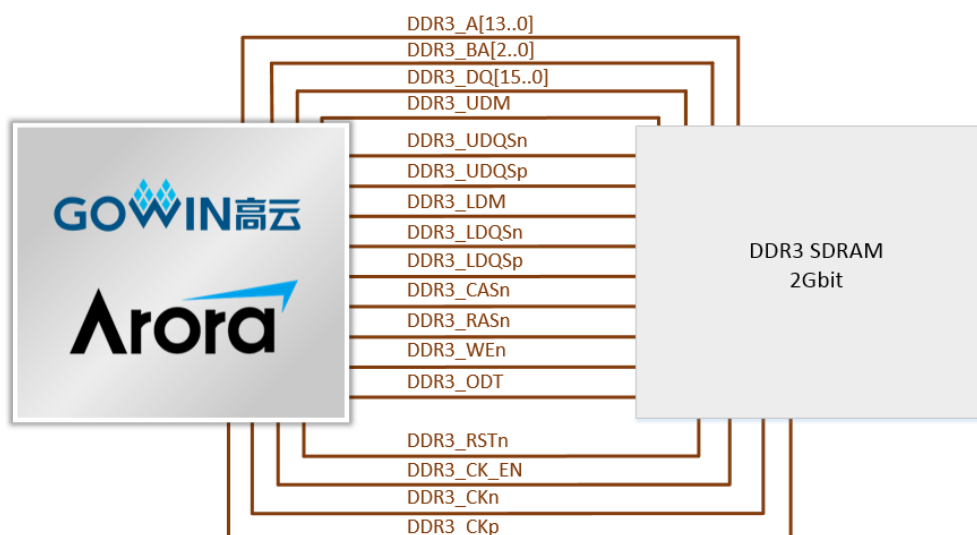
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
CLK_G	M19	2	3.3V	50MHz 有源晶振输入
RST_N	A14	1	2.5V	复位信号, 低有效

3.5 DDR3 模块

3.5.1 介绍

开发板搭载了一颗 DDR3 芯片，存储空间为 2Gbit，16 位数据总线宽度最高数据速率为 1600MT/s。

图 3-4 FPGA 与 DDR3 连接示意图



3.5.2 管脚分配

表 3-4 DDR3 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_A0	G1	7	1.5V	地址
DDR3_A1	U5	6	1.5V	地址
DDR3_A2	G5	7	1.5V	地址
DDR3_A3	F5	7	1.5V	地址
DDR3_A4	V3	6	1.5V	地址
DDR3_A5	G2	7	1.5V	地址
DDR3_A6	AA22	3	1.5V	地址
DDR3_A7	H5	7	1.5V	地址
DDR3_A8	AB22	3	1.5V	地址
DDR3_A9	J4	7	1.5V	地址
DDR3_A10	R5	6	1.5V	地址
DDR3_A11	AA21	3	1.5V	地址
DDR3_A12	T5	6	1.5V	地址

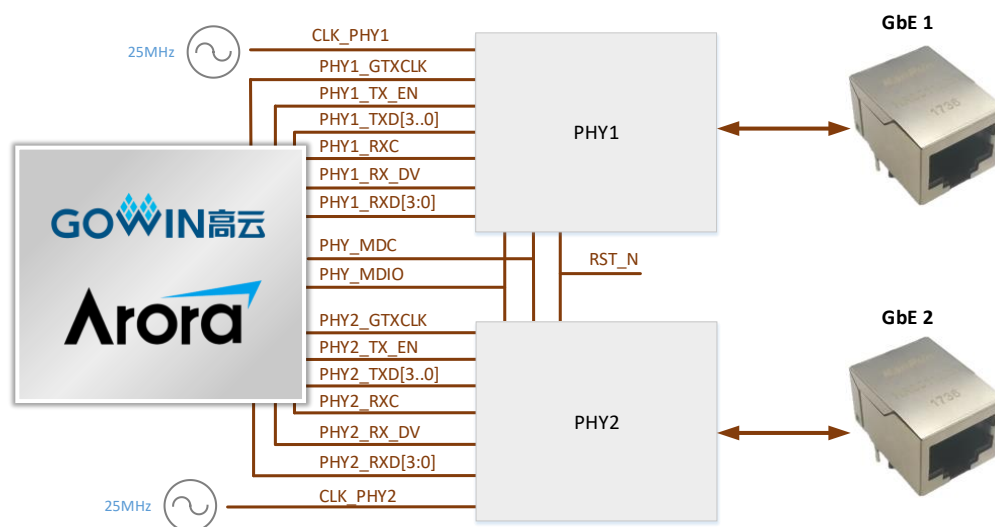
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_A13	AA1	6	1.5V	地址
DDR3_BA0	F4	7	1.5V	Bank 地址
DDR3_BA1	U4	6	1.5V	Bank 地址
DDR3_BA2	F3	7	1.5V	Bank 地址
DDR3_CASn	C3	7	1.5V	列地址选通
DDR3_CK_EN	E3	7	1.5V	时钟使能
DDR3_CK _n	R22	3	1.5V	差分时钟
DDR3_CK _p	P22	3	1.5V	差分时钟
DDR3_DQ0	M5	6	1.5V	数据
DDR3_DQ1	T3	6	1.5V	数据
DDR3_DQ2	M3	6	1.5V	数据
DDR3_DQ3	T2	6	1.5V	数据
DDR3_DQ4	Y1	6	1.5V	数据
DDR3_DQ5	U1	6	1.5V	数据
DDR3_DQ6	N3	6	1.5V	数据
DDR3_DQ7	V1	6	1.5V	数据
DDR3_DQ8	T1	7	1.5V	数据
DDR3_DQ9	K3	7	1.5V	数据
DDR3_DQ10	P1	7	1.5V	数据
DDR3_DQ11	J1	7	1.5V	数据
DDR3_DQ12	L5	7	1.5V	数据
DDR3_DQ13	H3	7	1.5V	数据
DDR3_DQ14	M1	7	1.5V	数据
DDR3_DQ15	H1	7	1.5V	数据
DDR3_LDM	R3	6	1.5V	数据输入屏蔽
DDR3_LDQ _{Sn}	R4	6	1.5V	数据选通
DDR3_LDQ _{Sp}	P4	6	1.5V	数据选通
DDR3_ODT	B2	7	1.5V	片上终端使能
DDR3_RASn	D1	7	1.5V	行地址选通
DDR3_RSTn	W4	6	1.5V	复位
DDR3_UDM	K4	7	1.5V	数据输入屏蔽
DDR3_UDQ _{Sn}	L1	7	1.5V	数据选通
DDR3_UDQ _{Sp}	L2	7	1.5V	数据选通
DDR3_WEn	C1	7	1.5V	写使能

3.6 以太网

3.6.1 介绍

开发板上带有 2 路以太网电路，支持千兆模式，可为用于 LED 显示应用的用户提供测试硬件环境，进行以太网数据传输。与其他设备连接接口为 RJ45，内部集成变压器。连接示意图如下：

图 3-5 FPGA 与以太网模块连接示意图



3.6.2 管脚分配

表 3-5 以太网模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
PHY_MDC	H19	2	3.3V	管理通道时钟
PHY_MDIO	J18	2	3.3V	管理通道数据
PHY1_GTCLK	H21	2	3.3V	PHY1 发送时钟
PHY1_TXD0	H22	2	3.3V	PHY1 发送数据通道 0
PHY1_TXD1	G21	2	3.3V	PHY1 发送数据通道 1
PHY1_TXD2	G22	2	3.3V	PHY1 发送数据通道 2
PHY1_TXD3	F21	2	3.3V	PHY1 发送数据通道 3
PHY1_TX_EN	F22	2	3.3V	PHY1 发送数据使能
PHY1_RXC	E22	2	3.3V	PHY1 接收时钟
PHY1_RXD0	D22	2	3.3V	PHY1 接收数据通道 0
PHY1_RXD1	D20	2	3.3V	PHY1 接收数据通道 1
PHY1_RXD2	C22	2	3.3V	PHY1 接收数据通道 2
PHY1_RXD3	B21	2	3.3V	PHY1 接收数据通道 3

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
PHY1_RX_DV	B20	2	3.3V	PHY1 接收数据使能
PHY2_GTCLK	N19	2	3.3V	PHY2 发送时钟
PHY2_TXD0	M21	2	3.3V	PHY2 发送数据通道 0
PHY2_TXD1	L21	2	3.3V	PHY2 发送数据通道 1
PHY2_TXD2	L22	2	3.3V	PHY2 发送数据通道 2
PHY2_TXD3	K22	2	3.3V	PHY2 发送数据通道 3
PHY2_TX_EN	J22	2	3.3V	PHY2 发送数据使能
PHY2_RXC	L20	2	3.3V	PHY2 接收时钟
PHY2_RXD0	K20	2	3.3V	PHY2 接收数据通道 0
PHY2_RXD1	L19	2	3.3V	PHY2 接收数据通道 1
PHY2_RXD2	J20	2	3.3V	PHY2 接收数据通道 2
PHY2_RXD3	K19	2	3.3V	PHY2 接收数据通道 3
PHY2_RX_DV	K18	2	3.3V	PHY2 接收数据使能

3.7 LVDS 接口

3.7.1 介绍

LVDS 接口为 4 个 2.00mm 间距的 20pin 插针，其中两个发送接口，两个接收接口，每个接口包含 5 对差分信号，这些接口也可用作 GPIO，BANK 电压 3.3V、2.5V、1.8V 可调。使用 LVDS 功能时，需要将 J13 设置为 2.5V。

图 3-6 LVDS TX 接口示意图

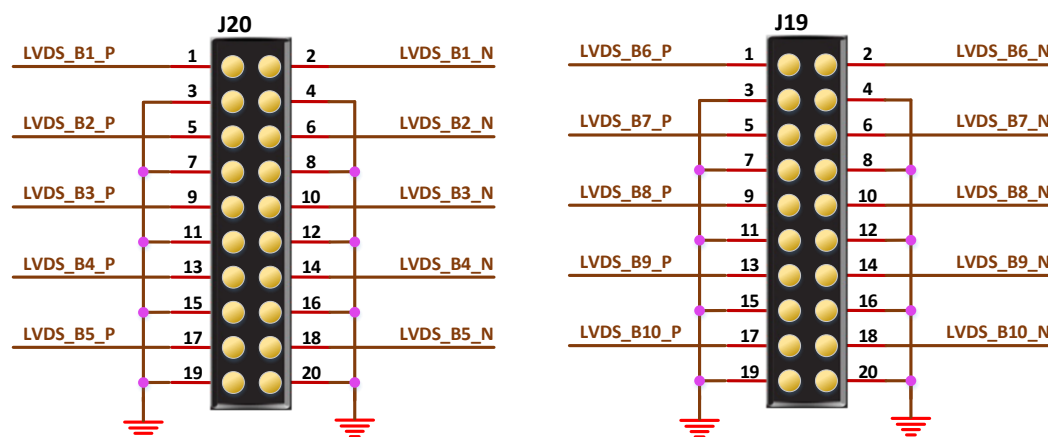
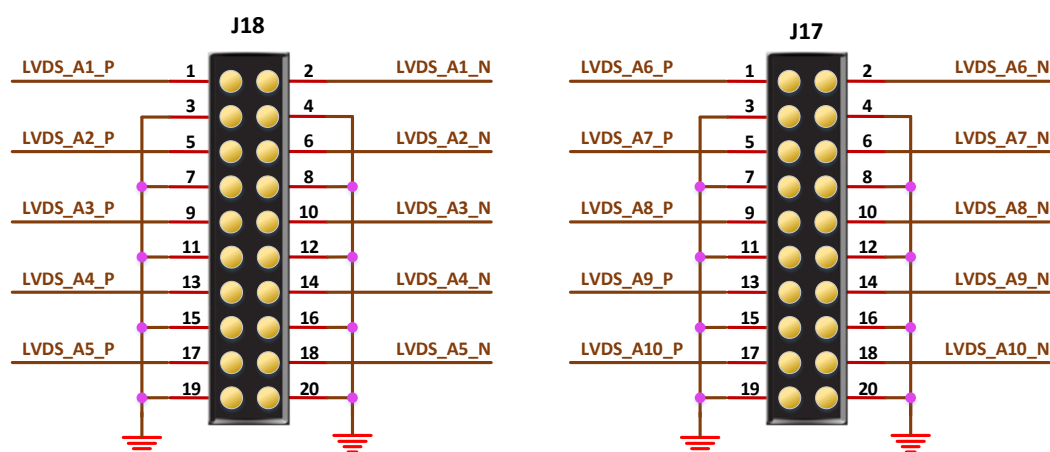


图 3-7 LVDS RX 接口示意图



3.7.2 管脚分配

表 3-6 LVDS TX1 接口管脚分配

接口引脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	LVDS_B1_P	V16	4	2.5V	差分通道 1+
2	LVDS_B1_N	U16	4	2.5V	差分通道 1-
5	LVDS_B2_P	V17	4	2.5V	差分通道 2+
6	LVDS_B2_N	V18	4	2.5V	差分通道 2-
9	LVDS_B3_P	Y19	4	2.5V	差分通道 3+
10	LVDS_B3_N	Y18	4	2.5V	差分通道 3-
13	LVDS_B4_P	AA17	4	2.5V	差分通道 4+
14	LVDS_B4_N	Y17	4	2.5V	差分通道 4-
17	LVDS_B5_P	AB16	4	2.5V	差分通道 5+
18	LVDS_B5_N	AA16	4	2.5V	差分通道 5-

表 3-7 LVDS TX2 接口管脚分配

接口引脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	LVDS_B6_P	AB15	4	2.5V	差分通道 6+
2	LVDS_B6_N	AA15	4	2.5V	差分通道 6-
5	LVDS_B7_P	Y16	4	2.5V	差分通道 7+
6	LVDS_B7_N	W16	4	2.5V	差分通道 7-
9	LVDS_B8_P	V14	4	2.5V	差分通道 8+
10	LVDS_B8_N	V15	4	2.5V	差分通道 8-
13	LVDS_B9_P	AB12	4	2.5V	差分通道 9+
14	LVDS_B9_N	AA12	4	2.5V	差分通道 9-

接口引脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
17	LVDS_B10_P	W12	4	2.5V	差分通道 10+
18	LVDS_B10_N	W13	4	2.5V	差分通道 10-

表 3-8 LVDS RX1 接口管脚分配

接口引脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	LVDS_A1_P	W19	4	2.5V	差分通道 1+
2	LVDS_A1_N	V19	4	2.5V	差分通道 1-
5	LVDS_A2_P	W17	4	2.5V	差分通道 2+
6	LVDS_A2_N	W18	4	2.5V	差分通道 2-
9	LVDS_A3_P	AB19	4	2.5V	差分通道 3+
10	LVDS_A3_N	AB20	4	2.5V	差分通道 3-
13	LVDS_A4_P	AA20	4	2.5V	差分通道 4+
14	LVDS_A4_N	Y20	4	2.5V	差分通道 4-
17	LVDS_A5_P	AB17	4	2.5V	差分通道 5+
18	LVDS_A5_N	AB18	4	2.5V	差分通道 5-

表 3-9 LVDS RX2 接口管脚分配

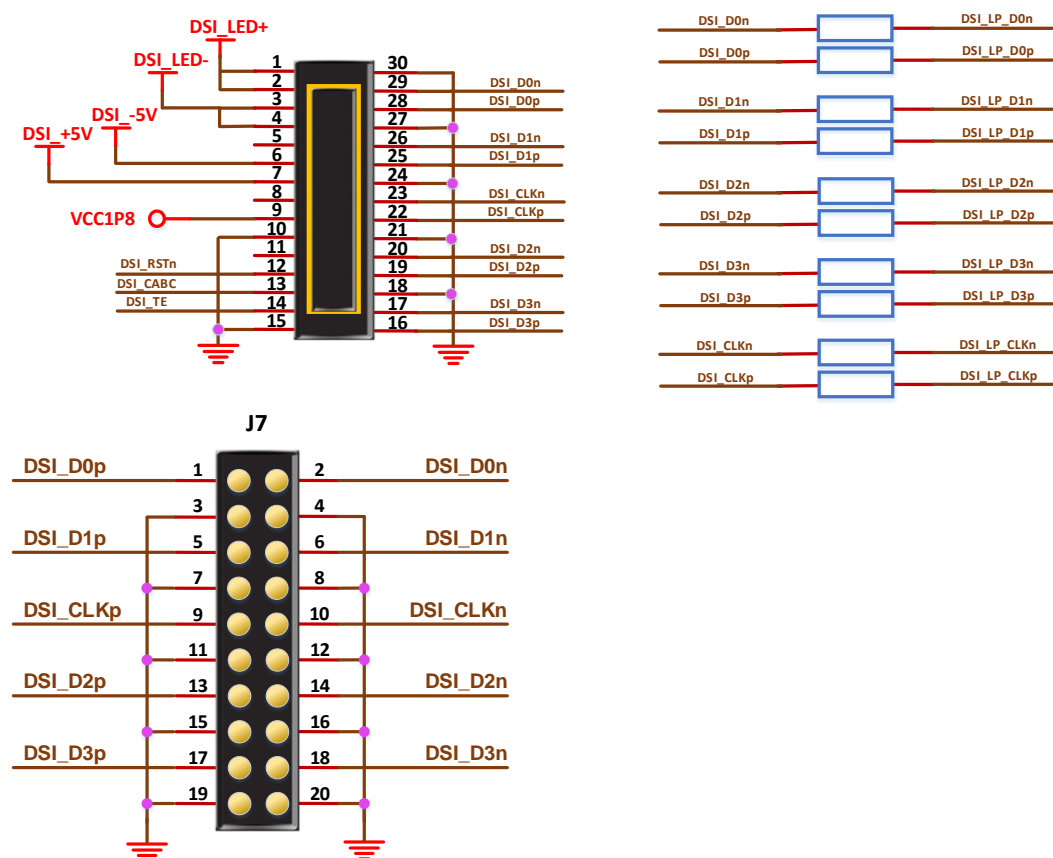
接口引脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	LVDS_A6_P	Y14	4	2.5V	差分通道 6+
2	LVDS_A6_N	Y15	4	2.5V	差分通道 6-
5	LVDS_A7_P	W14	4	2.5V	差分通道 7+
6	LVDS_A7_N	W15	4	2.5V	差分通道 7-
9	LVDS_A8_P	AB13	4	2.5V	差分通道 8+
10	LVDS_A8_N	AB14	4	2.5V	差分通道 8-
13	LVDS_A9_P	Y12	4	2.5V	差分通道 9+
14	LVDS_A9_N	Y13	4	2.5V	差分通道 9-
17	LVDS_A10_P	V12	4	2.5V	差分通道 10+
18	LVDS_A10_N	V13	4	2.5V	差分通道 10-

3.8 MIPI DSI

3.8.1 介绍

DSI 接口采用 30 触点的堆叠板连接器，引出 5 对差分，包括 1 路时钟、4 路数据，与 TXD 的 T550UZPA-75 手机屏接口对应。同时将 5 个 lane 的 DSI 信号引到 20pin 2.00mm 间距的双排插针。

图 3-8 MIPI DSI 模块连接示意图



3.8.2 管脚分配

表 3-10 MIPI DSI 卡模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DSI_D0n	B22	1	2.5V	HS 差分数据 0-
DSI_D0p	A22	1	2.5V	HS 差分数据 0+
DSI_D1n	C19	1	2.5V	HS 差分数据 1-
DSI_D1p	C18	1	2.5V	HS 差分数据 1+
DSI_CLKn	A19	1	2.5V	HS 差分时钟-
DSI_CLKp	A18	1	2.5V	HS 差分时钟+
DSI_D2n	B17	1	2.5V	HS 差分数据 2-

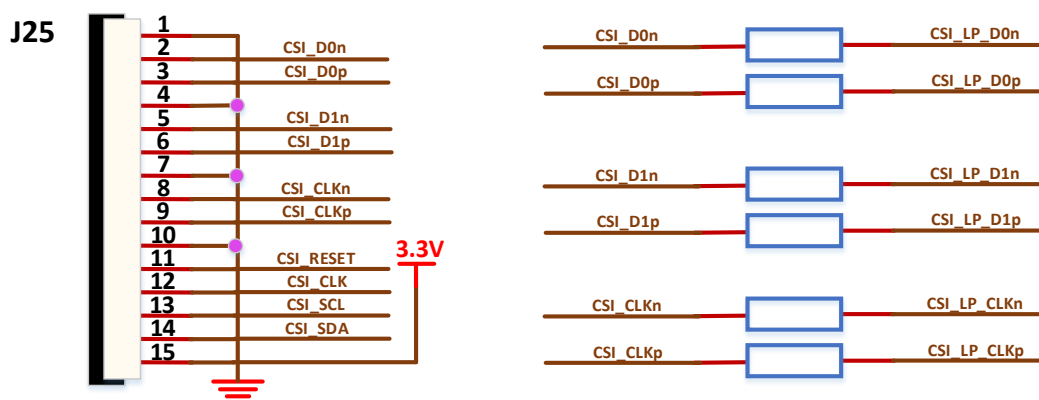
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DSI_D2p	A17	1	2.5V	HS 差分数据 2+
DSI_D3n	B15	1	2.5V	HS 差分数据 3-
DSI_D3p	A15	1	2.5V	HS 差分数据 3+
DSI_LP_D0n	C7	0	1.2V	LP 单端数据 0
DSI_LP_D0p	A7	0	1.2V	LP 单端数据 0
DSI_LP_D1n	A6	0	1.2V	LP 单端数据 1
DSI_LP_D1p	B7	0	1.2V	LP 单端数据 1
DSI_LP_CLKn	B6	0	1.2V	LP 单端时钟
DSI_LP_CLKp	D7	0	1.2V	LP 单端时钟
DSI_LP_D2n	D6	0	1.2V	LP 单端数据 2
DSI_LP_D2p	C6	0	1.2V	LP 单端数据 2
DSI_LP_D3n	A4	0	1.2V	LP 单端数据 3
DSI_LP_D3p	A5	0	1.2V	LP 单端数据 3
DSI_RSTn	A16	1	2.5V	复位信号
DSI_CABC	B16	1	2.5V	背光控制信号
DSI_TE	D16	1	2.5V	撕裂效果输出信号

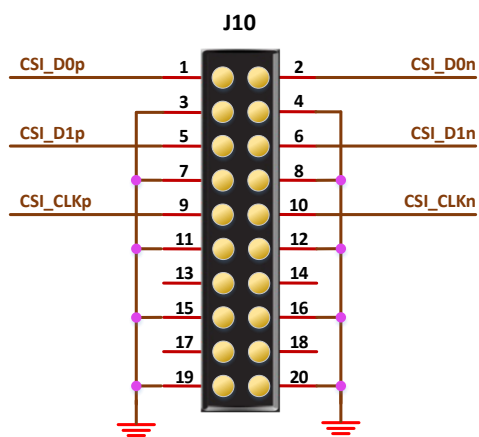
3.9 MIPI CSI

3.9.1 介绍

MIPI CSI 接口采用 15pin、1mm 间距的 FPC 连接器，接口包括 3 对差分，其中 1 路时钟、2 路数据。3 个 lane 的差分信号同时引到 20pin 2.00mm 间距的双排插针，连接示意图如下：

图 3-9 MIPI CSI 模块连接示意图





3.9.2 管脚分配

表 3-11 MIPI CSI 卡模块管脚分配

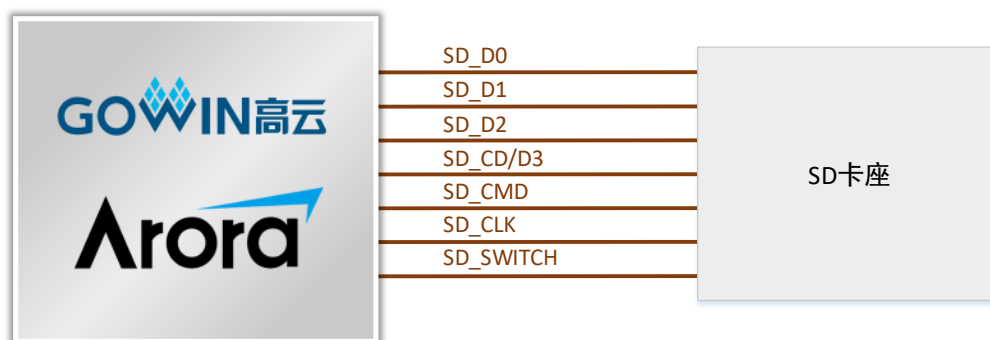
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
CSI_D0n	C15	1	2.5V	HS 差分数据 0-
CSI_D0p	C14	1	2.5V	HS 差分数据 0+
CSI_D1n	E13	1	2.5V	HS 差分数据 1-
CSI_D1p	E12	1	2.5V	HS 差分数据 1+
CSI_CLKn	D12	1	2.5V	HS 差分时钟-
CSI_CLKp	D11	1	2.5V	HS 差分时钟+
CSI_LP_D0n	A2	0	1.2V	LP 单端数据 0
CSI_LP_D0p	A3	0	1.2V	LP 单端数据 0
CSI_LP_D1n	A1	0	1.2V	LP 单端数据 1
CSI_LP_D1p	B1	0	1.2V	LP 单端数据 1
CSI_LP_CLKn	C4	0	1.2V	LP 单端时钟
CSI_LP_CLKp	C5	0	1.2V	LP 单端时钟
CSI_RESET	C21	2	3.3V	复位信号
CSI_CLK	C20	2	3.3V	时钟
CSI_SCL	D19	2	3.3V	I2C 信号
CSI_SDA	G17	2	3.3V	I2C 信号

3.10 SD 卡模块

3.10.1 介绍

开发板上的 SD 卡座为 8 触点推-推式，带卡插入检测，连接示意图如下：

图 3-10 SD 卡模块连接示意图



3.10.2 管脚分配

表 3-12 SD 卡模块管脚分配

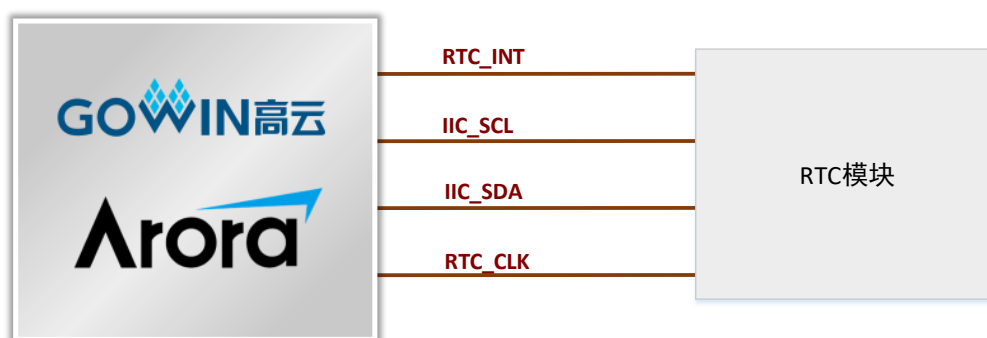
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SD_D0	W5	5	3.3V	数据位 0
SD_D1	U6	5	3.3V	数据位 1
SD_D2	Y6	5	3.3V	数据位 2
SD_CD/D3	U7	5	3.3V	卡检测/数据位 3
SD_CMD	W6	5	3.3V	命令/回复
SD_CLK	V6	5	3.3V	时钟
SD_SWITCH	Y22	3	1.5V	插入检测

3.11 RTC 模块

3.11.1 介绍

实时时钟模块外接 32.768kHz 的石英晶体，可利用开发板电源和纽扣电池双电源供电，与 FPGA 通信接口为 I2C，连接示意图如下：

图 3-11 RTC 模块连接示意图



3.11.2 管脚分配

表 3-13 RTC 卡模块管脚分配

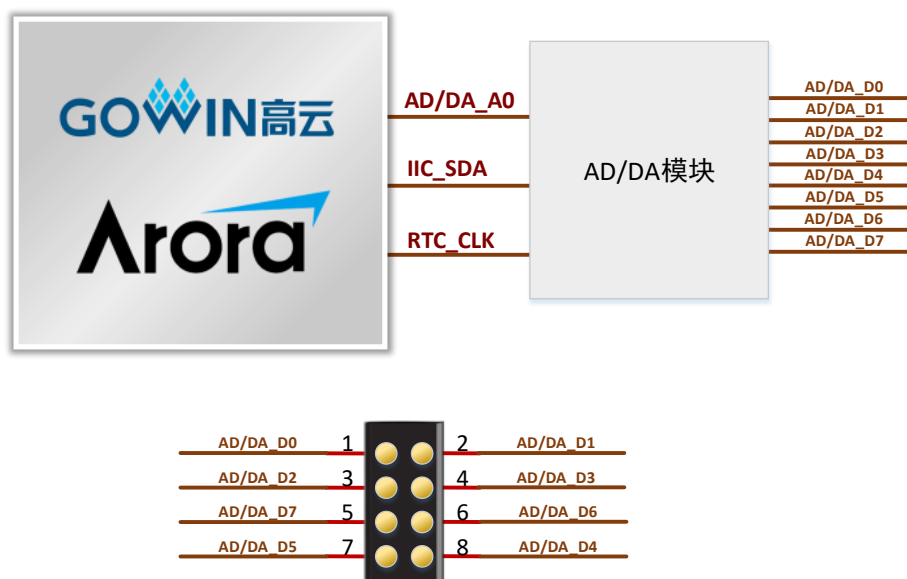
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
RTC_CLK	D13	1	2.5V	时钟信号
RTC_INT	D14	1	2.5V	中断信号
IIC_SCL	A13	1	2.5V	I2C 信号
IIC_SDA	C13	1	2.5V	I2C 信号

3.12 AD/DA 模块

3.12.1 介绍

AD/DA 模块采用的芯片是一个 12 位 A/D 和 D/A 转换器，可配置的 8 通道接口，可配置为 ADC/DAC/GPIO 任意组合，与 RTC 模块共用 I2C 总线。对外的输入输出接口采用 8pin 插针，连接示意图如下：

图 3-12 AD/DA 模块连接示意图



3.12.2 管脚分配

表 3-14 AD/DA 模块管脚分配

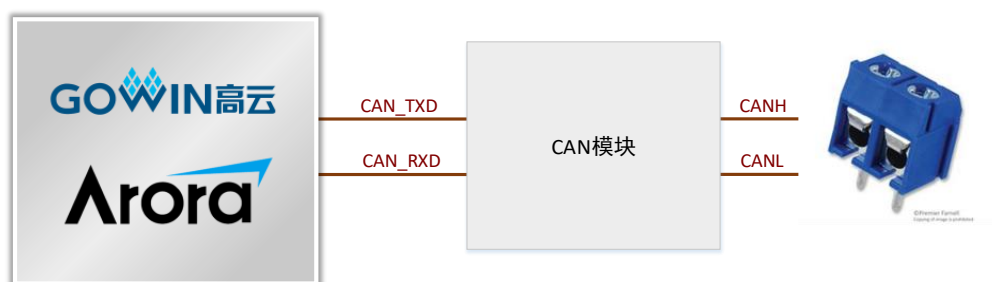
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
AD/DA_A0	E14	1	2.5V	地址输入
IIC_SCL	A13	1	2.5V	I2C 信号
IIC_SDA	C13	1	2.5V	I2C 信号

3.13 CAN 模块

3.13.1 介绍

FPGA 与收发器通过 UART 接口通信，最大传输速率为 1Mbps，连接示意图如下：

图 3-13 CAN 模块连接示意图



3.13.2 管脚分配

表 3-15 CAN 模块管脚分配

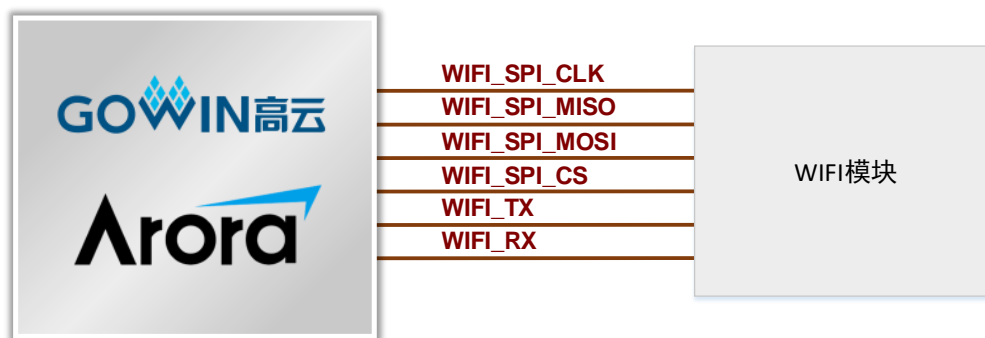
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
CAN_TXD	C11	1	2.5V	发送数据
CAN_RXD	C12	1	2.5V	接收数据

3.14 WIFI 模块

3.14.1 介绍

WIFI 模块支持 SPI 和 UART 接口，SPI 通信速率为 20Mbps，连接示意图如下：

图 3-14 WIFI 模块连接示意图



3.14.2 管脚分配

表 3-16 WIFI 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
WIFI_SPI_CLK	D9	0	1.2V	SPI 时钟
WIFI_SPI_MISO	A10	0	1.2V	SPI 数据
WIFI_SPI_MOSI	B8	0	1.2V	SPI 数据
WIFI_SPI_CS	C8	0	1.2V	SPI 片选
WIFI_TX	D8	0	1.2V	UART 发送
WIFI_RX	A9	0	1.2V	UART 接收

3.15 GPIO

3.15.1 介绍

为了方便用户测试，在开发板上预留 2 个 2.54mm 间距的双列插针，共引出了 34 个 GPIO。其中 40pin 接口连接到了 Bank5, I/O 电平为 3.3V, 20pin 接口与 40pin 接口的 GPIO 复用，如下图所示。

图 3-15 40pin 接口示意图

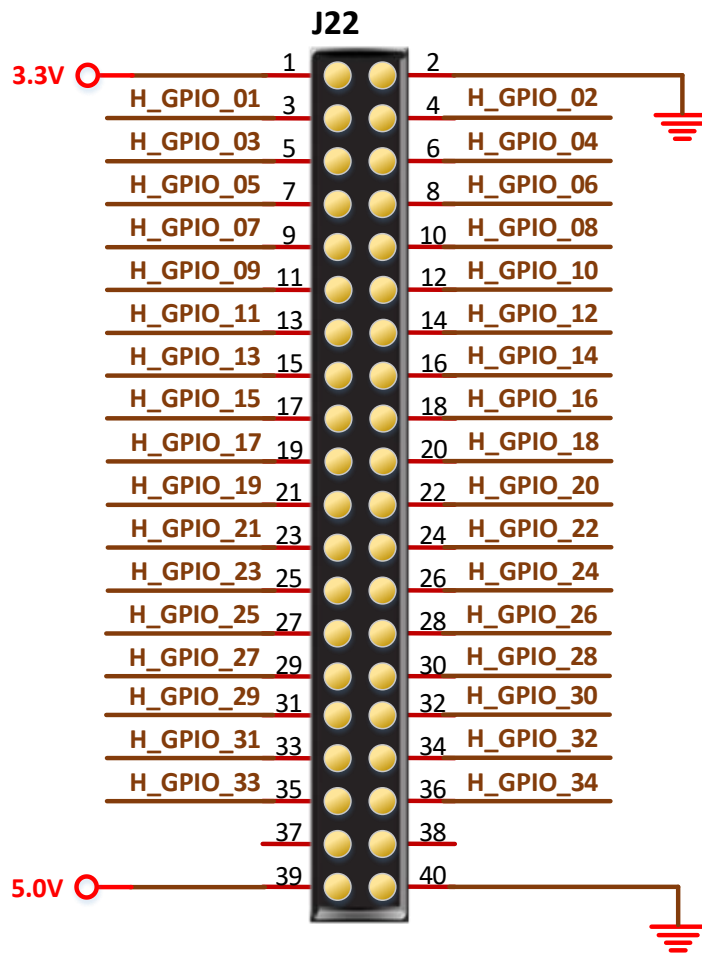
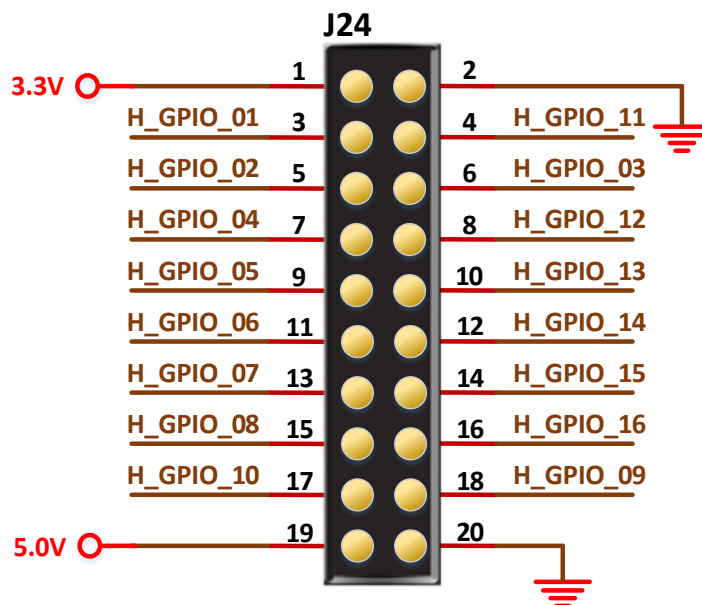


图 3-16 20pin 接口示意图



3.15.2 管脚分配

表 3-17 40pin 接口管脚分配

接口引脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
3	H_GPIO_01	AA11	5	3.3V	通用 I/O
4	H_GPIO_02	V11	5	3.3V	通用 I/O
5	H_GPIO_03	AB11	5	3.3V	通用 I/O
6	H_GPIO_04	V9	5	3.3V	通用 I/O
7	H_GPIO_05	Y11	5	3.3V	通用 I/O
8	H_GPIO_06	Y3	5	3.3V	通用 I/O
9	H_GPIO_07	V10	5	3.3V	通用 I/O
10	H_GPIO_08	W11	5	3.3V	通用 I/O
11	H_GPIO_09	W10	5	3.3V	通用 I/O
12	H_GPIO_10	Y10	5	3.3V	通用 I/O
13	H_GPIO_11	W9	5	3.3V	通用 I/O
14	H_GPIO_12	Y8	5	3.3V	通用 I/O
15	H_GPIO_13	Y9	5	3.3V	通用 I/O
16	H_GPIO_14	AB10	5	3.3V	通用 I/O
17	H_GPIO_15	V7	5	3.3V	通用 I/O
18	H_GPIO_16	AB9	5	3.3V	通用 I/O
19	H_GPIO_17	Y7	5	3.3V	通用 I/O
20	H_GPIO_18	AA8	5	3.3V	通用 I/O
21	H_GPIO_19	W7	5	3.3V	通用 I/O
22	H_GPIO_20	AB8	5	3.3V	通用 I/O
23	H_GPIO_21	V8	5	3.3V	通用 I/O
24	H_GPIO_22	W8	5	3.3V	通用 I/O
25	H_GPIO_23	AB7	5	3.3V	通用 I/O
26	H_GPIO_24	AA7	5	3.3V	通用 I/O
27	H_GPIO_25	AB6	5	3.3V	通用 I/O
28	H_GPIO_26	AA6	5	3.3V	通用 I/O
29	H_GPIO_27	Y5	5	3.3V	通用 I/O
30	H_GPIO_28	AB5	5	3.3V	通用 I/O
31	H_GPIO_29	AB4	5	3.3V	通用 I/O
32	H_GPIO_30	Y4	5	3.3V	通用 I/O
33	H_GPIO_31	AB3	5	3.3V	通用 I/O
34	H_GPIO_32	AA3	5	3.3V	通用 I/O
35	H_GPIO_33	AB2	5	3.3V	通用 I/O
36	H_GPIO_34	AB1	5	3.3V	通用 I/O

表 3-18 20pin 接口管脚分配

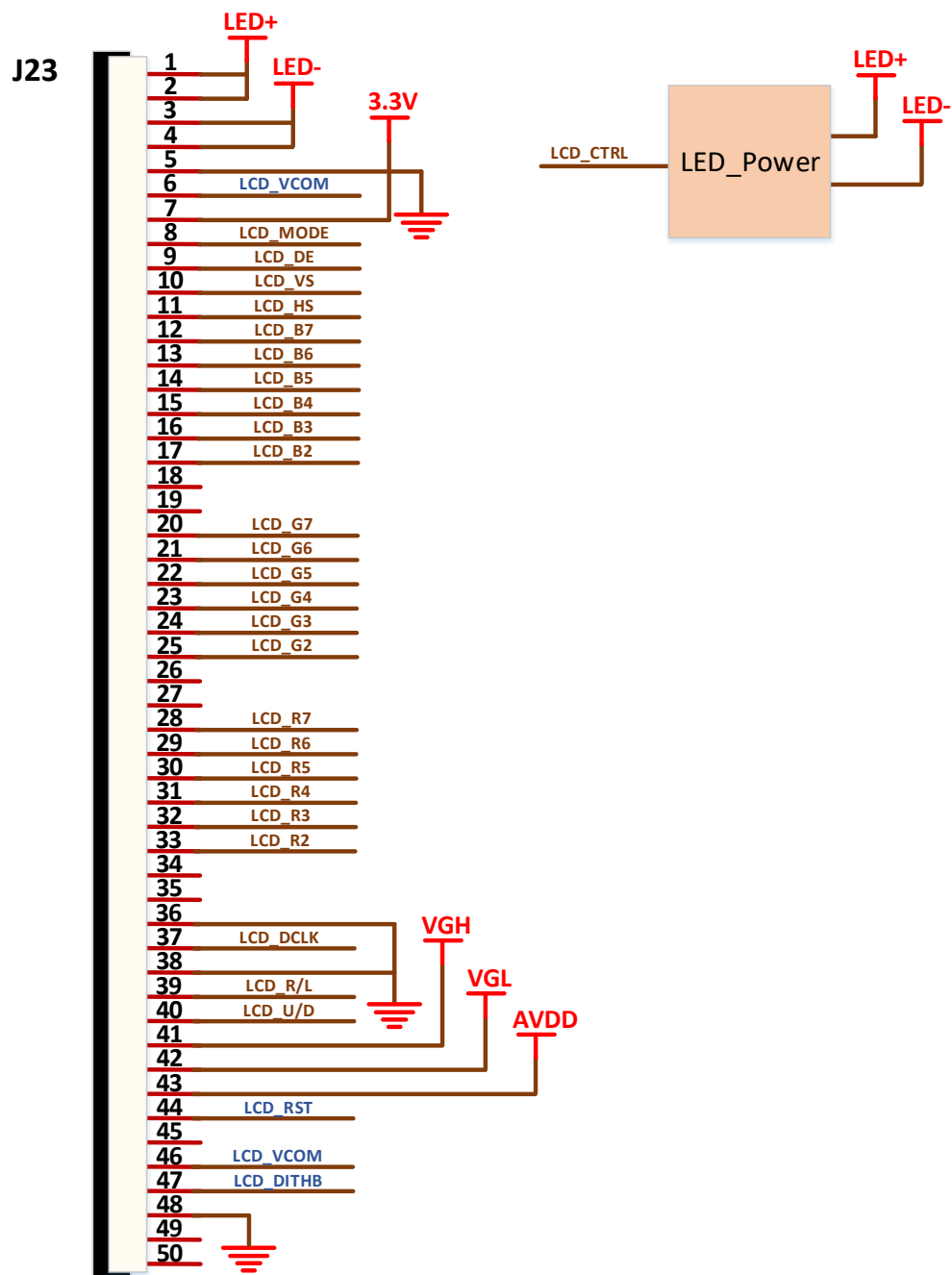
接口引脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
3	H_GPIO_01	AA11	5	3.3V	通用 I/O
4	H_GPIO_11	W9	5	3.3V	通用 I/O
5	H_GPIO_02	V11	5	3.3V	通用 I/O
6	H_GPIO_03	AB11	5	3.3V	通用 I/O
7	H_GPIO_04	V9	5	3.3V	通用 I/O
8	H_GPIO_12	Y8	5	3.3V	通用 I/O
9	H_GPIO_05	Y11	5	3.3V	通用 I/O
10	H_GPIO_13	Y9	5	3.3V	通用 I/O
11	H_GPIO_06	Y3	5	3.3V	通用 I/O
12	H_GPIO_14	AB10	5	3.3V	通用 I/O
13	H_GPIO_07	V10	5	3.3V	通用 I/O
14	H_GPIO_15	V7	5	3.3V	通用 I/O
15	H_GPIO_08	W11	5	3.3V	通用 I/O
16	H_GPIO_16	AB9	5	3.3V	通用 I/O
17	H_GPIO_10	Y10	5	3.3V	通用 I/O
18	H_GPIO_09	W10	5	3.3V	通用 I/O

3.16 工业屏接口

3.16.1 介绍

此接口采用 50pin、0.5mm 间距的 FPC 连接器，引脚定义符合 AT070TN92 型号的工业屏，所有 I/O 口与 40PIN 的插针复用 FPGA 的 GPIO。

图 3-17 50pin FPC 接口示意图



3.16.2 管脚分配

表 3-19 50pin FPC 接口管脚分配

接口引脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
8	LCD_MODE	W10	5	3.3V	DE/SYNC 模式选择
9	LCD_DE	Y8	5	3.3V	数据输入使能
10	LCD_VS	W9	5	3.3V	列同步信号

接口引脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
11	LCD_HS	AB10	5	3.3V	行同步信号
12	LCD_B7	Y9	5	3.3V	蓝色数据 bit7
13	LCD_B6	AB9	5	3.3V	蓝色数据 bit6
14	LCD_B5	V7	5	3.3V	蓝色数据 bit5
15	LCD_B4	AA8	5	3.3V	蓝色数据 bit4
16	LCD_B3	Y7	5	3.3V	蓝色数据 bit3
17	LCD_B2	W8	5	3.3V	蓝色数据 bit2
20	LCD_G7	V8	5	3.3V	绿色数据 bit7
21	LCD_G6	AB8	5	3.3V	绿色数据 bit6
22	LCD_G5	W7	5	3.3V	绿色数据 bit5
23	LCD_G4	AA7	5	3.3V	绿色数据 bit4
24	LCD_G3	AB7	5	3.3V	绿色数据 bit3
25	LCD_G2	AA6	5	3.3V	绿色数据 bit2
28	LCD_R7	AB6	5	3.3V	红色数据 bit7
29	LCD_R6	AB5	5	3.3V	红色数据 bit6
30	LCD_R5	Y5	5	3.3V	红色数据 bit5
31	LCD_R4	Y4	5	3.3V	红色数据 bit4
32	LCD_R3	AB4	5	3.3V	红色数据 bit3
33	LCD_R2	AB1	5	3.3V	红色数据 bit2
37	LCD_DCLK	AB2	5	3.3V	采样时钟
39	LCD_R/L	AA3	5	3.3V	左右选择
40	LCD_U/D	AB3	5	3.3V	上下选择

表 3-20 LCD 屏亮度控制管脚分配

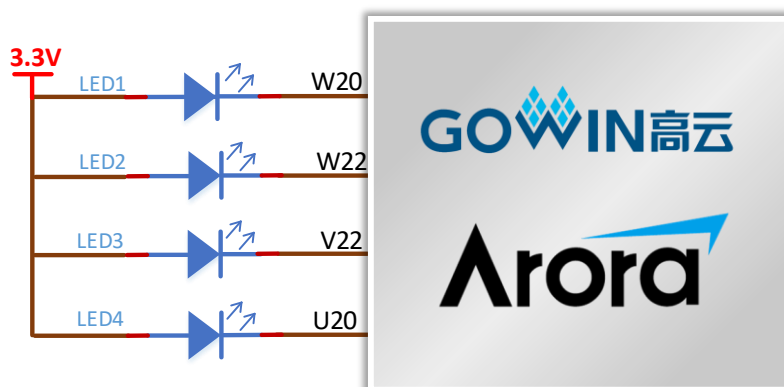
电源芯片引脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
4	LCD_CTR	A12	0	1.2V	LCD 屏亮度控制

3.17 LED 模块

3.17.1 介绍

开发板中有4个蓝色LED灯,用户可用LED灯来显示所需状态。当FPGA对应管脚输出信号为低电平时,LED被点亮;当输出信号为高电平时,LED熄灭。连接示意图如图3-18所示。

图 3-18 LED 连接示意图



3.17.2 管脚分配

表 3-21 LED 指示灯管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
LED1	W20	3	1.5V	LED 指示灯 1
LED2	W22	3	1.5V	LED 指示灯 2
LED3	V22	3	1.5V	LED 指示灯 3
LED4	U20	3	1.5V	LED 指示灯 4

注!

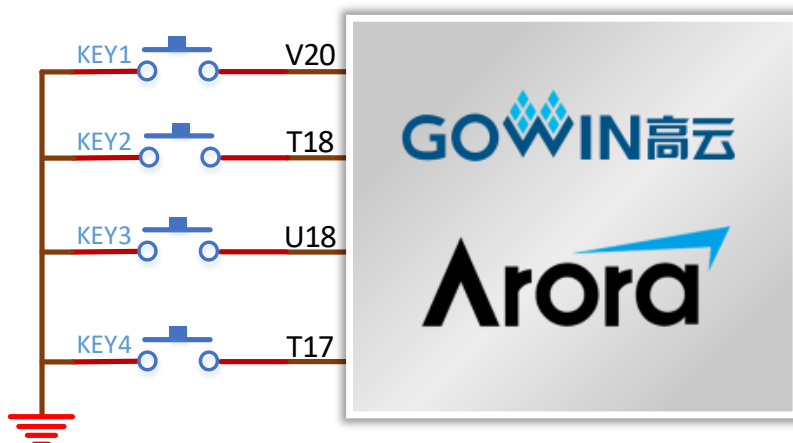
需要将 SSPI 复用做 GPIO。

3.18 按键模块

3.18.1 介绍

开发板中有 4 个按键开关,可用于测试过程中的控制输入。按键按下时,输入低电平,连接示意图如图 3-19 所示。

图 3-19 按键电路



3.18.2 管脚分配

表 3-22 按键模块管脚分配

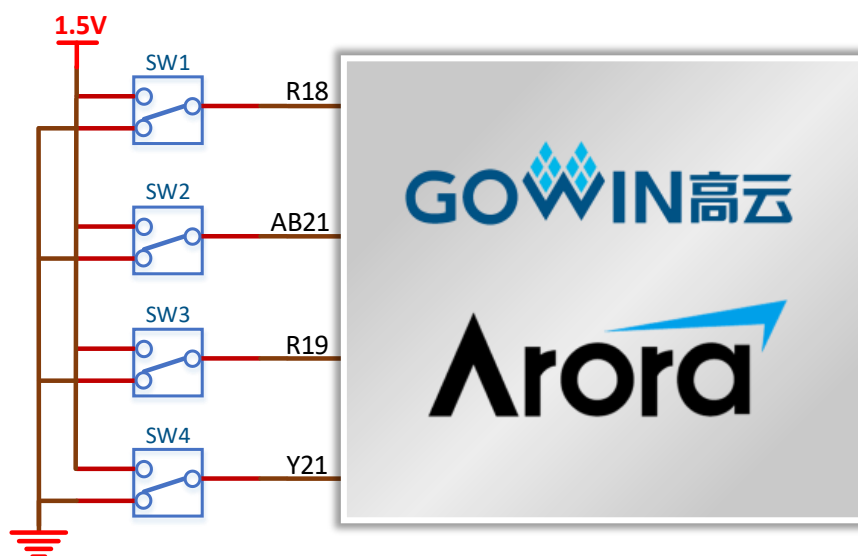
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
KEY1	V20	3	1.5V	按键 1
KEY2	T18	3	1.5V	按键 2
KEY3	U18	3	1.5V	按键 3
KEY4	T17	3	1.5V	按键 4

3.19 开关模块

3.19.1 介绍

开发板中有 4 个滑动开关，可用于测试过程中的控制输入，连接示意图如下。

图 3-20 开关电路



3.19.2 管脚分配

表 3-23 开关模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SW1	R18	3	1.5V	滑动开关 1
SW2	AB21	3	1.5V	滑动开关 2
SW3	R19	3	1.5V	滑动开关 3
SW4	Y21	3	1.5V	滑动开关 4

