



DK\_USB2.0\_GW2AR-LV18QN88PC8I7\_GW  
1NSR-LV4CMG64PC7I6\_V3.0

## 用户手册

DBUG408-1.0.3, 2024-02-02

**版权所有 © 2024 广东高云半导体科技股份有限公司**

**GOWIN高云**、**Gowin**以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

## 版本信息

日期	版本	说明
2022/07/15	1.0	初始版本。
2023/11/02	1.0.1	更新“2 开发板简介”的“图 2-4 系统框图”。
2023/11/10	1.0.2	更新“3.7 LED 模块”的“图 3-5 LED 连接示意图”。
2024/02/02	1.0.3	优化“2.1 概述”的描述。

# 目录

目录 .....	i
图目录 .....	iii
表目录 .....	iv
<b>1 关于本手册 .....</b>	<b>iv</b>
1.1 手册内容 .....	1
1.2 相关文档 .....	1
1.3 术语、缩略语 .....	1
1.4 技术支持与反馈 .....	2
<b>2 开发板简介 .....</b>	<b>3</b>
2.1 概述 .....	3
2.2 开发板套件 .....	4
2.3 PCB 组件 .....	5
2.4 系统框图 .....	5
2.5 特性 .....	6
<b>3 开发板电路 .....</b>	<b>7</b>
3.1 FPGA 模块 .....	7
3.2 下载模块 .....	7
3.2.1 介绍 .....	7
3.2.2 管脚分配 .....	8
3.3 电源 .....	9
3.3.1 介绍 .....	9
3.4 时钟、复位 .....	9
3.4.1 介绍 .....	9
3.4.2 管脚分配 .....	10
3.5 USB2.0 接口 .....	10

---

3.5.1 介绍.....	10
3.5.2 管脚分配.....	11
3.6 GPIO.....	12
3.6.1 介绍.....	12
3.6.2 管脚分配.....	12
3.7 LED 模块.....	13
3.7.1 介绍.....	13
3.7.2 管脚分配.....	14
3.8 按键模块.....	14
3.8.1 介绍.....	14
3.8.2 管脚分配.....	14

# 图目录

图 2-1 DK_USB2.0_GW2AR-LV18QN88PC8I7_GW1NSR-LV4CMG64PC7I6_V3.0 开发板.....	3
图 2-2 开发板套件.....	4
图 2-3 开发板 PCB 组件说明.....	5
图 2-4 系统框图.....	5
图 3-1 FPGA 下载与配置连接示意图.....	8
图 3-2 时钟、复位连接示意图.....	9
图 3-3 FPGA 与 USB2.0 接口连接示意图.....	10
图 3-4 GPIO 连接示意图.....	12
图 3-5 LED 连接示意图.....	13
图 3-6 按键电路.....	14

# 表目录

表 1-1 术语、缩略语.....	1
表 3-1 FPGA-GW2AR-LV18QN88P 下载与配置管脚分配 .....	8
表 3-2 FPGA-GW1NSR-LV4CMG64P 下载与配置管脚分配.....	8
表 3-3 GW1NSR-LV4CMG64P 时钟、复位管脚分配.....	10
表 3-4 GW2AR-LV18QN88P 时钟、复位管脚分配 .....	10
表 3-5 GW1NSR-LV4CMG64P USB2.0 模块管脚分配 .....	11
表 3-6 GW2AR-LV18QN88P USB2.0 模块管脚分配 .....	11
表 3-7 GW1NSR-LV4CMG64P GPIO 指示灯管脚分配 .....	12
表 3-8 GW2AR-LV18QN88P GPIO 指示灯管脚分配.....	13
表 3-9 GW1NSR-LV4CMG64P LED 指示灯管脚分配 .....	14
表 3-10 GW2AR-LV18QN88P LED 指示灯管脚分配.....	14
表 3-11 GW1NSR-LV4CMG64P 按键模块管脚分配.....	14
表 3-12 GW2AR-LV18QN88P 按键模块管脚分配 .....	14

# 1 关于本手册

## 1.1 手册内容

DK\_USB2.0\_GW2AR-LV18QN88PC8I7\_GW1NSR-LV4CMG64PC7I6\_V3.0 开发板（以下简称开发板）用户手册分为三个部分：

1. 简要介绍开发板的功能特点；
2. 介绍开发板的整体系统架构和硬件资源；
3. 介绍开发板各部分硬件电路的功能、电路及管脚分配。

## 1.2 相关文档

通过登录高云半导体网站 [www.gowinsemi.com](http://www.gowinsemi.com) 可以下载、查看以下相关文档：

1. [DS226, GW2AR 系列 FPGA 产品数据手册](#)
2. [UG115, GW2AR-18 器件 Pinout 手册](#)
3. [UG229, GW2AR 系列 FPGA 产品封装与管脚手册](#)
4. [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
5. [UG864, GW1NSR-4 器件 Pinout 手册](#)
6. [UG863, GW1NSR 系列 FPGA 产品封装与管脚手册](#)

## 1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
BSRAM	Block Static Random Access Memory	块状静态随机存储器
DDR	Double-Data-Rate Synchronous Dynamic Random Access Memory	双倍速率同步动态随机存储器



术语、缩略语	全称	含义
DSP	Digital Signal Processing	数字信号处理
FLASH	Flash Memory	非易失存储器
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	General Purpose Input Output	通用输入/输出
LDO	Low Dropout Regulator	低压差线性稳压器
LUT4	4-input Look-up Table	4 输入查找表
LVDS	Low-Voltage Differential Signaling	低电压差分信号
SSRAM	Shadow Static Random Access Memory	分布式静态随机存储器

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com](http://www.gowinsemi.com)

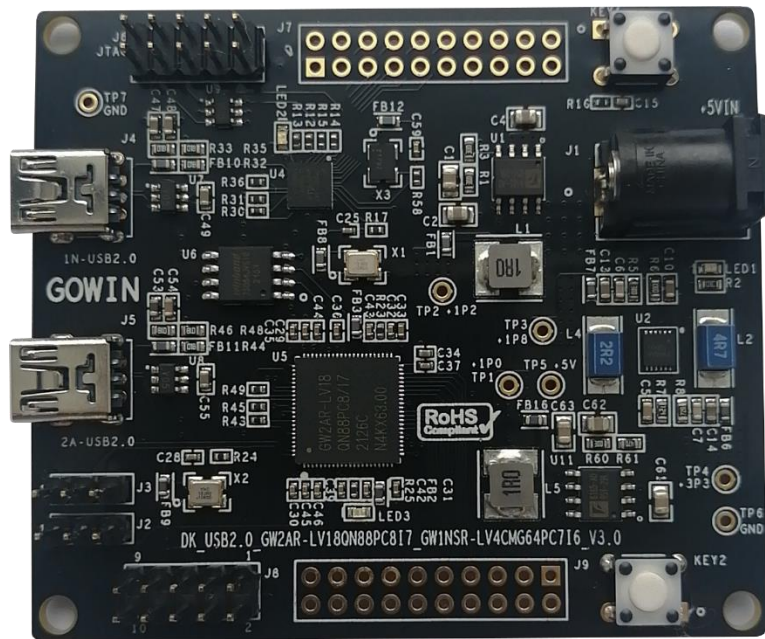
E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 开发板简介

## 2.1 概述

图 2-1 DK\_USB2.0\_GW2AR-LV18QN88PC8I7\_GW1NSR-LV4CMG64PC7I6\_V3.0 开发板



DK\_USB2.0\_GW2AR-LV18QN88PC8I7\_GW1NSR-LV4CMG64PC7I6\_V3.0 开发板适用于 USB2.0 通信、USB 通信测试、4C 和 18K 系列 FPGA 功能评估、硬件可靠性验证及软件学习调试等多种应用需求。

开发板采用高云 GW2AR-LV18QN88P 的 FPGA 器件，该器件为高云 GW2AR 系列 FPGA 产品是高云半导体晨熙®家族第一代产品，是一款系统级封装芯片，在 GW2A 系列基础上集成了丰富容量的 SDRAM 存储芯片，同时具有 GW2A 系列高性能的 DSP 资源，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，这些内嵌的资源搭配精简的 FPGA 架构以及 55nm 工艺使 GW2AR 适用于高速低成本的应用场合。

开发板采用高云 GW1NSR-LV4CMG64P 的 FPGA 器件，该器件为高云

半导体 GW1NSR 系列产品是高云半导体小蜜蜂®(LittleBee®)家族第一代可编辑逻辑器件产品，是一款系统级封装芯片，内部集成了 GW1NS 系列可编辑逻辑器件产品和 PSRAM 存储芯片。

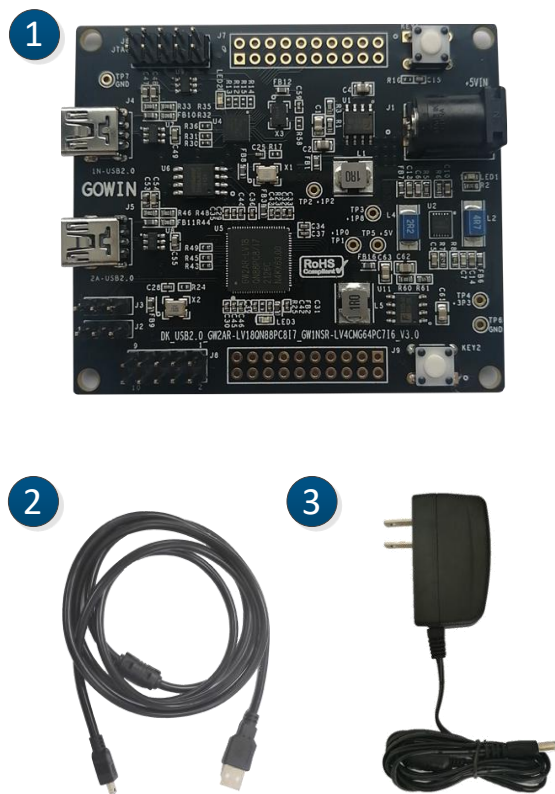
开发板支持 480Mbps 高速(HS)和 12Mbps 全速(FS)的 USB 通信；GW2AR-LV18QN88P 外接 FLASH 芯片用于存储 FPGA 的配置程序；按键、LED 方便用户调试使用。

## 2.2 开发板套件

开发板套件包括：

1. DK\_USB2.0\_GW2AR-LV18QN88PC8I7\_GW1NSR-LV4CMG64PC7I6\_V3.0 开发板
2. 5V 电源（输入：AC 100-240V~50/60Hz 25VA，输出：DC 5V 2A）
3. USB Mini B 线

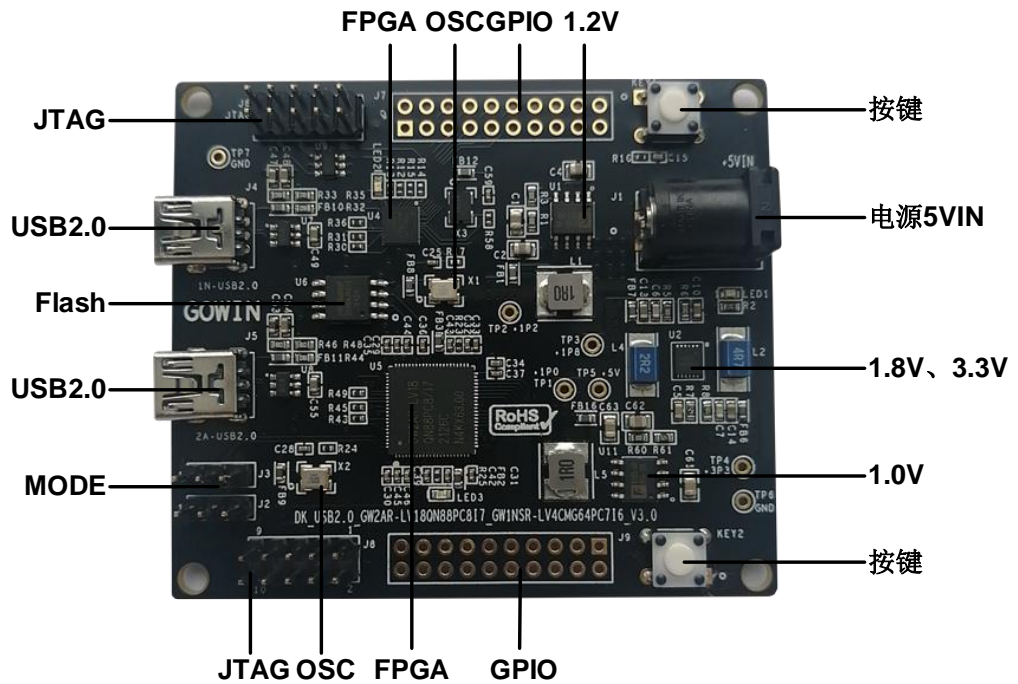
图 2-2 开发板套件



- ① DK\_USB2.0\_GW2AR-LV18QN88PC8I7\_GW1NSR-LV4CMG64PC7I6\_V3.0开发板
- ② USB Mini B 数据线
- ③ 5V电源（输入：100-240V~50/60Hz 0.5A，输出：DC 5V 2A）

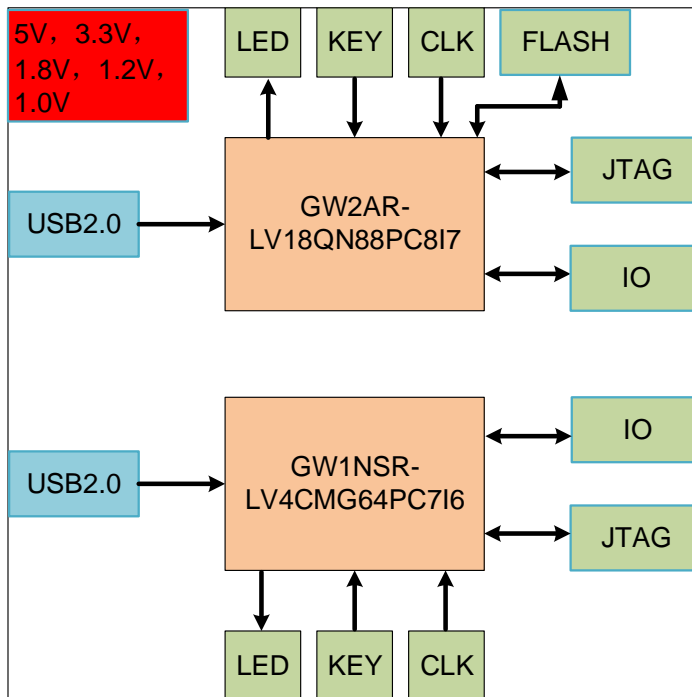
### 2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



### 2.4 系统框图

图 2-4 系统框图



## 2.5 特性

开发板的关键特性如下：

1. FPGA 器件
  - 高云 GW2AR-LV18QN88P、GW1NSR-LV4CMG64P
  - 最多用户 I/O 66 个、55 个
2. 下载与启动
  - 板上集成下载模块，通过 JTAG 下载线下载
  - FLASH 启动
  - 加载完成后，板卡启动
3. 供电方式
  - 外部 DC 5V 2A 供电
  - 上电后，绿色 POWER 灯亮
  - 开发板产生 5V、3.3V、1.8V、1.2V、1.0V 电源。
4. 时钟系统
  - 12MHz 晶振输入
5. 存储器件
  - 64Mbit FLASH
6. USB2.0 接口
  - 1 路 USB2.0 接口与 GW2AR-LV18QN88P 通信
  - 1 路 USB2.0 接口与 GW1NSR-LV4CMG64P 通信
7. GPIO 接口
  - GPIO 接口，可实现与外部通信
8. 调试模块
  - 2 个按键
  - 2 个绿色 LED

**注！**

每个 FPGA 芯片连接一个按键和一个 LED 灯。

# 3 开发板电路

## 3.1 FPGA 模块

### 概述

GW2AR 系列 FPGA 的产品资源信息请参考 [DS226, GW2AR 系列 FPGA 产品数据手册](#)。

GW1NSR 系列 FPGA 的产品资源信息请参考 [DS861, GW1NSR 系列 FPGA 产品数据手册](#)。

### I/O BANK 说明

GW2AR 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息参考 [UG229, GW2AR 系列 FPGA 产品封装与管脚手册](#)。

GW1NSR 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息参考 [UG863, GW1NSR 系列 FPGA 产品封装与管脚手册](#)。

## 3.2 下载模块

### 3.2.1 介绍

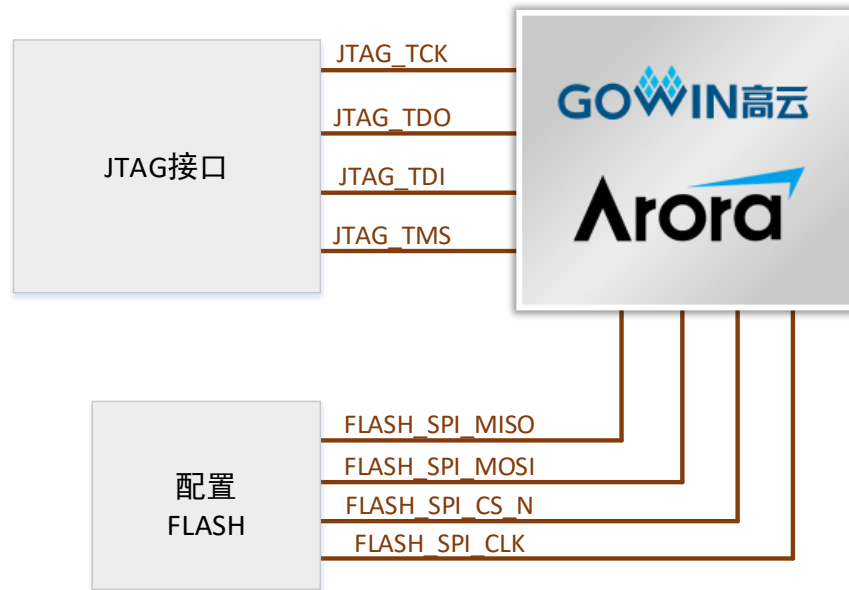
开发板提供 JTAG 下载接口。通过设置不同的 MODE 值，来决定将程序下载到片内 SRAM 或外部 Flash 中。若下载到 SRAM，当器件掉电后数据流文件会丢失，而下载到 Flash，掉电后数据流文件不会丢失。

MODE 设置规则如下：

1. 任何模式下，都可将程序下载到片内 SRAM，并立即运行。
2. MODE 设置为“011”，将数据下载到配置 Flash 器件中。将 MODE 设置为“000”，重新上电，器件自行从配置 Flash 读取 FPGA 配置数据。

下载、配置的连接示意图如图 3-1 所示。

图 3-1 FPGA 下载与配置连接示意图



### 3.2.2 管脚分配

表 3-1 FPGA-GW2AR-LV18QN88P 下载与配置管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F2_TCK	6	2	1.8V	JTAG 信号
F2_TDO	8	2	1.8V	JTAG 信号
F2_TDI	7	2	1.8V	JTAG 信号
F2_TMS	5	2	1.8V	JTAG 信号
MSPI_DO	62	3	3.3V	配置 FLASH 信号
MSPI_DI	61	3	3.3V	配置 FLASH 信号
MSPI_CS	60	3	3.3V	配置 FLASH 信号
MSPI_CK	59	3	3.3V	配置 FLASH 信号

表 3-2 FPGA-GW1NSR-LV4CMG64P 下载与配置管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F1_TCK	D3	0	3.3V	JTAG 信号
F1_TDO	E3	0	3.3V	JTAG 信号
F1_TDI	E2	0	3.3V	JTAG 信号
F1_TMS	D2	0	3.3V	JTAG 信号

## 3.3 电源

### 3.3.1 介绍

开发板通过电源适配器供电，适配器的参数为输入：  
100-240V~50/60MHz 25VA，输出：DC +5V 2A。

输入的 5V 电源通过开发板上的电源芯片产生 3.3V、1.8V、1.2V、1.0V 电源：

- 采用 2 片 FP6165ADXR-G1 电源芯片，产生 1.2V 和 1.0V 电压，最大输出电流 3A；
- 采用 1 片 PAM2306AYPAA DC-DC 电源芯片，产生 3.3V 和 1.8 V 电压，最大输出电流 1A。

## 3.4 时钟、复位

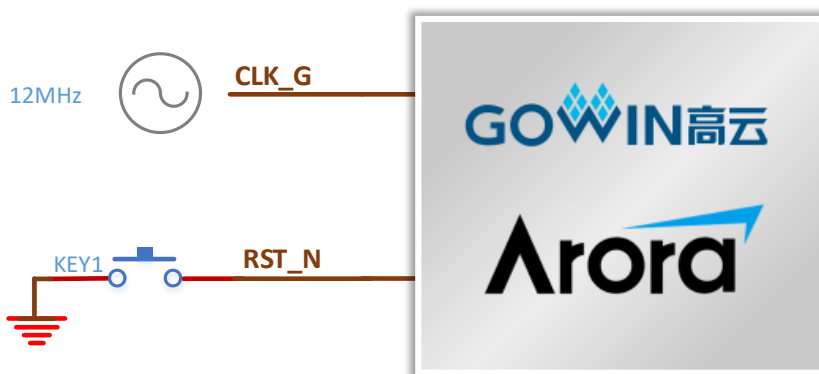
### 3.4.1 介绍

开发板为 FPGA-GW1NSR-LV4CMG64P 提供了一个 12MHz 有源晶振，连接到了全局时钟引脚，同时提供了一个 8.192MHz 的 IIS 时钟。

开发板为 FPGA-GW2AR-LV18QN88P 提供了一个 12MHz 有源晶振，连接到了全局时钟引脚，同时提供了一个 8.192MHz 的 IIS 时钟。

开发板通过按键进行复位，上电后按下按键给 FPGA 进行复位。

图 3-2 时钟、复位连接示意图





## 3.4.2 管脚分配

表 3-3 GW1NSR-LV4CMG64P 时钟、复位管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F1_CLK	C5	1	3.3V	12MHz 有源晶振输入
F1_IIS_CLK	C4	1	3.3V	8.192MHz
F1_RST_N	A5	1	3.3V	复位信号，低有效

表 3-4 GW2AR-LV18QN88P 时钟、复位管脚分配

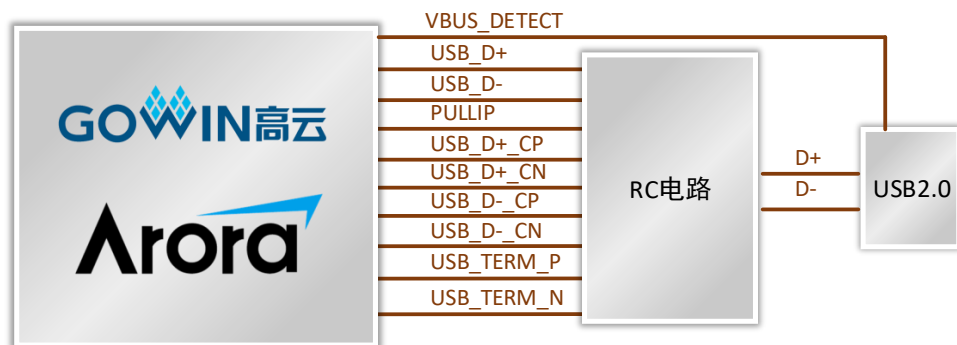
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F2_CLK	10	6	3.3V/2.5V	12MHz 有源晶振输入
F2_IIS_CLK	35	4	3.3V	8.192MHz
F2_RST_N	19	6	3.3V/2.5V	复位信号，低有效

## 3.5 USB2.0 接口

### 3.5.1 介绍

USB2.0 接口通过配置电阻与 FPGA 直接相连。连接示意图如图 3-3 所示。

图 3-3 FPGA 与 USB2.0 接口连接示意图



### 3.5.2 管脚分配

表 3-5 GW1NSR-LV4CMG64P USB2.0 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1N_Pullip	G6	2	3.3V	上拉
USB_1N_D+_CP	G7	2	3.3V	USB+信号
USB_1N_D+/-_CN	H7	2	3.3V	USB+端参考信号
USB_1N_D-_CP	G3	2	3.3V	USB-信号
USB_1N_D+/-_CN	H3	2	3.3V	USB-端参考信号
1N_Term_p	G5	2	3.3V	在高速时实现端接电阻控制，在全速与低速时作为 USB 数据管脚
1N_Term_n	H5	2	3.3V	在高速时实现端接电阻控制，在全速与低速时作为 USB 数据管脚
USB_1N_D+	G4	2	3.3V	USB 高速时数据管脚
USB_1N_D-	H4	2	3.3V	USB 高速时数据管脚
VBUS_DETECT_1N	G2	2	3.3V	VBUS 断开检测，用于复位 USB

表 3-6 GW2AR-LV18QN88P USB2.0 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
2A_Pullip	80	0	3.3V	上拉
USB_2A_D+_CP	77	1	3.3V	USB+信号
USB_2A_D+/-_CN	76	1	3.3V	USB+端参考信号
USB_2A_D-_CP	71	1	3.3V	USB-信号
USB_2A_D+/-_CN	70	1	3.3V	USB-端参考信号
2A_Term_p	75	1	3.3V	在高速时实现端接电阻控制，在全速与低速时作为 USB 数据管脚
2A_Term_n	74	1	3.3V	在高速时实现端接电阻控制，在全速与低速时作为 USB 数据管脚
USB_2A_D+	73	1	3.3V	USB 高速时数据管脚
USB_2A_D-	72	1	3.3V	USB 高速时数据管脚
VBUS_DETECT_2A	83	0	3.3V	VBUS 断开检测，用于复位 USB

## 3.6 GPIO

### 3.6.1 介绍

开发板上 GPIO 口预留了 40 个,其中 8 个 3.3V 电压引脚,4 个地引脚,14 个 GW1NSR-LV4CMG64P 引脚,14 个 GW2AR-LV18QN88P 引脚。连接示意图如图 3-4 所示。

图 3-4 GPIO 连接示意图



### 3.6.2 管脚分配

表 3-7 GW1NSR-LV4CMG64P GPIO 指示灯管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1N_GPIO0	A1	1	3.3V	GPIO0
1N_GPIO1	B1	1	3.3V	GPIO1
1N_GPIO2	A2	1	3.3V	GPIO2
1N_GPIO3	B2	1	3.3V	GPIO3
1N_GPIO4	B3	1	3.3V	GPIO4
1N_GPIO5	A3	1	3.3V	GPIO5
1N_GPIO6	B4	1	3.3V	GPIO6
1N_GPIO7	A4	1	3.3V	GPIO7
1N_GPIO8	B6	1	3.3V	GPIO8
1N_GPIO9	A6	1	3.3V	GPIO9
1N_GPIO10	B7	1	3.3V	GPIO10
1N_GPIO11	A7	1	3.3V	GPIO11
1N_GPIO12	A8	1	3.3V	GPIO12
1N_GPIO13	B8	1	3.3V	GPIO13

表 3-8 GW2AR-LV18QN88P GPIO 指示灯管脚分配

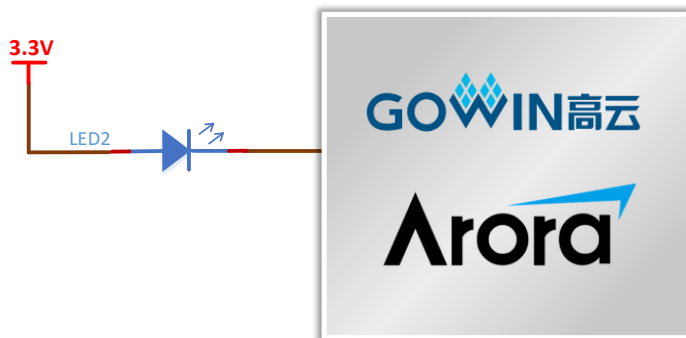
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
2A_GPIO0	42	4	3.3V	GPIO0
2A_GPIO1	41	4	3.3V	GPIO1
2A_GPIO2	40	4	3.3V	GPIO2
2A_GPIO3	39	4	3.3V	GPIO3
2A_GPIO4	38	4	3.3V	GPIO4
2A_GPIO5	37	4	3.3V	GPIO5
2A_GPIO6	33	5	3.3V	GPIO6
2A_GPIO7	32	5	3.3V	GPIO7
2A_GPIO8	31	5	3.3V	GPIO8
2A_GPIO9	30	5	3.3V	GPIO9
2A_GPIO10	29	5	3.3V	GPIO10
2A_GPIO11	26	5	3.3V	GPIO11
2A_GPIO12	27	5	3.3V	GPIO12
2A_GPIO13	28	5	3.3V	GPIO13

## 3.7 LED 模块

### 3.7.1 介绍

开发板中有 2 个绿色 LED 灯, 用户可用 LED 灯来显示所需状态。当 FPGA 对应管脚输出信号为低电平时, LED 被点亮; 当输出信号为高电平时, LED 熄灭。连接示意图如图 3-5 所示。

图 3-5 LED 连接示意图



## 3.7.2 管脚分配

表 3-9 GW1NSR-LV4CMG64P LED 指示灯管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F1_LED	G1	2	3.3V	LED 指示灯 1

表 3-10 GW2AR-LV18QN88P LED 指示灯管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F2_LED	13	6	3.3V	LED 指示灯 2

## 3.8 按键模块

### 3.8.1 介绍

开发板中有 2 个按键开关,可用于测试过程中的控制输入。按键按下时,输入低电平。连接示意图如图 3-6 所示。

图 3-6 按键电路



### 3.8.2 管脚分配

表 3-11 GW1NSR-LV4CMG64P 按键模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F1_RST_N	A5	1	3.3V	按键 1

表 3-12 GW2AR-LV18QN88P 按键模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F2_RST_N	19	6	3.3V/2.5V	按键 2

