



DK_UAC2_GW1N-LV9LQ144C7I6_V2.0

用户手册

DBUG413-1.0.1,2023-08-18

版权所有 © 2023 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、小蜜蜂、LittleBee以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2023/03/17	1.0	初始版本。
2023/08/18	1.0.1	将 Arora 的 logo 更新为 LittleBee 的 logo。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语	2
1.5 技术支持与反馈	2
2 开发板简介	3
2.1 概述	3
2.2 开发板套件	4
2.3 PCB 组件	5
2.4 系统框图	5
2.5 特性	6
3 开发板电路	8
3.1 FPGA 模块	8
3.2 下载模块	8
3.2.1 介绍	8
3.2.2 管脚分配	9
3.3 电源	9
3.3.1 介绍	9
3.4 时钟、复位	10
3.4.1 介绍	10

3.4.2 管脚分配.....	10
3.5 USB 2.0	10
3.5.1 介绍.....	10
3.5.2 管脚分配.....	11
3.6 麦克风输入	12
3.6.1 介绍.....	12
3.6.2 管脚分配.....	13
3.7 SPDIF 接口	13
3.7.1 介绍.....	13
3.7.2 管脚分配.....	13
3.8 喇叭接口.....	15
3.8.1 介绍.....	15
3.8.2 管脚分配.....	15
3.9 RAC 接口	15
3.9.1 介绍.....	15
3.9.2 管脚分配.....	16
3.10 GPIO.....	16
3.10.1 介绍.....	16
3.10.2 管脚分配.....	17
3.11 LED & 按键.....	17
3.11.1 介绍	17
3.11.2 管脚分配	18
4 开发软件介绍.....	19

图目录

图 2-1 DK_UAC2_GW1N-LV9LQ144C7I6_V2.0 开发板	3
图 2-2 开发板套件	4
图 2-3 开发板 PCB 组件说明	5
图 2-4 系统框图	5
图 3-1 JTAG 下载连接示意图	9
图 3-2 时钟、复位连接示意图	10
图 3-3 USB 接口连接示意图	11
图 3-4 麦克风连接示意图	12
图 3-5 SPDIF 接口连接示意图	13
图 3-6 喇叭接口连接示意图	15
图 3-7 RAC 接口连接示意图	16
图 3-8 GPIO 连接示意图	16
图 3-9 LED&按键连接示意图	17

表目录

表 1-1 术语、缩略语	2
表 3-1 FPGA 下载与配置管脚分配	9
表 3-2 时钟、复位管脚分配	10
表 3-3 USB 2.0 管脚分配	11
表 3-4 麦克风管脚分配	13
表 3-5 SPDIF 输入接口管脚分配	13
表 3-6 SPDIF 输出接口管脚分配	14
表 3-7 喇叭接口管脚分配	15
表 3-8 RAC 接口管脚分配	16
表 3-9 GPIO 管脚分配	17
表 3-10 LED & 按键模块管脚分配	18

1 关于本手册

1.1 手册内容

DK_UAC2_GW1N-LV9LQ144C7I6_V2.0 开发板（以下简称开发板）用户手册分为三个部分：

- 简要介绍开发板的功能特点。
- 介绍开发板整体系统架构和硬件资源。
- 介绍开发板各部分硬件电路的功能、电路及管脚分配。

1.2 适用产品

本手册中描述的信息可适用于以下高云 FPGA 产品：GW1N-LV9LQ144 器件。

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [UG114, GW1N-9 器件 Pinout 手册](#)
- [UG103, GW1N 系列 FPGA 产品器件封装与管脚手册](#)
- [UG290, Gowin FPGA 产品编程配置手册](#)
- [SUG100, Gowin 云源软件用户手册](#)

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
BSRAM	Block Static Random Access Memory	块状静态随机存储器
DDR	Double Data Rate	双倍速率
DSP	Digital Signal Processing	数字信号处理
FLASH	Flash Memory	非易失存储器
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable I/O	Gowin 可编程通用管脚
LDO	Low Dropout Regulator	低压差线性稳压器
LUT4	4-input Look-up Table	4 输入查找表
LVDS	Low-Voltage Differential Signaling	低电压差分信号
SPDIF	Sony/Philips Digital Interface Format	数字音频接口
SSRAM	Shadow Static Random Access Memory	附加静态随机存储器

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

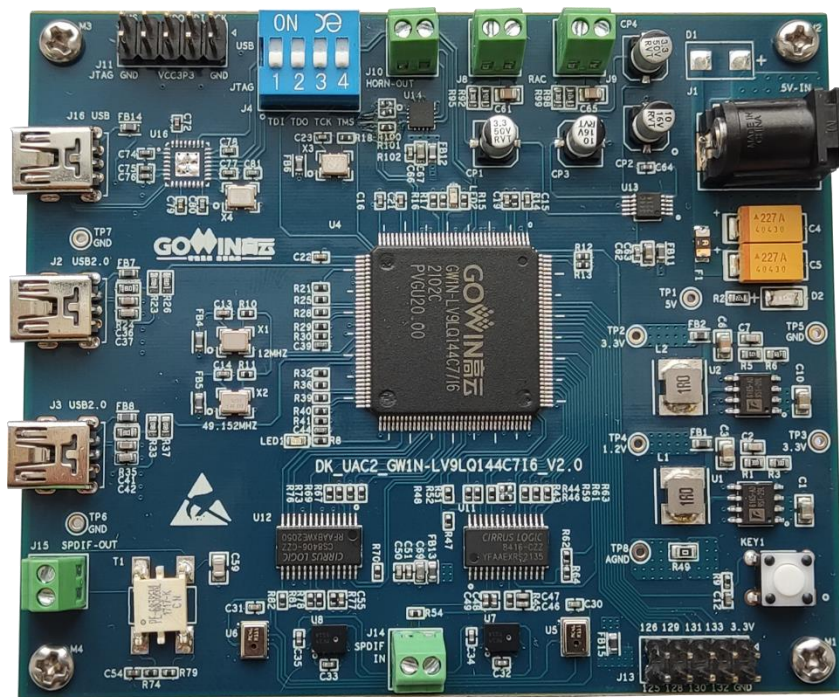
E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 开发板简介

2.1 概述

图 2-1 DK_UAC2_GW1N-LV9LQ144C7I6_V2.0 开发板



DK_UAC2_GW1N-LV9LQ144C7I6_V2.0 开发板以高云 GW1N-LV9LQ144 芯片为核心，适用于 USB 2.0 通信、麦克风、SPDIF 等各种音频通信，以及 9X 系列 FPGA 功能评估、硬件可靠性验证及软件学习调试等多种应用需求。

高云半导体 GW1N 系列 FPGA 产品是高云半导体小蜜蜂®(LittleBee®) 家族第一代产品，具有较丰富的逻辑资源，支持多种 I/O 电平标准，内嵌块状静态随机存储器、数字信号处理模块、锁相环资源，此外，内嵌 Flash 资源，是一款具有非易失性的 FPGA 产品，具有低功耗、瞬时启动、低成本、高安全性、产品尺寸小、封装类型丰富、使用方便灵活等特点。

本开发板具有以下特性：

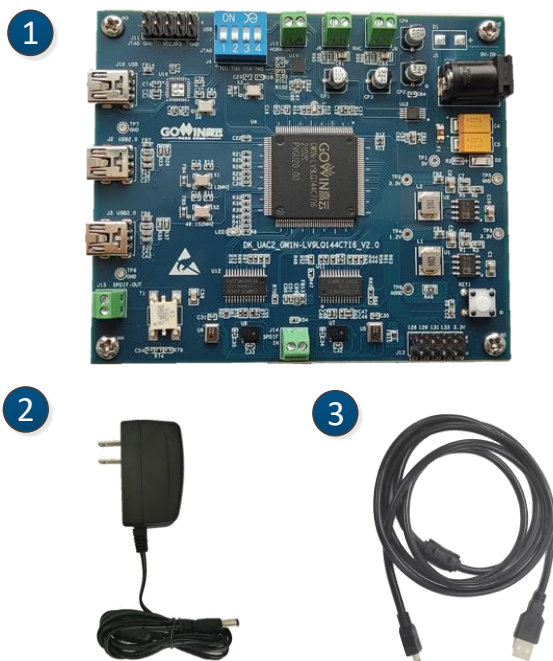
- 包含两个 USB 2.0 接口，支持 USB 2.0 通信。
- 搭载四颗麦克风芯片，支持 IIC 和 IIS 两种麦克风输入。
- 搭载 CS8416-CZZR 和 CS8406-CZZR 芯片，支持 SPDIF 标准的数字音频通信。
- 搭载 CS4344-CZZR 芯片，支持立体数字音频信号转模拟音频信号通信。
- 搭载 MAX98357AETE+T 芯片，可连接 3.2W Output Power into 4Ω at 5V 的喇叭进行音频信号输出。
- 支持 JTAG 下载。
- 预留 GPIO 接口、LED 以及按键，方便用户测试使用。

2.2 开发板套件

开发板套件包括：

1. DK_UAC2_GW1N-LV9LQ144C7I6_V2.0 开发板
2. 5V 电源（输入：100-240V~50/60Hz 0.5A，输出：DC 5V 2A）
3. USB Mini B 数据线

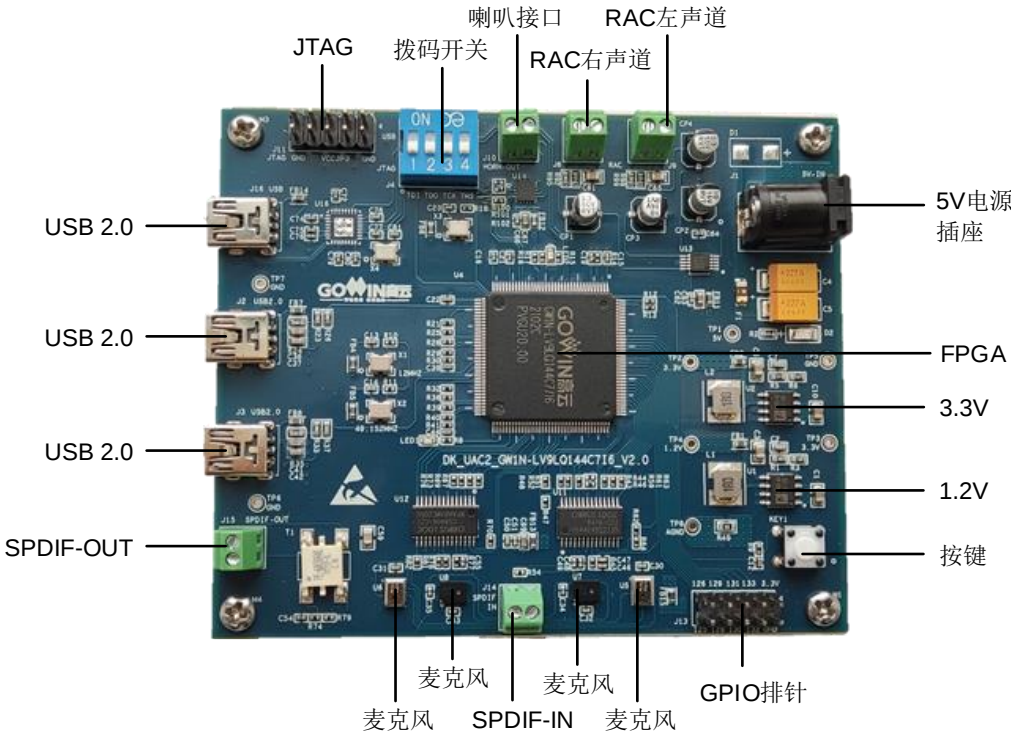
图 2-2 开发板套件



- ① DK_UAC2_GW1N-LV9LQ144C7I6_V2.0开发板
- ② 5V电源
- ③ USB Mini B数据线

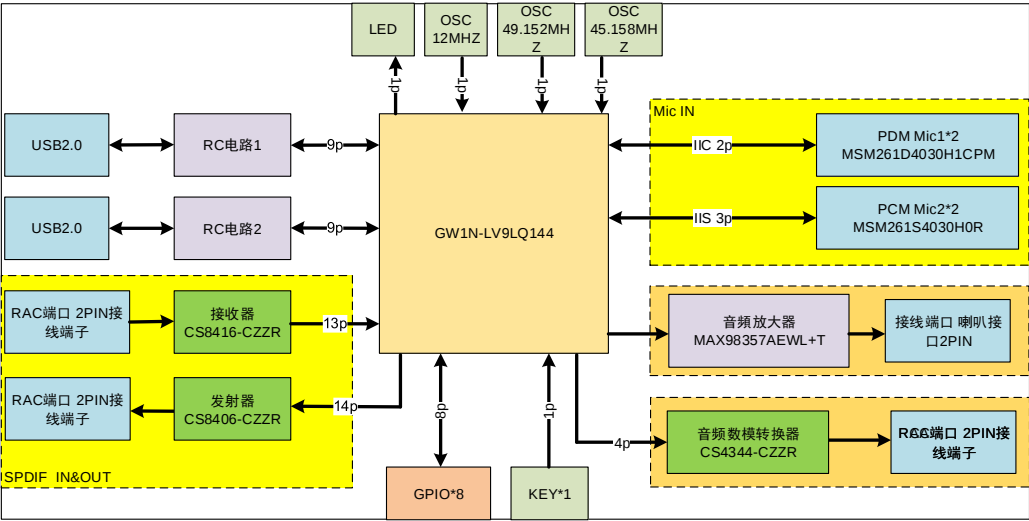
2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



2.4 系统框图

图 2-4 系统框图



2.5 特性

开发板的关键特性如下：

1. **FPGA 器件**
 - 高云 GW1N-LV9LQ144 的 FPGA
 - 最多用户 I/O 120 个
2. **下载与启动**
 - 板上集成下载模块，通过 JTAG 下载器下载程序。
 - 当 programming 或 configuration 完成后，绿色 DONE 灯(LED2)点亮
3. **供电方式**
 - 外部 DC 5V 2A 供电
 - 上电后，LED 灯亮
 - 开发板提供 5.0V、3.3V、1.2V 电源
4. **时钟系统**
 - 12MHz 晶振：为 GW1N-LV9LQ144 提供 12MHz 时钟
 - 49.152MHz 晶振：为 GW1N-LV9LQ144 提供 49.152MHz 音频时钟
 - 45.158MHz 晶振：为 GW1N-LV9LQ144 提供 45.158MHz 音频时钟
5. **USB 2.0 接口**
 - 2 路 USB 2.0 接口与 GW1N-LV9LQ144 通信
6. **麦克风接口**
 - 2 路 IIS 麦克风阵列输入：采用 MSM261S4030H0R 芯片，提供左右声道的麦克风输入。
 - 2 路 IIC 麦克风阵列输入：采用 MSM261D4030H1CPM 芯片，提供左右声道的麦克风输入。
7. **SPDIF 接口**
 - 1 路 SPDIF 标准的数字音频输入接口：采用 CS8416-CZZR 芯片，对接收的立体声数字音频数据进行解码后传输到 GW1N-LV9LQ144 芯片。
 - 1 路 SPDIF 标准的数字音频输出接口：采用 CS8406-CZZR 芯片，对 GW1N-LV9LQ144 芯片发送的数字音频数据进行编码和传输。
8. **喇叭接口**
 - 1 路数字音频放大输出接口：采用 MAX98357AETE+T 芯片，对 GW1N-LV9LQ144 芯片发送的 PCM 信号进行 D 类放大输出。
9. **RAC 接口**
 - 1 路模拟音频输出接口：采用 CS4344-CZZR 芯片，GW1N-LV9LQ144 芯片发送的数字音频信号转换成模拟信号输出。

10. GPIO 接口

- GPIO 接口，可实现与外部通信。

11. 调试模块

- 1 个按键
- 1 个 LED（LED2）

3 开发板电路

3.1 FPGA 模块

概述

GW1N-LV9LQ144 FPGA 产品资源信息参考 [DS100, GW1N 系列 FPGA 产品数据手册](#)。

I/O BANK 说明

GW1N 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息参考 [UG103, GW1N 系列 FPGA 产品器件封装与管脚手册](#)。

3.2 下载模块

3.2.1 介绍

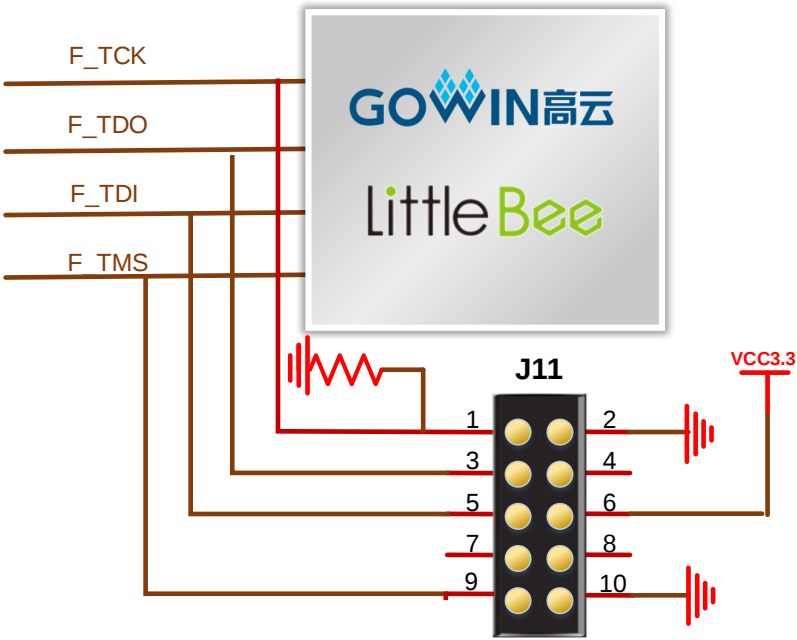
开发板提供 JTAG 下载接口，通过设置不同的 MODE 值，来决定将程序下载到片内 SRAM 或内置 Flash 中。若下载到 SRAM，当器件掉电后数据流文件会丢失，而下载到 Flash，掉电后数据流文件不会丢失。

MODE 设置规则如下：

1. 任何模式下，都可将程序下载到片内 SRAM，并立即运行。
2. MODE 设置为“000”，将数据下载到内置 Flash 中。重新上电，器件自行从内置 Flash 读取 FPGA 配置数据。

程序下载完成后，DONE 连接的 LED2 点亮。

图 3-1 JTAG 下载连接示意图



3.2.2 管脚分配

表 3-1 FPGA 下载与配置管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_TCK	14	3	3.3V	JTAG 信号
F_TDO	18	3	3.3V	JTAG 信号
F_TDI	16	3	3.3V	JTAG 信号
F_TMS	13	3	3.3V	JTAG 信号

3.3 电源

3.3.1 介绍

开发板通过电源适配器供电，适配器的参数为输入 100-240V~50/60MHz 0.5A，输出：DC+5V 2A。

输入的 5V 电源通过开发板上的电源转换芯片产生 3.3V、1.2V 电压。

通过 FP6165ADXR-G1 芯片及其外围电路 DC-DC 将 DC+5V 转为 +3.3V，最大输出电流 3A。

通过 FP6165ADXR-G1 芯片及其外围电路 DC-DC 将 DC+3.3V 转为 +1.2V，最大输出电流 3A。

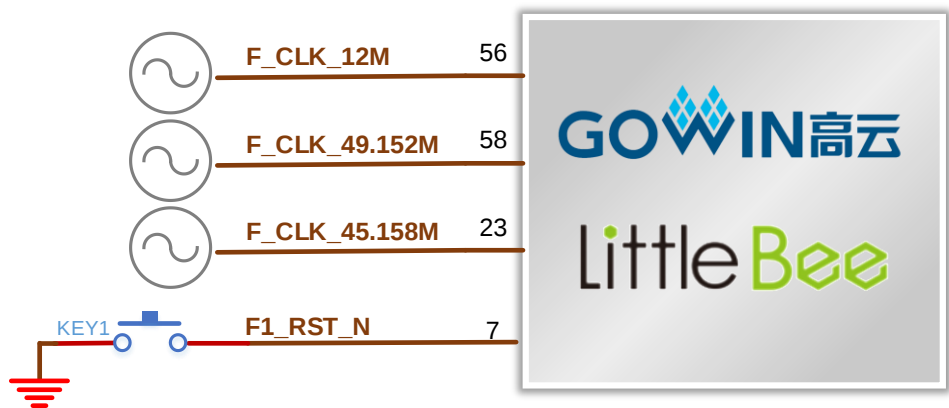
3.4 时钟、复位

3.4.1 介绍

开发板为 FPGA 提供了一个 12MHz 有源晶振，连接到了全局时钟引脚。提供了 49.152MHz 和 45.158MHz 的有源晶振，为板卡提供所需的音频时钟。

可以通过复位按键手动复位（上电自动复位）。

图 3-2 时钟、复位连接示意图



3.4.2 管脚分配

表 3-2 时钟、复位管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_CLK_12M	56	2	3.3V	12MHz 时钟输入
F_CLK_49.152M	58	2	3.3V	F_CLK_49.152MHz 时钟输入
F_CLK_45.158M	23	3	3.3V	F_CLK_45.158MHz 时钟输入
F1_RST_N	7	3	3.3V	复位信号，低有效。

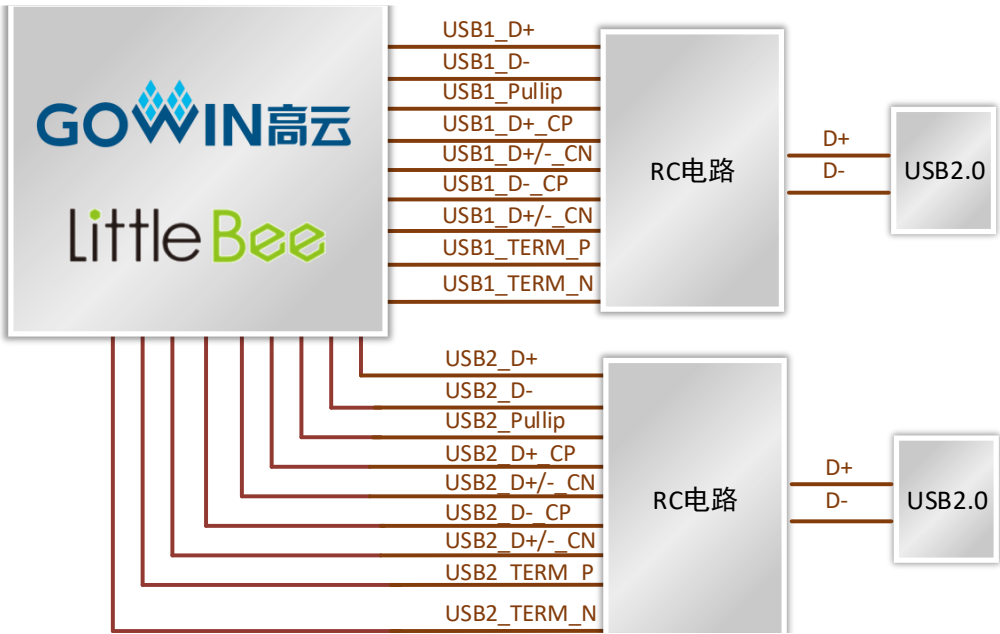
3.5 USB 2.0

3.5.1 介绍

开发板上有 2 路 USB 2.0 接口，可用于 FPGA 与 USB 2.0 接口通信使用。

USB 2.0 接口通过“配置电阻”与 FPGA 直接相连。

图 3-3 USB 接口连接示意图



3.5.2 管脚分配

表 3-3 USB 2.0 管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
USB1_Pullip	40	2	3.3V	VBUS 断开检测，用于复位 USB
USB1_D+_CP	42	2	3.3V	USB+信号
USB1_D+/-_CN	43	2	3.3V	USB+端参考信号
USB1_D-_CP	50	2	3.3V	USB-信号
USB1_D+/-_CN	51	2	3.3V	USB-端参考信号
USB1_Term_p	46	2	3.3V	在高速时实现端接电阻控制，在全速与低速时作为 USB 数据管脚。
USB1_Term_n	47	2	3.3V	在高速时实现端接电阻控制，在全速与低速时作为 USB 数据管脚。
USB1_D+	48	2	3.3V	USB 高速时数据管脚
USB1_D-	49	2	3.3V	USB 高速时数据管脚
USB2_Pullip	62	2	3.3V	VBUS 断开检测，用于复位 USB。
USB2_D+_CP	64	2	3.3V	USB+信号

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
USB2_D+/-_CN	65	2	3.3V	USB+端参考信号
USB2_D-_CP	70	2	3.3V	USB-信号
USB_D+/-_CN	71	2	3.3V	USB-端参考信号
USB2_Term_p	66	2	3.3V	在高速时实现端接电阻控制，在全速与低速时作为USB 数据管脚。
USB2_Term_n	67	2	3.3V	在高速时实现端接电阻控制，在全速与低速时作为USB 数据管脚。
USB2_D+	68	2	3.3V	USB 高速时数据管脚
USB2_D-	69	2	3.3V	USB 高速时数据管脚

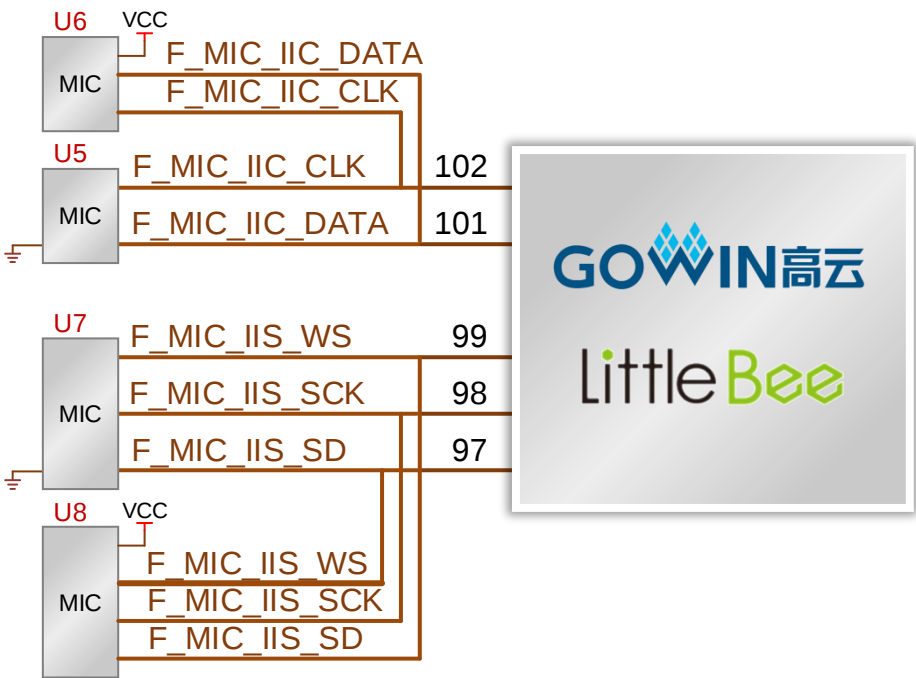
3.6 麦克风输入

3.6.1 介绍

开发板搭载了 4 颗麦克风，两颗 IIS 输入的 MSM261S4030H0R 麦克风和两颗 IIC 输入的 MSM261D4030H1CPM 麦克风。

支持 192KHz 的数字音频传输。

图 3-4 麦克风连接示意图



3.6.2 管脚分配

表 3-4 麦克风管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_MIC_IIC_CLK	102	1	3.3V	IIC 音频时钟信号
F_MIC_IIC_DATA	101	1	3.3V	IIC 音频数据信号
F_MIC_IIS_WS	99	1	3.3V	IIS 音频片选信号
F_MIC_IIS_SCK	98	1	3.3V	IIS 音频时钟信号
F_MIC_IIS_SD	97	1	3.3V	IIS 音频数据信号

3.7 SPDIF 接口

3.7.1 介绍

开发板搭载了 2 路 SPDIF 数字音频接口，一路为 SPDIF 输入接口，一路为 SPDIF 输出接口。

SPDIF 接口接收到的数字音频信号，经 CS8416-CZZR 对接收的数字音频数据进行解码和传输。

CS8406-CZZR 对 GW1N-LV9LQ144 芯片发送的数字音频数据进行编码，并传输到 SPDIF 输出接口。

图 3-5 SPDIF 接口连接示意图



3.7.2 管脚分配

表 3-5 SPDIF 输入接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SPDIFI_RST_N	124	0	3.3V	复位信号，低电平复位。
SPDIFI_OLRCK	123	0	3.3V	SDOUT 引脚上，音频数据的字频时钟信号。
SPDIFI_OSCLK	122	0	3.3V	SDOUT 引脚上，音频数据的串行位时钟信号。

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SPDIFI_AD0	121	0	3.3V	地址信号
SPDIFI_AD1	120	0	3.3V	地址信号
SPDIFI_SCL	119	0	3.3V	串行控制时钟信号
SPDIFI_SDA	118	0	3.3V	串行控制数据信号
PDIFI_GPO2	117	0	3.3V	一般用途输出信号
PDIFI_GPO1	116	1	3.3V	一般用途输出信号
PDIFI_GPO0	115	1	3.3V	一般用途输出信号
SPDIFI_RMCK	114	1	3.3V	从锁相环恢复主时钟输出
SPDIFI_OMCK	113	1	3.3V	系统时钟输入信号
PDIFI_SDOOUT	112	1	3.3V	音频串行数据输出

表 3-6 SPDIF 输出接口管脚分配

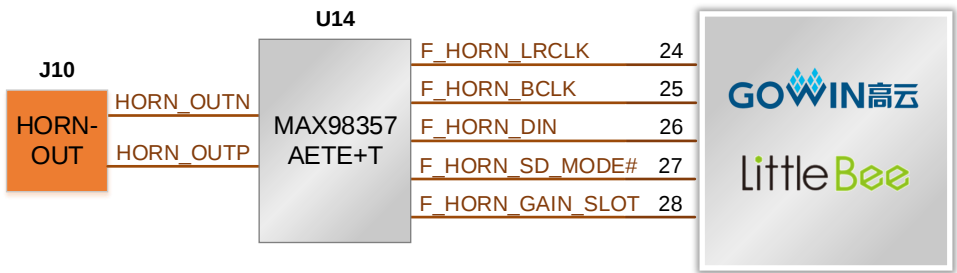
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SPDIFO_TCBL	96	1	3.3V	发送通道状态块启动
SPDIFO_INT	95	1	3.3V	中断
SPDIFO_OMCK	94	1	3.3V	主时钟
SPDIFO_AD1	93	1	3.3V	地址信号
SPDIFO_SCL	92	1	3.3V	串行控制时钟信号
SPDIFO_SDA	90	1	3.3V	串行控制数据信号
SPDIFO_AD0	88	1	3.3V	地址信号
SPDIFO_AD2	87	1	3.3V	地址信号
SPDIFO_RXP	86	1	3.3V	辅助 AES3 接收信号
SPDIFO_RST_N	85	1	3.3V	复位信号，低电平复位。
SPDIFO_ILRCK	84	1	3.3V	串行音频输入左/右时钟
SPDIFO_ISCLK	83	1	3.3V	串行音频时钟信号
SPDIFO_U	81	1	3.3V	用户数据
SPDIFO_SDIN	78	2	3.3V	串行音频数据信号

3.8 喇叭接口

3.8.1 介绍

开发板搭载了一路数字音频放大输出接口。GW1N-LV9LQ144 处理后的 PCM 音频信号经 MAX98357AETE+T 进行 D 类放大输出到喇叭接口。

图 3-6 喇叭接口连接示意图



3.8.2 管脚分配

表 3-7 喇叭接口管脚分配

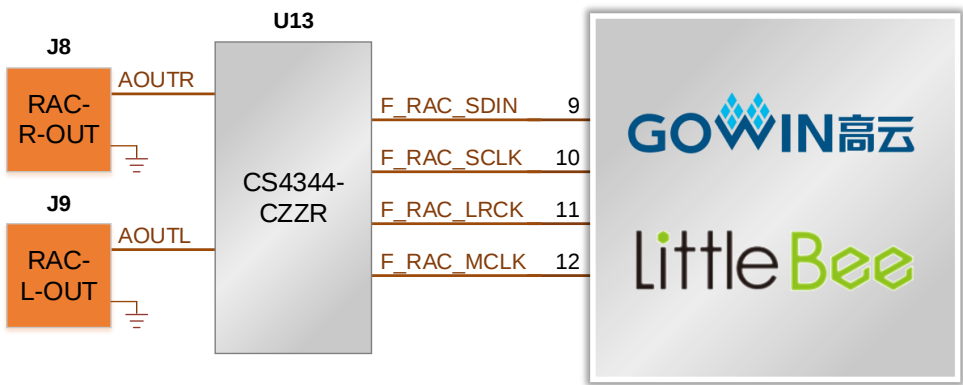
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_HORN_LRCLK	24	3	3.3V	帧时钟信号
F_HORN_BCLK	25	3	3.3V	位时钟输入信号
F_HORN_DIN	26	3	3.3V	数字输入信号
F_HORN_SD_MODE#	27	3	3.3V	片选信号
F_HORN_GAIN_SLOT	28	3	3.3V	增益和通道选择信号

3.9 RAC 接口

3.9.1 介绍

开发板搭载了一路模拟音频输出接口，GW1N-LV9LQ144 处理后的数字音频信号经 CS4344-CZZR 进行数模转换。

图 3-7 RAC 接口连接示意图



3.9.2 管脚分配

表 3-8 RAC 接口管脚分配

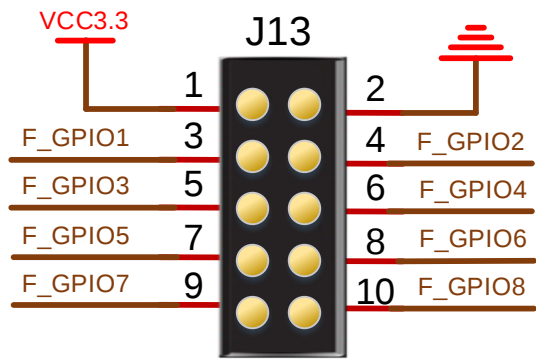
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F_RAC_SDIN	9	3	3.3V	串行音频数据输入
F_RAC_SCLK	10	3	3.3V	串行时钟输入信号
F_RAC_LRCK	11	3	3.3V	左右通道时钟输入信号
F_RAC_MCLK	12	3	3.3V	主时钟输入信号

3.10 GPIO

3.10.1 介绍

为了方便用户测试，在开发板上预留 1 个 2.54mm 间距的双列插针 J13，共有 8 个 GPIO 接口。

图 3-8 GPIO 连接示意图



3.10.2 管脚分配

表 3-9 GPIO 管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
GPIO1	133	0	3.3V	普通 IO
GPIO2	132	0	3.3V	普通 IO
GPIO3	131	0	3.3V	普通 IO
GPIO4	130	0	3.3V	普通 IO
GPIO5	129	0	3.3V	普通 IO
GPIO6	128	0	3.3V	普通 IO
GPIO7	126	0	3.3V	普通 IO
GPIO8	125	0	3.3V	普通 IO

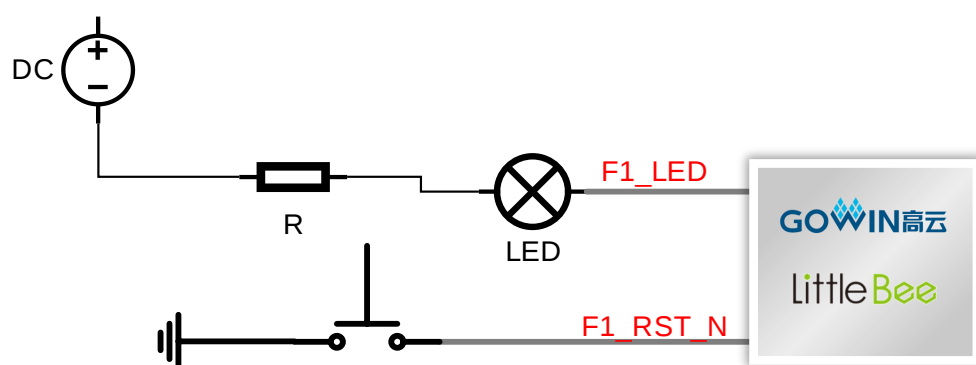
3.11 LED & 按键

3.11.1 介绍

开发板预留一路 LED 与 FPGA 相连，当 FPGA 输出逻辑低电平时，LED 点亮；输出逻辑高电平时，LED 熄灭。

开发板配有一路开关（硬件消抖）与 FPGA 相连，用户可对该开关灵活使用。

图 3-9 LED&按键连接示意图



3.11.2 管脚分配

表 3-10 LED & 按键模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
F1_RST_N	7	3	3.3V	按键 IO
F1_LED	75	2	3.3V	LED_IO

4 开发软件介绍

详细信息请参考 [SUG100, Gowin 云源软件用户手册](#)。

