




DK\_START\_GW5A-LV25UG324\_V1.0

# 用户手册

DBUG415-1.0,2023-07-20

**版权所有 © 2023 广东高云半导体科技股份有限公司**

**GOWIN**高云、、Gowin 以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

日期	版本	说明
2023/07/20	1.0	初始版本。

# 目录

目录 .....	i
图目录 .....	iii
表目录 .....	iv
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 相关文档 .....	1
1.3 术语、缩略语 .....	2
1.4 技术支持与反馈 .....	2
<b>2 开发板简介 .....</b>	<b>3</b>
2.1 概述 .....	3
2.2 开发板套件 .....	4
2.3 PCB 组件 .....	5
2.4 特性 .....	6
<b>3 开发板电路 .....</b>	<b>8</b>
3.1 FPGA 模块 .....	8
3.2 下载模块 .....	8
3.2.1 介绍 .....	8
3.2.2 管脚分配 .....	9
3.3 电源 .....	10
3.3.1 介绍 .....	10
3.4 时钟 .....	10
3.4.1 介绍 .....	10
3.4.2 管脚分配 .....	10
3.5 DDR3 模块 .....	11
3.5.1 介绍 .....	11

3.5.2 管脚分配.....	11
3.6 Flash .....	13
3.6.1 介绍.....	13
3.6.2 管脚分配.....	14
3.7 LED 灯、按键.....	14
3.7.1 介绍.....	14
3.7.2 管脚分配.....	15
3.8 JTAG 接口 .....	15
3.8.1 介绍.....	15
3.8.2 管脚分配.....	16
3.9 HDMI_TX 接口.....	16
3.9.1 介绍.....	16
3.9.2 管脚分配.....	16
3.10 USB2.0 接口 .....	18
3.10.1 介绍.....	18
3.10.2 管脚分配.....	18
3.11 GPIO .....	19
3.11.1 介绍 .....	19
3.11.2 管脚分配.....	19
3.12 LVDS 连接器 .....	20
3.12.1 介绍.....	20
3.12.2 管脚分配.....	21
3.13 ADC 接口 .....	22
3.13.1 介绍.....	22
3.13.2 管脚分配.....	22
3.14 MIPI .....	23
3.14.1 介绍.....	23
3.14.2 管脚分配.....	24

# 图目录

图 2-1 DK_START_GW5A-LV25UG324_V1.0 开发板 .....	3
图 2-2 开发板套件 .....	4
图 2-3 开发板 PCB 组件说明 .....	5
图 3-1 FPGA 下载与配置连接示意图 .....	9
图 3-3 时钟连接示意图 .....	10
图 3-4 DRAM 的硬件连接示意图 .....	11
图 3-5 Flash 的硬件连接示意图 .....	14
图 3-6 JTAG 接口 J12 的原理图部分 .....	15
图 3-7 FPGA 与 HDMI2 接口连接示意图 .....	16
图 3-8 USB2.0 原理图连接示意图 .....	18
图 3-9 GPIO 原理图连接示意图 .....	19
图 3-10 LVDS 原理图连接示意图 .....	20
图 3-11 ADC 原理图 .....	22
图 3-12 MIPI 接口原理图电路 .....	23

# 表目录

表 1-1 术语、缩略语.....	2
表 2-1 开发板 PCB 组件说明.....	5
表 3-1 FPGA 下载与配置管脚分配.....	9
表 3-3 时钟管脚分配.....	10
表 3-4 DDR3 配置 .....	11
表 3-5 DDR3 模块管脚分配.....	11
表 3-6 SPI FLASH 的具体型号和相关参数.....	13
表 3-7 FLASH 各引脚分配.....	14
表 3-8 LED 灯管脚分配 .....	15
表 3-9 FPGA U1 的 JTAG 管脚分配 .....	16
表 3-10 HDMI_TX 模块管脚分配.....	16
表 3-11 USB2.0 模块管脚分配 .....	18
表 3-12 GPIO 管脚分配.....	19
表 3-13 LVD_TX 管脚分配 .....	21
表 3-14 LVD_RX 管脚分配 .....	21
表 3-15 ADC 模块管脚分配 .....	22
表 3-16 MIPI 接口管脚分配 .....	24

# 1 关于本手册

## 1.1 手册内容

DK\_START\_GW5A-LV25UG324\_V1.0 开发板（以下简称开发板）用户手册分为三个部分：

- 简要介绍开发板的功能特点。
- 介绍开发板整体系统架构和硬件资源。
- 介绍开发板各部分硬件电路的功能、电路及管脚分配。

## 1.2 相关文档

通过登录高云半导体网站 [www.gowinsemi.com](http://www.gowinsemi.com) 可以下载、查看以下相关文档：

- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [UG985, GW5A-25 器件 Pinout 手册](#)
- [UG1101, GW5A 系列 FPGA 产品封装与管脚手册](#)
- [UG290, Gowin FPGA 产品编程配置手册](#)
- [SUG100, Gowin 云源软件用户手册](#)



## 1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

**表 1-1 术语、缩略语**

术语、缩略语	全称	含义
ADC	Analog-to-digital Converter	数模转换器
DDR	Double Data Rate	双倍速率
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable I/O	Gowin 可编程通用管脚
LDO	Low Dropout Regulator	低压差线性稳压器
LVDS	Low-Voltage Differential Signaling	低电压差分信号

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com](http://www.gowinsemi.com)

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 开发板简介

## 2.1 概述

图 2-1 DK\_START\_GW5A-LV25UG324\_V1.0 开发板



DK\_START\_GW5A-LV25UG324\_V1.0 开发板适用于 DDR3 的高速数据存储，MIPI、LVDS 等高速通信，ADC 模数转换，HDMI\_TX 通信，USB2.0 通信，硬件可靠性验证及软件学习调试等多种应用需求。

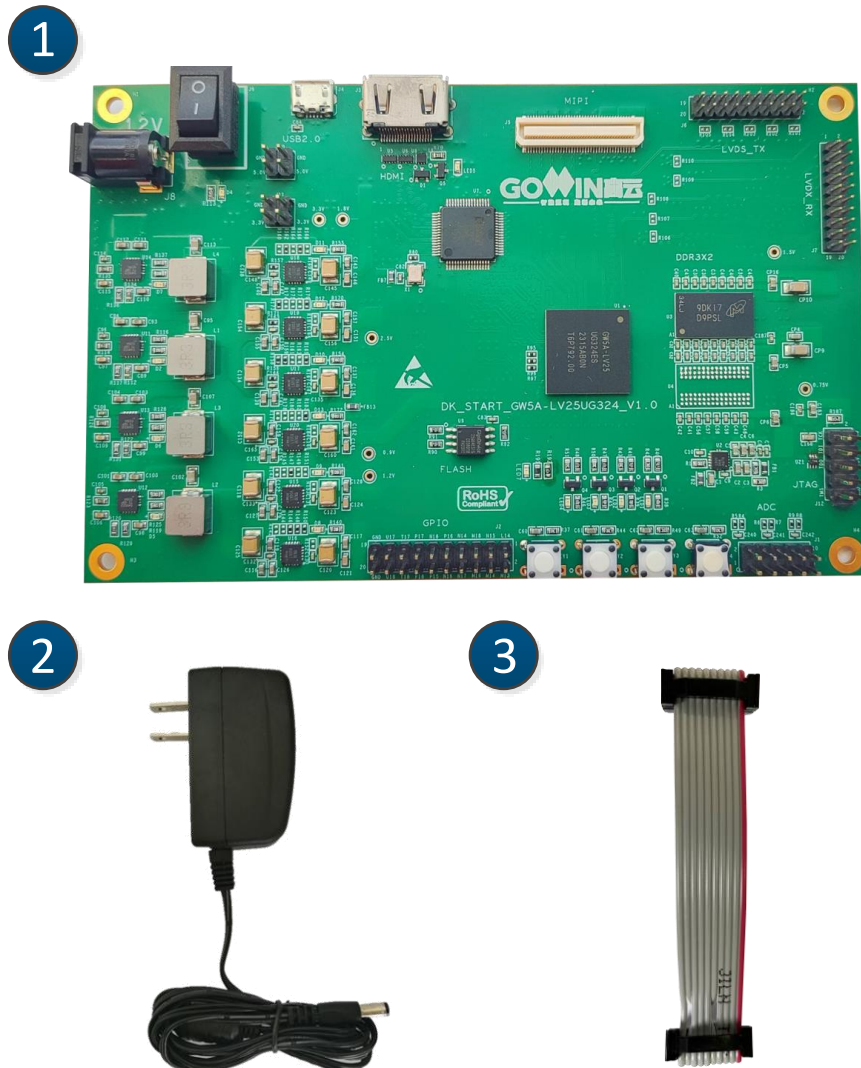
开发板采用高云的“GW5A-LV25UG324”型号的 FPGA 器件，芯片内部资源具体请查看 [DS1103](#)，[GW5A 系列 FPGA 产品数据手册](#)。

## 2.2 开发板套件

开发板套件包括:

1. DK\_START\_GW5A-LV25UG324\_V1.0 开发板
2. 12V 电源（输入：100-240V~50/60Hz 0.6A，输出：DC 12V 2A）
3. 调整线序后的灰排线

图 2-2 开发板套件



- ① DK\_START\_GW5A-LV25UG324\_V1.0 开发板
- ② 12V电源
- ③ 调整线序后的灰排线

## 2.3 PCB 组件

图 2-3 开发板 PCB 组件说明

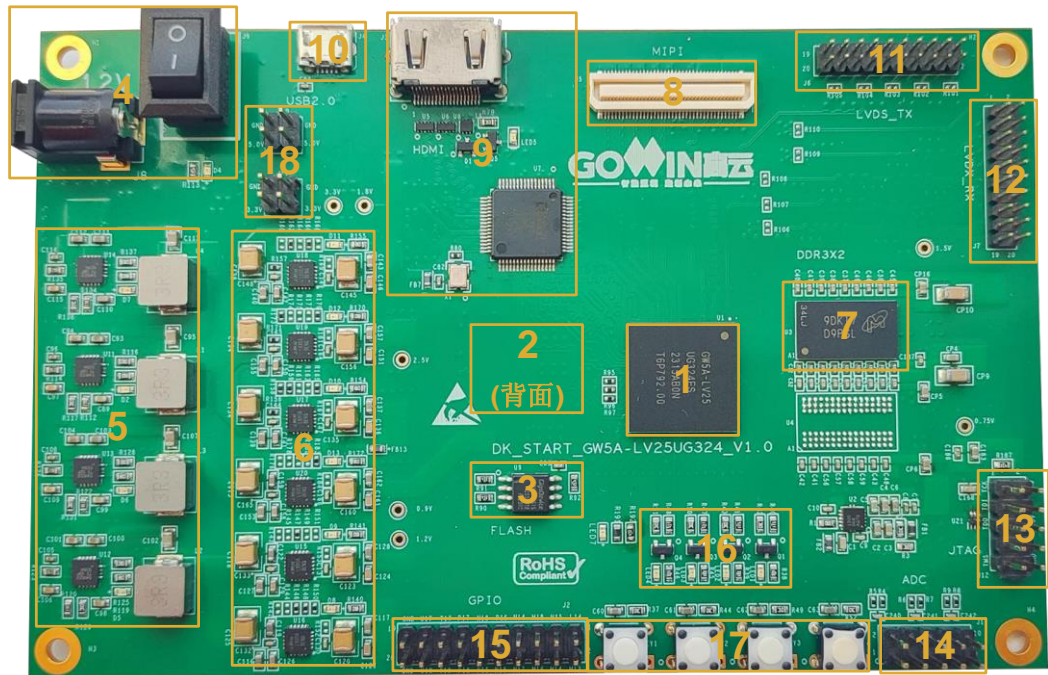


表 2-1 开发板 PCB 组件说明

编号	说明
1	GW5A-LV25UG324ES, 高云 FPGA, 作为主控制器
2	OT322550MJBA4SL, 50M 时钟晶振, 为 FPGA 提供时钟源
3	GD25Q64ESIG, 外部 64M Flash, 存储配置程序使用。
4	+12V 电源输入, 船型开关
5	TPS54622, 电源转换芯片 DC-DC
6	TPL930, 电源转换芯片 LDO
7	MT41J128M16JT-125:K, DDR3*1 存储
8	AXK580137YG, 连接器, 包括 MIPI_RX/TX 硬核, MIPI_RX 软核, MIPI_TX 软核接口
9	HDMI_TX 接口, 带有 ADV7513BSWZ 165M 高性能 HDMI 发送芯片
10	micro-B 型号的 USB2.0 接口
11	4 lane + 1 clk 的 LVDS_TX 接口
12	4 lane + 1 clk 的 LVDS_RX 接口
13	JTAG 下载口

编号	说明
14	3*ADC 模数转换输入接口
15	18*GPIO, 1.5V 供电接口
16	4*LED
17	4*SWITCH(硬件消抖)
18	5.0V 向外部供电, 3.3V 向外部供电接口

## 2.4 特性

开发板的关键特性如下：

- **FPGA 器件**
  - 主芯片采用 GW5A-LV25UG324，为高云 Arora V FPGA，是高云半导体晨熙家族第五代产品
  - 最多用户 I/O 240 个
- **下载与启动**
  - 通过高云下载器连接板上 JTAG 接口下载程序
  - 外部 FLASH 启动
  - 加载完成后，DONE 灯亮
- **供电方式**
  - 外部 DC 12V 2A 供电
  - 上电后，POWER 灯亮
  - 开发板产生 0.9V、1.2V、1.5V、1.8V、2.5V、3.3V，5.0V 电压
- **系统时钟**
  - 50MHz 时钟
- **存储器件**
  - 2Gbit DDR3 SDRAM
  - 64Mbit Quad SPI Flash Memory
- **LVDS 接口**
  - 4 lane + 1 clk 的 LVDS\_TX 接口
  - 4 lane + 1 clk 的 LVDS\_RX 接口
- **MIPI 接口**
  - MIPI\_RX/TX 硬核（4 lane + 1 clk）
  - MIPI\_RX 软核（4 lane + 1 clk）
  - MIPI\_TX 软核（4 lane + 1 clk）
  - 4\*GPIO
  - 5.0V 电源供电

- 3.3V 电源供电
- 采用 80 触点,0.5mm 间距连接器
- ADC
  - 接口采用 2\*5pin 插针
  - 3\*ADC 差分输入设计了抗混叠滤波器
- 调试模块
  - 4 个按键
  - 4 个 LED
- HDMI\_TX 接口
  - 带有 ADV7513BSWZ 165M 高性能 HDMI 发送芯片
- USB2.0 接口
  - Micro-B 接口, 静电防护
- GPIO 接口
  - 18 个 1.5V 供电的 GPIO 方便调试

# 3 开发板电路

## 3.1 FPGA 模块

### 概述

GW5A 系列 FPGA 产品资源信息参考 [DS1103, GW5A 系列 FPGA 产品数据手册](#)。

### I/O BANK 说明

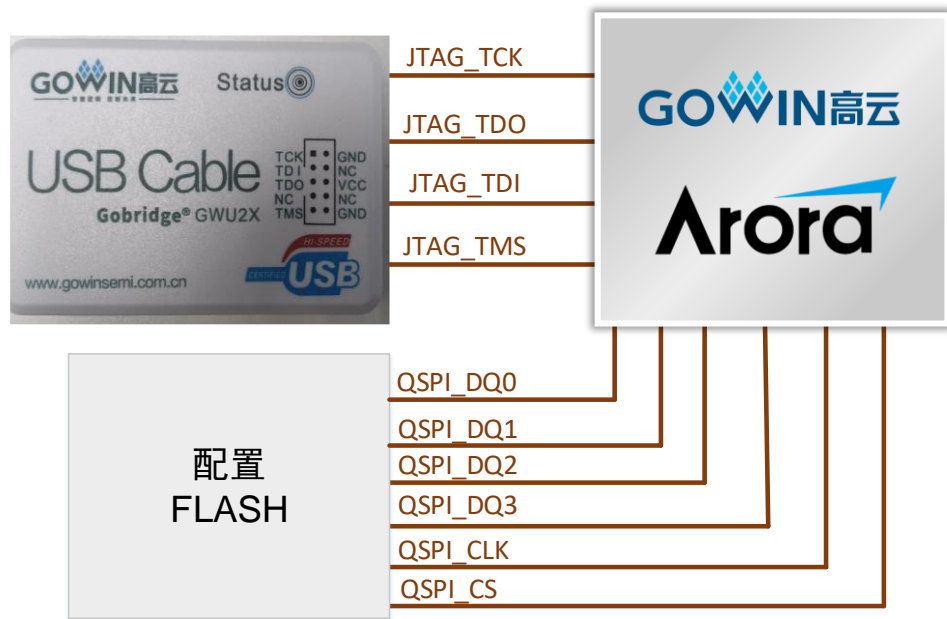
GW5A 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息参考 [UG1101, GW5A 系列 FPGA 产品封装与管脚手册](#)。

## 3.2 下载模块

### 3.2.1 介绍

使用高云下载器连接到开发板的 JTAG 下载口 (J12),即可将程序下载到外部 FLASH。下载、配置的连接示意图如图 3-1 所示。

图 3-1 FPGA 下载与配置连接示意图



注！

由于实际开发板 JTAG 下载线序和下载器 JTAG 线序不一致，需要使用包装盒内的 10PIN 灰排线替换下 USB Cable 的 10PIN 灰排线。

### 3.2.2 管脚分配

表 3-1 FPGA 下载与配置管脚分配

信号名称	FPGA(U1)管脚号	BANK	I/O 电平	描述
TCK	A17	10	3.3V	JTAG 信号
TDO	D16	10	3.3V	JTAG 信号
TDI	D15	10	3.3V	JTAG 信号
TMS	B18	10	3.3V	JTAG 信号
QSPI_DQ0	T13	4	3.3V	配置 FLASH 信号
QSPI_DQ1	R13	4	3.3V	配置 FLASH 信号
QSPI_DQ2	T14	4	3.3V	配置 FLASH 信号
QSPI_DQ3	V14	4	3.3V	配置 FLASH 信号
QSPI_CS	V3	4	3.3V	配置 FLASH 信号
QSPI_CLK	R15	4	3.3V	配置 FLASH 信号



## 3.3 电源

### 3.3.1 介绍

开发板通过电源适配器供电，适配器的参数为输入：100-240V~50/60MHz 0.6A，输出：DC +12V 2A。

用 4 片 TPS54622（DC-DC）电源芯片将适配器的 12V 分别转为 1.2V、2.1V、3.6V 和 5.0V，各自的最大输出电流均为 6A。

将产生的 1.2V、2.1V、3.6V 电源供给 6 片 TPL930（LDO）电源芯片，进而产生 0.9V、1.2V、1.5V、1.8V、2.5V、3.3V，最大输出电流 3A。

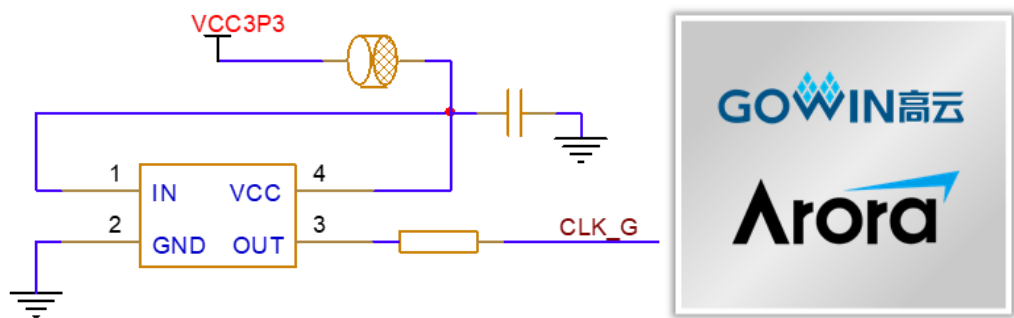
TPL930 输出的 3.3V 和 1.5V 电源作为电源芯片 TPS51200 的输入，TPS51200 输出 0.75V，专为 DDR3 供电。

## 3.4 时钟

### 3.4.1 介绍

FPGA 时钟源，单端时钟信号引入，晶振型号：OT322550MJBA4SL。时钟管脚分配如表 3-2 所示。

图 3-2 时钟连接示意图



### 3.4.2 管脚分配

表 3-2 时钟管脚分配

信号名称	FPGA 管脚号	I/O 电平	产生时钟的器件	描述
CLK_G	T9	3.3V	Y1	50M 单端晶振

## 3.5 DDR3 模块

### 3.5.1 介绍

DK\_START\_GW5A-LV25UG324\_V1.0 开发板上配有 1 个 2Gbit 的 DDR3 芯片，型号为 MT41J128M16JT-125:K。DDR3 的总线宽度共为 16bit。该 DDR3 存储系统直接连接到了 FPGA 的 BANK 0 和 BANK 1 的存储器接口上。DDR3 的具体配置如表 3-3 所示。

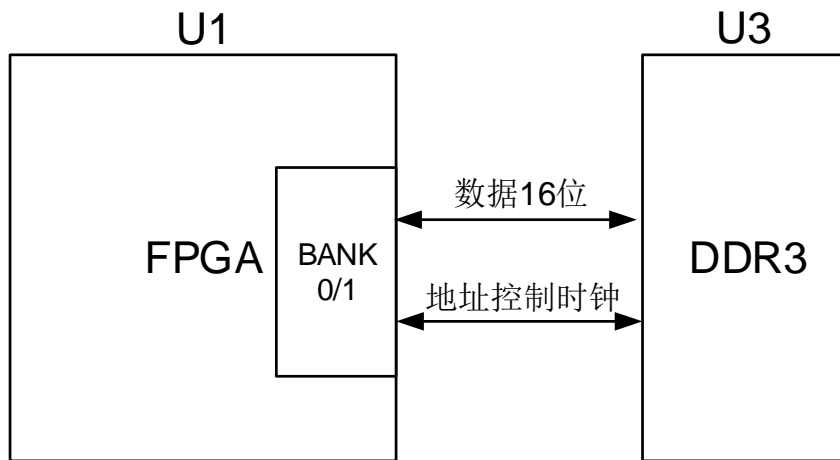
表 3-3 DDR3 配置

位号	芯片类型	容量
U3	MT41J128M16JT-125:K	128M x 16bit

DDR3 的硬件设计需要严格考虑信号完整性，在电路设计和 PCB 设计时已经充分考虑了匹配电阻/终端电阻，走线阻抗控制，走线等长控制等，以保证 DDR3 高速稳定的工作。

DDR3 的硬件连接示意图如图 3-3 所示。

图 3-3 DRAM 的硬件连接示意图



### 3.5.2 管脚分配

表 3-4 DDR3 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_A0	B4	0	1.5V	地址
DDR3_A1	C7	0	1.5V	地址
DDR3_A2	A3	0	1.5V	地址
DDR3_A3	G8	0	1.5V	地址

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_A4	E7	0	1.5V	地址
DDR3_A5	C8	0	1.5V	地址
DDR3_A6	D8	0	1.5V	地址
DDR3_A7	F8	0	1.5V	地址
DDR3_A8	E8	0	1.5V	地址
DDR3_A9	B3	0	1.5V	地址
DDR3_A10	C4	0	1.5V	地址
DDR3_A11	B8	0	1.5V	地址
DDR3_A12	B6	0	1.5V	地址
DDR3_A13	A2	0	1.5V	地址
DDR3_BA0	A7	0	1.5V	Bank 地址
DDR3_BA1	D6	0	1.5V	Bank 地址
DDR3_BA2	A4	0	1.5V	Bank 地址
DDR3_CAS#	A5	0	1.5V	列地址选通
DDR3_CKE	C6	0	1.5V	时钟使能
DDR3_CLK0_N	C9	0	1.5V	差分时钟
DDR3_CLK0_P	D9	0	1.5V	差分时钟
DDR3_DQ0	B11	1	1.5V	数据
DDR3_DQ1	A10	1	1.5V	数据
DDR3_DQ2	A11	1	1.5V	数据
DDR3_DQ3	F10	1	1.5V	数据
DDR3_DQ4	G11	1	1.5V	数据
DDR3_DQ5	G9	1	1.5V	数据
DDR3_DQ6	A12	1	1.5V	数据
DDR3_DQ7	F9	1	1.5V	数据
DDR3_DQ8	C12	1	1.5V	数据
DDR3_DQ9	A14	1	1.5V	数据
DDR3_DQ10	D12	1	1.5V	数据
DDR3_DQ11	B14	1	1.5V	数据
DDR3_DQ12	E11	1	1.5V	数据

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_DQ13	C13	1	1.5V	数据
DDR3_DQ14	F11	1	1.5V	数据
DDR3_DQ15	A13	1	1.5V	数据
DDR3_LDQSp	D11	1	1.5V	数据时钟
DDR3_LDQSn	C11	1	1.5V	数据时钟
DDR3_LDM	C10	1	1.5V	数据输入屏蔽
DDR3_UDQSp	F12	1	1.5V	数据时钟
DDR3_UDQSn	E12	1	1.5V	数据时钟
DDR3_UDM	E13	1	1.5V	数据输入屏蔽
DDR3_ODT	F7	0	1.5V	片上终端使能
DDR3_RAS#	E6	0	1.5V	行地址选通
DDR3_RESET	B2	0	1.5V	复位
DDR3_WE#	C5	0	1.5V	写使能

## 3.6 Flash

### 3.6.1 介绍

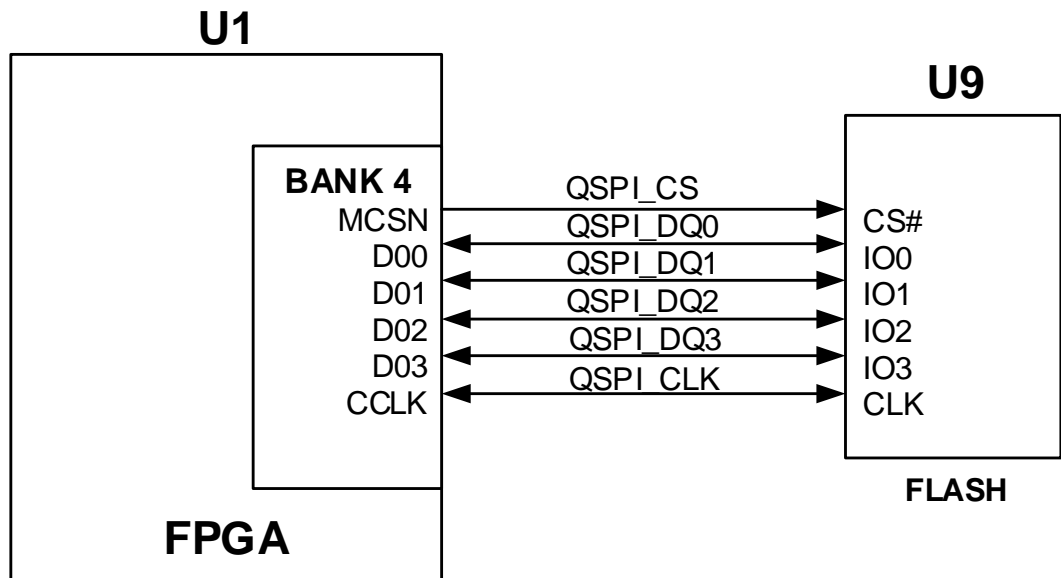
DK\_START\_GW5A-LV25UG324\_V1.0 开发板配有一个 FLASH 存储芯片，芯片型号为 GD25Q64ESIG，存储容量为 64Mbit。由于 FLASH 具有断电数据不丢失的特性，而 FPGA 芯片掉电数据是会丢失的，所以可将 FLASH 作为 FPGA 芯片的上电配置器件，我们将上电程序固化在 FLASH 中，上电后 FPGA 芯片读取到 FLASH 中存储的程序进行运行。FLASH 的具体型号和相关参数如表 3-5 所示。

表 3-5 SPI FLASH 的具体型号和相关参数

位号	芯片类型	容量
U9	GD25Q64ESIG	64M Bit

FLASH 连接到 FPGA 芯片的 BANK4 专用管脚上。图 3-4 为 Flash 的硬件连接示意图。

图 3-4 Flash 的硬件连接示意图



### 3.6.2 管脚分配

表 3-6 FLASH 各引脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平
QSPI_CLK	R15	4	3.3V
Flash_SPI_CS_N	V3	4	3.3V
QSPI_DQ0	T13	4	3.3V
QSPI_DQ1	R13	4	3.3V
QSPI_DQ2	T14	4	3.3V
QSPI_DQ3	V14	4	3.3V

## 3.7 LED 灯、按键

### 3.7.1 介绍

DK\_START\_GW5A-LV25UG324\_V1.0 开发板共有 4 个用户 LED ,连接 BANK3 的 IO, 可以通过程序来控制亮和灭, 当对应 IO 电压为高时, 用户 LED 点亮, 当连接 IO 电压为低时, 用户 LED 熄灭。

开发板上有 4 个用户按键, 分别连接 FPGA BANK3 的普通的 IO。当按键按下, FPGA 的对应 IO 输入电压为低, 当没有按键按下时, FPGA 的对应 IO 输入电压为高。

## 3.7.2 管脚分配

表 3-7 LED 灯管脚分配

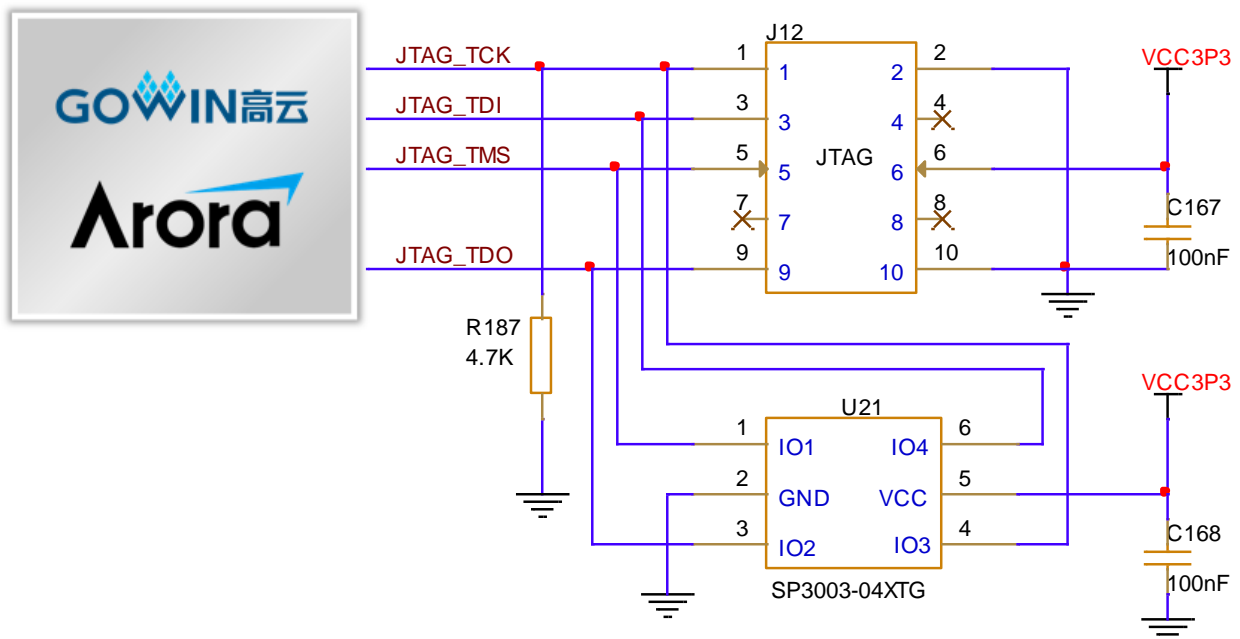
信号名称	位号	FPGA 管脚号	BANK	I/O 电平	描述
LED1	LED1	K17	3	1.5V	用户 LED
LED2	LED2	K18	3	1.5V	用户 LED
LED3	LED3	L17	3	1.5V	用户 LED
LED4	LED4	L18	3	1.5V	用户 LED
KEY1	KEY1	L16	3	1.5V	用户按键
KEY2	KEY2	L15	3	1.5V	用户按键
KEY3	KEY3	H18	3	1.5V	用户按键
KEY4	KEY4	H17	3	1.5V	用户按键

## 3.8 JTAG 接口

### 3.8.1 介绍

DK\_START\_GW5A-LV25UG324\_V1.0 开发板预留了 JTAG 下载口 (J12)，用来下载和调试。接口类型为 2x5 的 2.54mm 间距排针，配有 ESD 保护电路。

图 3-5 JTAG 接口 J12 的原理图部分



## 3.8.2 管脚分配

表 3-8 FPGA U1 的 JTAG 管脚分配

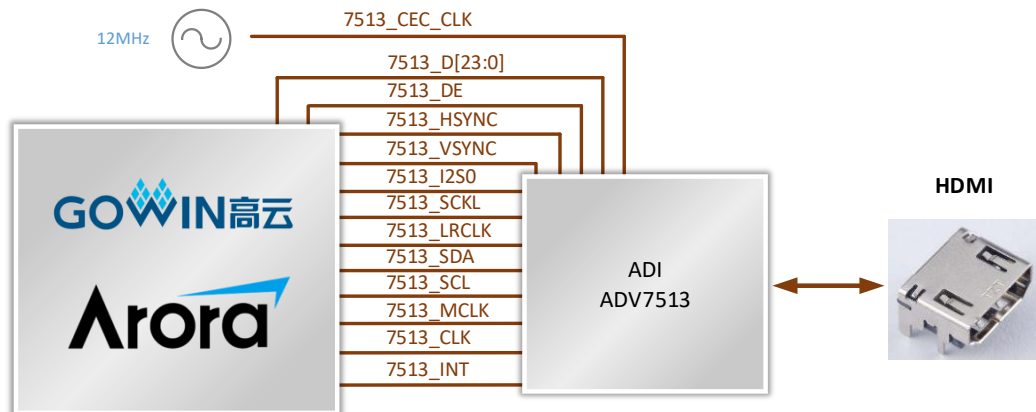
信号名称	FPGA 管脚号	BANK	I/O 电平
TDI	D15	10	3.3V
TDO	D16	10	3.3V
TCK	A17	10	3.3V
TMS	B18	10	3.3V

## 3.9 HDMI\_TX 接口

### 3.9.1 介绍

DK\_START\_GW5A-LV25UG324\_V1.0 开发板上 HDMI\_TX 接口采用 ADI 的 ADV7513BSWZ 编解码芯片，FPGA 输出的 RGB 并行数据转换为 HDMI 信号，连接示意图如图 3-6 所示。

图 3-6 FPGA 与 HDMI2 接口连接示意图



### 3.9.2 管脚分配

表 3-9 HDMI\_TX 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
7513_CLK	R7	5	3.3V	RGB 数据行锁定输出时钟
7513_D0	T3	5	3.3V	RGB 数据信号
7513_D1	T4	5	3.3V	RGB 数据信号
7513_D2	T5	5	3.3V	RGB 数据信号

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
7513_D3	T6	5	3.3V	RGB 数据信号
7513_D4	M11	4	3.3V	RGB 数据信号
7513_D5	N11	4	3.3V	RGB 数据信号
7513_D6	N9	5	3.3V	RGB 数据信号
7513_D7	P8	5	3.3V	RGB 数据信号
7513_D8	P7	5	3.3V	RGB 数据信号
7513_D9	T7	5	3.3V	RGB 数据信号
7513_D10	R11	4	3.3V	RGB 数据信号
7513_D11	T11	4	3.3V	RGB 数据信号
7513_D12	U5	5	3.3V	RGB 数据信号
7513_D13	V5	5	3.3V	RGB 数据信号
7513_D14	V6	5	3.3V	RGB 数据信号
7513_D15	U7	5	3.3V	RGB 数据信号
7513_D16	V7	5	3.3V	RGB 数据信号
7513_D17	U8	5	3.3V	RGB 数据信号
7513_D18	V8	5	3.3V	RGB 数据信号
7513_D19	M10	5	3.3V	RGB 数据信号
7513_D20	V12	4	3.3V	RGB 数据信号
7513_D21	V13	4	3.3V	RGB 数据信号
7513_D22	V16	4	3.3V	RGB 数据信号
7513_D23	U16	4	3.3V	RGB 数据信号
7513_VSYNC	P6	5	3.3V	垂直同步输出信号
7513_HSYNC	R3	5	3.3V	水平同步输出信号
7513_DE	R5	5	3.3V	RGB 数据使能
7513_SCLK	N8	5	3.3V	音频串行时钟
7513_LRCLK	M8	5	3.3V	音频左右时钟
7513_MCLK	N5	5	3.3V	音频主时钟
7513_I2S0	N6	5	3.3V	音频输出引脚
7513_SCL	V15	4	3.3V	I2C 串行接口时钟
7513_SDA	U13	5	3.3V	I2C 串行接口数据



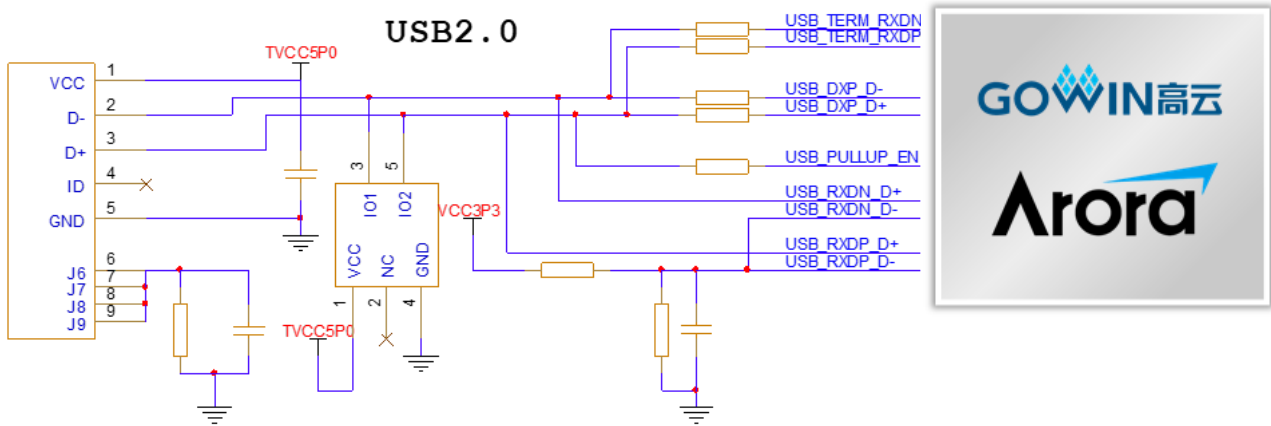
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
7513_INT	U15	4	3.3V	中断信号

## 3.10 USB2.0 接口

### 3.10.1 介绍

DK\_START\_GW5A-LV25UG324\_V1.0 开发板配有 USB2.0 接口，形式为配有 ESD 保护的 micro-B 接口，用于 FPGA 与外部器件通信。

图 3-7 USB2.0 原理图连接示意图



### 3.10.2 管脚分配

表 3-10 USB2.0 模块管脚分配

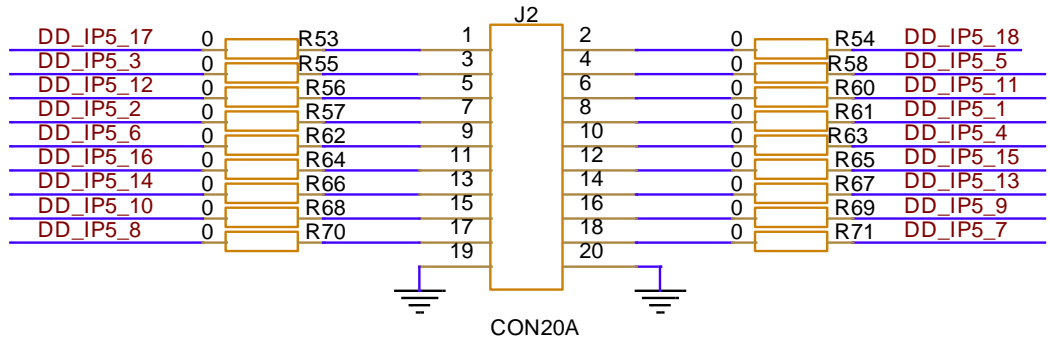
信号名称	FPGA 管脚号	BANK	IO 电平
USB_TERM_RXDN	N10	4	3.3V
USB_TERM_RXDP	P11	4	3.3V
USB_DXP_D-	U10	4	3.3V
USB_DXP_D+	V10	4	3.3V
USB_PULLUP_EN	T12	4	3.3V
USB_RXDN_D+	R10	4	3.3V
USB_RXDN_D-	T10	4	3.3V
USB_RXDP_D+	U11	4	3.3V
USB_RXDP_D-	V11	4	3.3V

## 3.11 GPIO

### 3.11.1 介绍

DK\_START\_GW5A-LV25UG324\_V1.0 开发板上通过 2.54mm 间距排针拉出 18 个 1.5V 供电的 IO 引脚，排针与 FPGA 之间串有 0 欧姆电阻。

图 3-8 GPIO 原理图连接示意图



### 3.11.2 管脚分配

表 3-11 GPIO 管脚分配

信号名称	FPGA 管脚号	BANK	IO 电平
DD_IP5_1	N17	3	3.3V
DD_IP5_2	N14	3	3.3V
DD_IP5_3	N15	3	3.3V
DD_IP5_4	N16	3	3.3V
DD_IP5_5	M14	3	3.3V
DD_IP5_6	P16	3	3.3V
DD_IP5_7	U18	3	3.3V
DD_IP5_8	U17	3	3.3V
DD_IP5_9	T18	3	3.3V
DD_IP5_10	T17	3	3.3V
DD_IP5_11	M16	3	3.3V
DD_IP5_12	M18	3	3.3V
DD_IP5_13	P18	3	3.3V
DD_IP5_14	P17	3	3.3V
DD_IP5_15	P15	3	3.3V

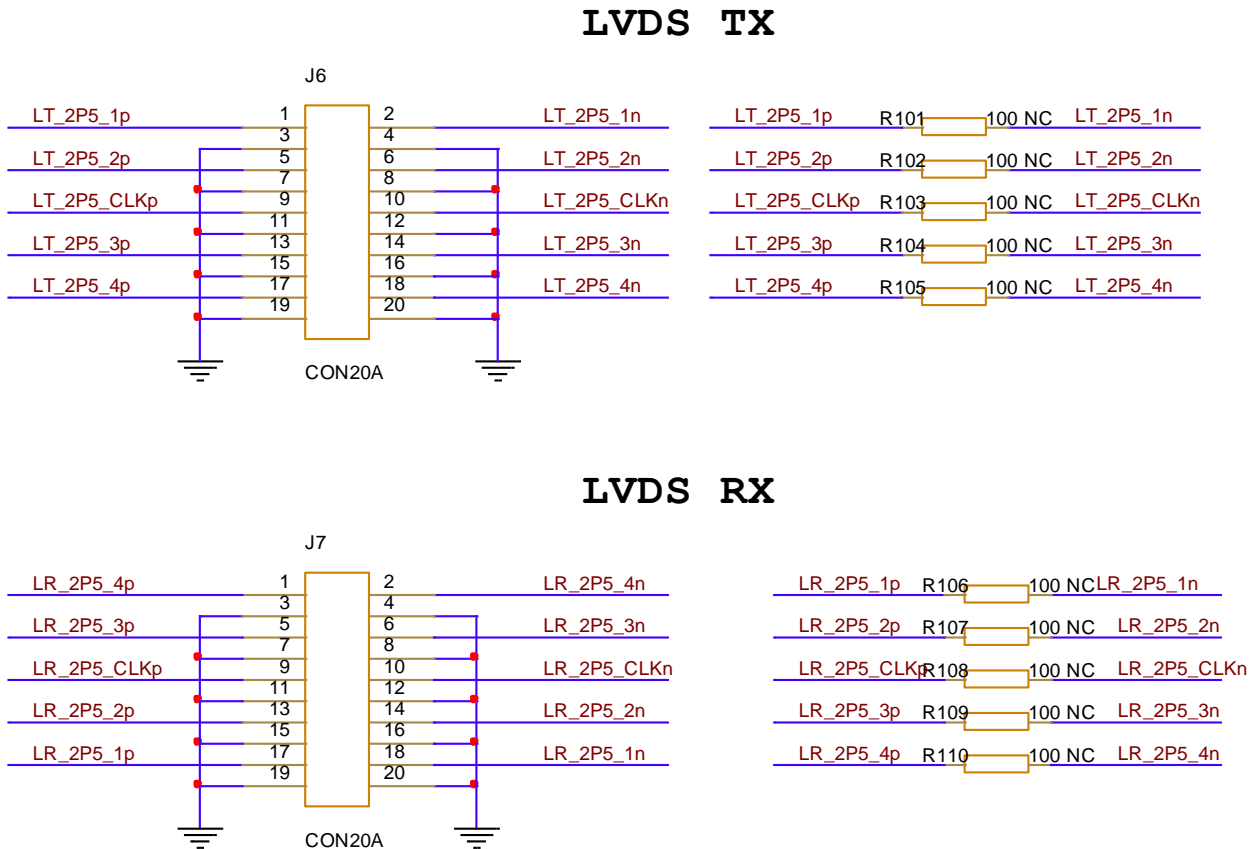
信号名称	FPGA 管脚号	BANK	IO 电平
DD_IP5_16	N18	3	3.3V
DD_IP5_17	L14	3	3.3V
DD_IP5_18	M13	3	3.3V

## 3.12 LVDS 连接器

### 3.12.1 介绍

DK\_START\_GW5A-LV25UG324\_V1.0 开发板配有 LVDS 收发两部分连接器，连接器形式均为 2x10 的 2mm 间距排针，LVDS\_TX 包含：4 lane + 1 clk；LVDS\_RX 包含：4 lane + 1 clk。

图 3-9 LVDS 原理图连接示意图



### 3.12.2 管脚分配

表 3-12 LVD\_TX 管脚分配

信号名称	FPGA (U1) 管脚号	BANK	I/O 电平
LT_2P5_1p	E4	7	2.5V
LT_2P5_1n	D3	7	2.5V
LT_2P5_2p	E3	7	2.5V
LT_2P5_2n	E1	7	2.5V
LT_2P5_CLKp	F4	7	2.5V
LT_2P5_CLKn	F3	7	2.5V
LT_2P5_3p	D2	7	2.5V
LT_2P5_3n	D1	7	2.5V
LT_2P5_4p	J7	7	2.5V
LT_2P5_4n	J6	7	2.5V

表 3-13 LVD\_RX 管脚分配

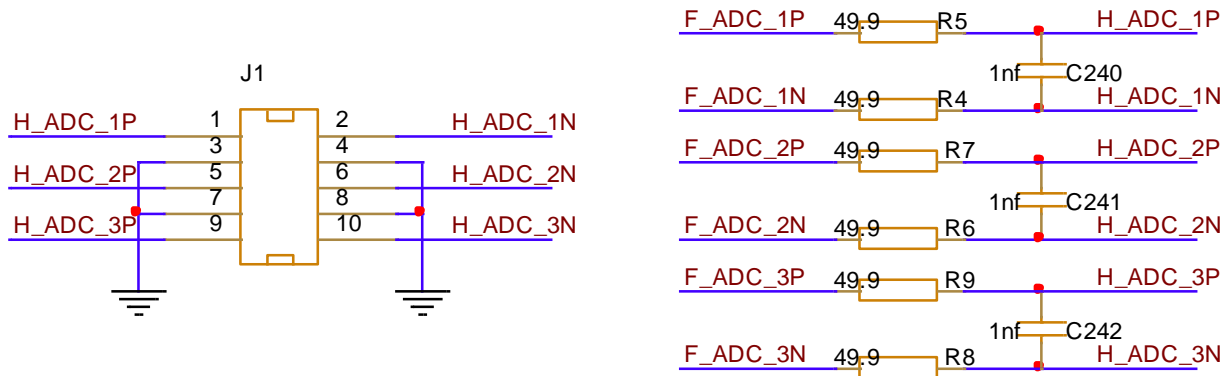
信号名称	FPGA (U1) 管脚号	BANK	I/O 电平
LR_2P5_1p	F6	7	2.5V
LR_2P5_1n	F5	7	2.5V
LR_2P5_2p	C2	7	2.5V
LR_2P5_2n	C1	7	2.5V
LR_2P5_CLKp	H2	6	2.5V
LR_2P5_CLKn	H1	6	2.5V
LR_2P5_3p	K4	6	2.5V
LR_2P5_3n	K3	6	2.5V
LR_2P5_4p	L4	6	2.5V
LR_2P5_4n	L3	6	2.5V

## 3.13 ADC 接口

### 3.13.1 介绍

DK\_START\_GW5A-LV25UG324\_V1.0 开发板上扩展 ADC 的连接器接口，连接器使用的是 2x5 的 2.54mm 间距排针。共有 3 对差分 ADC 通过排针引入开发板，开发板上设计有抗混叠滤波电路，进而连接到 FPGA 的 bank IO。

图 3-10 ADC 原理图



### 3.13.2 管脚分配

表 3-14 ADC 模块管脚分配

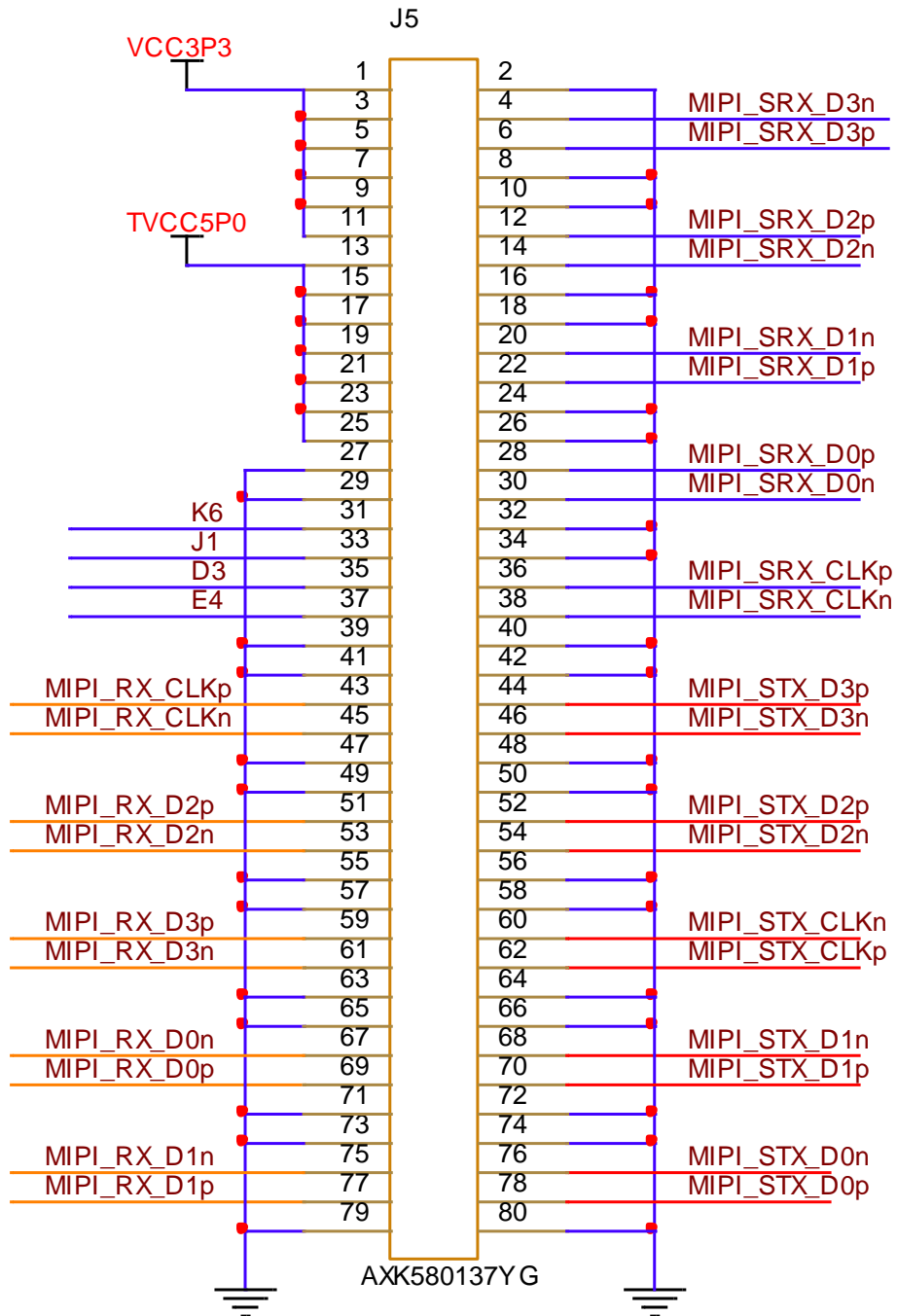
信号名称	FPGA 管脚号	BANK	IO 电平
F_ADC_3P	B9	0	1.5V
F_ADC_3N	A9	0	1.5V
F_ADC_2P	K15	2	1.5V
F_ADC_2N	K16	2	1.5V
F_ADC_1P	B16	1	1.5V
F_ADC_1N	A16	1	1.5V

### 3.14 MIPI

#### 3.14.1 介绍

开发板上的 MIPI 接口采用 AXK580137YG 连接器，此连接器 80pin、0.5mm 间距。从 FPGA 引出 MIPI\_RX/TX 硬核包括：4 lane + 1 clk；MIPI\_RX 软核包括：4 lane + 1 clk；MIPI\_TX 软核包括：4 lane + 1 clk。另外该连接器可以提供 3.3V 和 5.0V 供电。原理图电路如图 3-11 所示。

图 3-11 MIPI 接口原理图电路



### 3.14.2 管脚分配

表 3-15 MIPI 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	MIPI 插座管脚号
MIPI_SRX_D3N	K5	7	2.5V	J5_4
MIPI_SRX_D3p	L5	7	2.5V	J5_6
MIPI_SRX_D2p	G3	7	2.5V	J5_12
MIPI_SRX_D2n	G1	7	2.5V	J5_14
MIPI_SRX_D1n	G6	7	2.5V	J5_20
MIPI_SRX_D1p	H7	7	2.5V	J5_22
MIPI_SRX_D0p	F2	7	2.5V	J5_28
MIPI_SRX_D0n	F1	7	2.5V	J5_30
MIPI_SRX_CLKp	H4	7	2.5V	J5_36
MIPI_SRX_CLKn	H3	7	2.5V	J5_38
MIPI_STX_D3p	K2	6	2.5V	J5_44
MIPI_STX_D3n	K1	6	2.5V	J5_46
MIPI_STX_D2p	L2	6	2.5V	J5_52
MIPI_STX_D2n	L1	6	2.5V	J5_54
MIPI_STX_CLKn	M1	6	2.5V	J5_60
MIPI_STX_CLKp	M3	6	2.5V	J5_62
MIPI_STX_D1n	N1	6	2.5V	J5_68
MIPI_STX_D1p	N2	6	2.5V	J5_70
MIPI_STX_D0n	P1	6	2.5V	J5_76
MIPI_STX_D0p	P2	6	2.5V	J5_78
MIPI_RX_CLKp	L6	MIPI	-	J5_43
MIPI_RX_CLKn	M5	MIPI	-	J5_45
MIPI_RX_D2p	N4	MIPI	-	J5_51
MIPI_RX_D2n	N3	MIPI	-	J5_53
MIPI_RX_D3p	P4	MIPI	-	J5_59
MIPI_RX_D3n	P3	MIPI	-	J5_61
MIPI_RX_D0n	T1	MIPI	-	J5_67

信号名称	FPGA 管脚号	BANK	I/O 电平	MIPI 插座管脚号
MIPI_RX_D0p	T2	MIPI	-	J5_69
MIPI_RX_D1n	U1	MIPI	-	J5_75
MIPI_RX_D1p	U2	MIPI	-	J5_77



