



DK_START_GW5A-LV25UG324_V1.1

用户手册

DBUG416-1.0,2023-08-18

版权所有 © 2023 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin 以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2023/08/18	1.0	初始版本。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 开发板简介	3
2.1 概述	3
2.2 开发板套件	4
2.3 PCB 组件	5
2.4 特性	6
3 开发板电路	8
3.1 FPGA	8
3.2 电源	8
3.2.1 介绍	8
3.3 JTAG 接口	9
3.3.1 介绍	9
3.3.2 管脚分配	9
3.4 时钟	10
3.4.1 介绍	10
3.4.2 管脚分配	10
3.5 DDR3 模块	10
3.5.1 介绍	10

3.5.2 管脚分配.....	11
3.6 SPI Flash	14
3.6.1 介绍.....	14
3.6.2 管脚分配.....	14
3.7 LED 灯、按键.....	15
3.7.1 介绍.....	15
3.7.2 管脚分配.....	15
3.8 HDMI_TX 接口	15
3.8.1 介绍.....	15
3.8.2 管脚分配.....	16
3.9 GPIO	17
3.9.1 介绍.....	17
3.9.2 管脚分配.....	18
3.10 LVDS 连接器	19
3.10.1 介绍.....	19
3.10.2 管脚分配.....	20
3.11 ADC 接口.....	21
3.11.1 介绍	21
3.11.2 管脚分配.....	21
3.12 MIPI	22
3.12.1 介绍.....	22
3.12.2 管脚分配.....	23

图目录

图 2-1 DK_START_GW5A-LV25UG324_V1.1 开发板	3
图 2-2 开发板套件	4
图 2-3 开发板 PCB 组件说明	5
图 3-1 JTAG 连接示意图	9
图 3-2 时钟连接示意图	10
图 3-3 DDR3 的硬件连接示意图	11
图 3-4 SPI Flash 的硬件连接示意图	14
图 3-5 FPGA 与 HDMI2 接口连接示意图	16
图 3-6 GPIO 原理图连接示意图	17
图 3-7 LVDS 原理图连接示意图	19
图 3-8 ADC 原理图	21
图 3-9 MIPI 接口原理图电路	22

表目录

表 1-1 术语、缩略语.....	1
表 2-1 开发板 PCB 组件说明.....	5
表 3-1 JTAG 管脚分配.....	9
表 3-2 时钟管脚分配.....	10
表 3-3 DDR3 配置	10
表 3-4 DDR3 模块管脚分配.....	11
表 3-5 SPI FLASH 的具体型号和相关参数.....	14
表 3-6 FLASH 各引脚分配.....	14
表 3-7 LED 灯管脚分配	15
表 3-8 HDMI_TX 模块管脚分配.....	16
表 3-9 GPIO 管脚分配	18
表 3-10 LVD_TX 管脚分配	20
表 3-11 LVD_RX 管脚分配	20
表 3-12 ADC 信号输入管脚分配	21
表 3-13 MIPI 接口管脚分配	23

1 关于本手册

1.1 手册内容

DK_START_GW5A-LV25UG324_V1.1 开发板（以下简称开发板）用户手册分为三个部分：

- 简要介绍开发板的功能特点。
- 介绍开发板整体系统架构和硬件资源。
- 介绍开发板各部分硬件电路的功能、电路及管脚分配。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [UG985, GW5A-25 器件 Pinout 手册](#)
- [UG1101, GW5A 系列 FPGA 产品封装与管脚手册](#)
- [UG290, Gowin FPGA 产品编程配置手册](#)
- [SUG100, Gowin 云源软件用户手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
ADC	Analog-to-digital Converter	数模转换器
DDR	Double Data Rate	双倍速率
FPGA	Field Programmable Gate Array	现场可编程门阵列

术语、缩略语	全称	含义
GPIO	Gowin Programmable I/O	Gowin 可编程通用管脚
JTAG	Joint Test Action Group	联合测试工作组
LDO	Low Dropout Regulator	低压差线性稳压器
LVDS	Low-Voltage Differential Signaling	低电压差分信号
MIPI	Mobile Industry Processor Interface	移动产业处理器接口

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

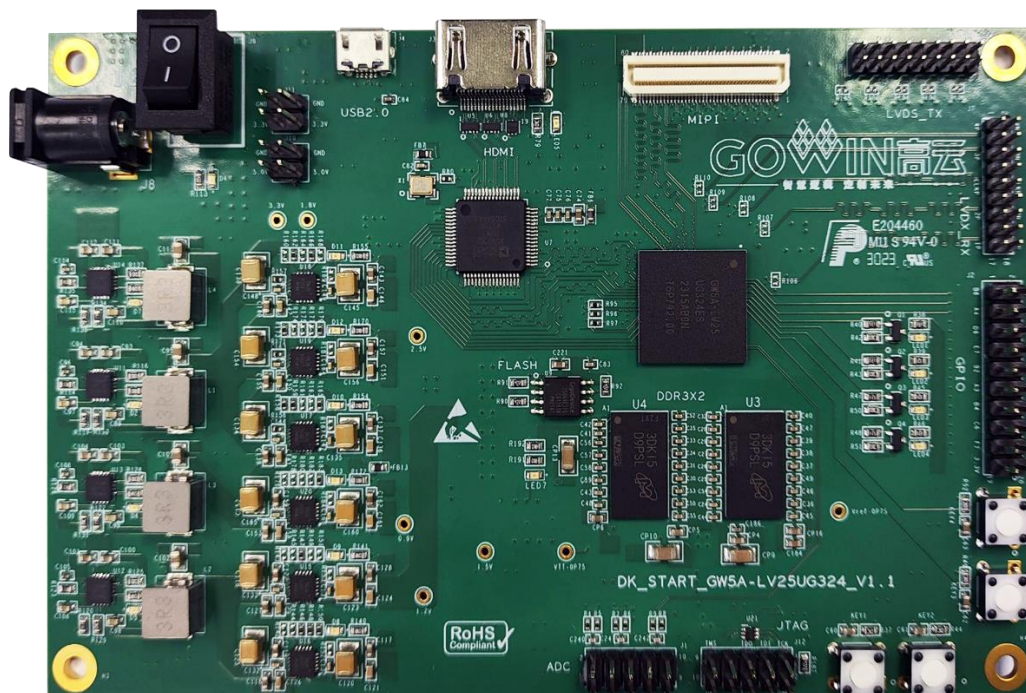
E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 开发板简介

2.1 概述

图 2-1 DK_START_GW5A-LV25UG324_V1.1 开发板



DK_START_GW5A-LV25UG324_V1.1 开发板适用于 DDR3 的高速数据存储，MIPI、LVDS 等高速通信，ADC 模数转换，HDMI_TX 通信，硬件可靠性验证及软件学习调试等多种应用需求。

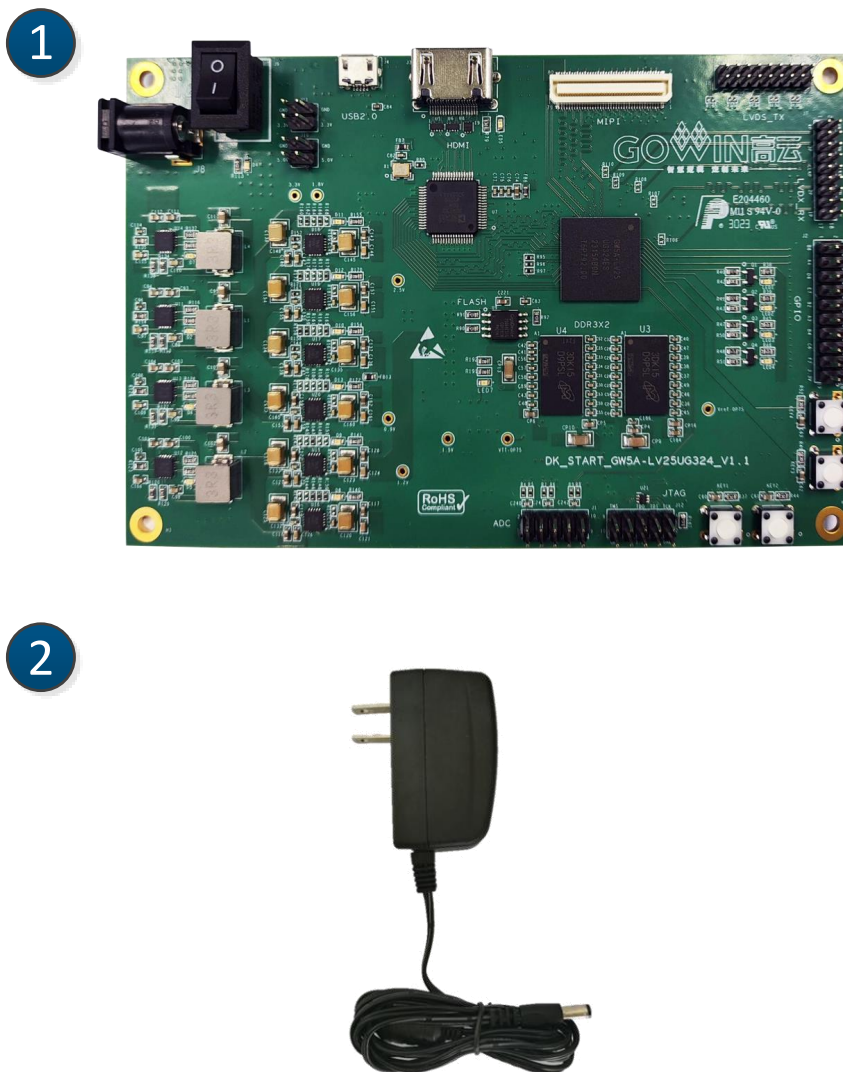
开发板采用高云的“GW5A-LV25UG324”型号的 FPGA 器件，芯片内部资源具体请查看 [DS1103](#)，[GW5A 系列 FPGA 产品数据手册](#)。

2.2 开发板套件

开发板套件包括:

1. DK_START_GW5A-LV25UG324_V1.1 开发板
2. 12V 电源（输入：100-240V~50/60Hz 0.6A，输出：DC 12V 2A）

图 2-2 开发板套件



- ① DK_START_GW5A-LV25UG324_V1.1 开发板
- ② 12V电源适配器

2.3 PCB 组件

图 2-3 开发板 PCB 组件说明

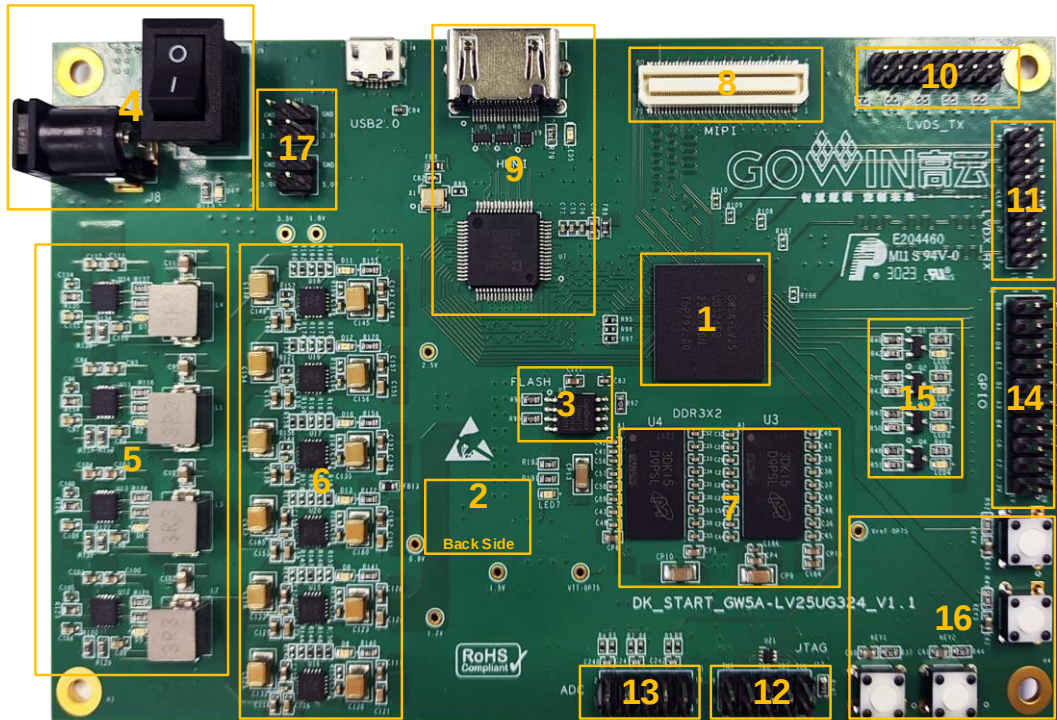


表 2-1 开发板 PCB 组件说明

编号	说明
1	GW5A-LV25UG324, FPGA
2	OT322550MJBA4SL, 50M 时钟晶振
3	GD25Q64ESIG, 64M SPI Flash
4	+12V 电源输入
5	TPS54622, DC-DC 电源转换芯片
6	TPL930, LDO 电源转换芯片
7	MT41J128M16JT-125:K, DDR3*2 存储
8	AXK580137YG, 包括 MIPI_RX/TX 硬核, MIPI_RX 软核, MIPI_TX 软核接口
9	HDMI_TX 接口
10	4 lane + 1 clk, LVDS_TX 接口
11	4 lane + 1 clk, LVDS_RX 接口
12	JTAG 下载口

编号	说明
13	ADC 模数转换输入接口
14	18*GPIO, 1.5V 供电接口
15	4*LED
16	4*SWITCH
17	5.0V 向外部供电, 3.3V 向外部供电接口

2.4 特性

开发板的关键特性如下:

- **FPGA 器件**
 - 主芯片采用 GW5A-LV25UG324, 为高云 Arora V FPGA, 是高云半导体晨熙家族第五代产品
 - 最多用户 I/O 240 个
- **下载与启动**
 - 通过高云下载器连接板上 JTAG 接口下载程序
 - 外部 SPI FLASH 启动
 - 加载完成后, DONE 灯亮
- **供电方式**
 - 外部 DC 12V/2A 供电
 - 上电后, POWER 灯亮
 - 开发板产生 0.9V、1.2V、1.5V、1.8V、2.5V、3.3V, 5.0V 电压
- **系统时钟**
 - 50MHz 时钟
- **存储器件**
 - 2Gbit DDR3 SDRAM
 - 64Mbit Quad SPI Flash Memory
- **LVDS 接口**
 - LVDS_TX (4 lane + 1 clk)
 - LVDS_RX (4 lane + 1 clk)
- **MIPI 接口**
 - MIPI_RX/TX 硬核 (4 lane + 1 clk)
 - MIPI_RX 软核 (4 lane + 1 clk)
 - MIPI_TX 软核 (4 lane + 1 clk)
 - 4*GPIO
 - 5.0V 电源供电

- 3.3V 电源供电
- 采用 80 触点,0.5mm 间距连接器
- ADC
 - 接口采用 2*5pin 插针
 - 3*ADC 差分输入设计了抗混叠滤波器
- 按键&LED
 - 4 个按键
 - 4 个 LED
- HDMI_TX 接口
 - 接口 HDMI 发送芯片 ADV7513BSWZ
- GPIO 接口
 - 18 个 1.5V 供电的 GPIO

3 开发板电路

3.1 FPGA

概述

GW5A 系列 FPGA 产品资源信息参考 [DS1103, GW5A 系列FPGA 产品数据手册](#)。

I/O BANK 说明

GW5A 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息参考 [UG1101, GW5A 系列FPGA 产品封装与管脚手册](#)。

3.2 电源

3.2.1 介绍

开发板需要通过 12V 电源适配器供电。

适配器的参数为输入：100-240V~50/60MHz 0.6A，输出：DC +12V 2A。

用 4 片 TPS54622（DC-DC）电源芯片将适配器的 12V 分别转为 1.2V、2.1V、3.6V 和 5.0V，各自的最大输出电流均为 6A。

将产生的 1.2V、2.1V、3.6V 电源供给 6 片 TPL930（LDO）电源芯片，进而产生 0.9V、1.2V、1.5V、1.8V、2.5V、3.3V，最大输出电流 3A。

TPL930 输出的 3.3V 和 1.5V 电源作为电源芯片 TPS51200 的输入，TPS51200 输出 0.75V,专为 DDR3 供电。

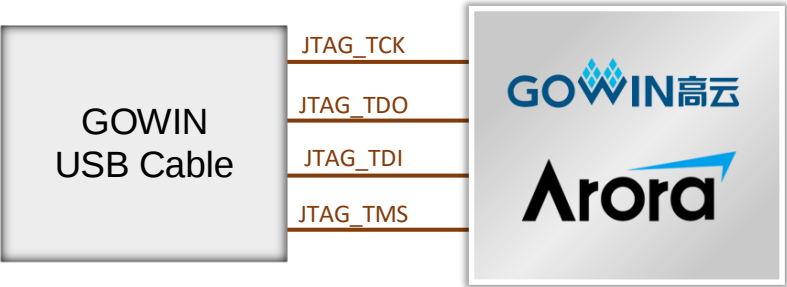
3.3 JTAG 接口

3.3.1 介绍

DK_START_GW5A-LV25UG324_V1.1 开发板预留了 JTAG 下载口（J12），用来下载和调试。接口类型为 2x5 的 2.54mm 间距双列排针，配有 ESD 保护电路。

使用高云下载器连接到开发板的 JTAG 下载口（J12），可将程序烧录到外部 SPI FLASH 或下载到 SRAM 中。JTAG 连接示意图如图 3-1 所示。

图 3-1 JTAG 连接示意图



3.3.2 管脚分配

表 3-1 JTAG 管脚分配

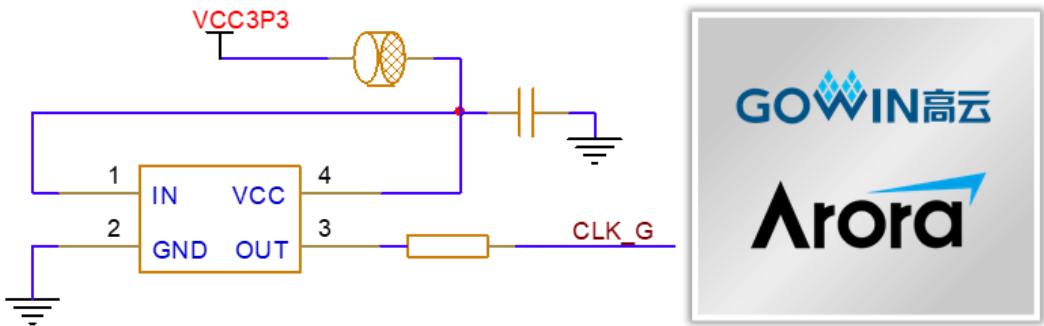
信号名称	FPGA(U1)管脚号	BANK	I/O 电平	描述
JTAG_TCK	A17	10	3.3V	JTAG 信号
JTAG_TDO	D16	10	3.3V	
JTAG_TDI	D15	10	3.3V	
JTAG_TMS	B18	10	3.3V	

3.4 时钟

3.4.1 介绍

FPGA 时钟源，单端时钟信号引入，晶振型号：OT322550MJBA4SL。时钟管脚分配如表 3-2 所示。

图 3-2 时钟连接示意图



3.4.2 管脚分配

表 3-2 时钟管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
CLK_G	T9	4	3.3V	频率 50MHz

3.5 DDR3 模块

3.5.1 介绍

DK_START_GW5A-LV25UG324_V1.1 开发板上配有 2 个 2Gbit 的 DDR3 芯片，型号为 MT41J128M16JT-125:K。DDR3 芯片的信号连接到了 FPGA 的 BANK1、BANK2、BANK3 上。DDR3 的具体配置如表 3-3 所示。

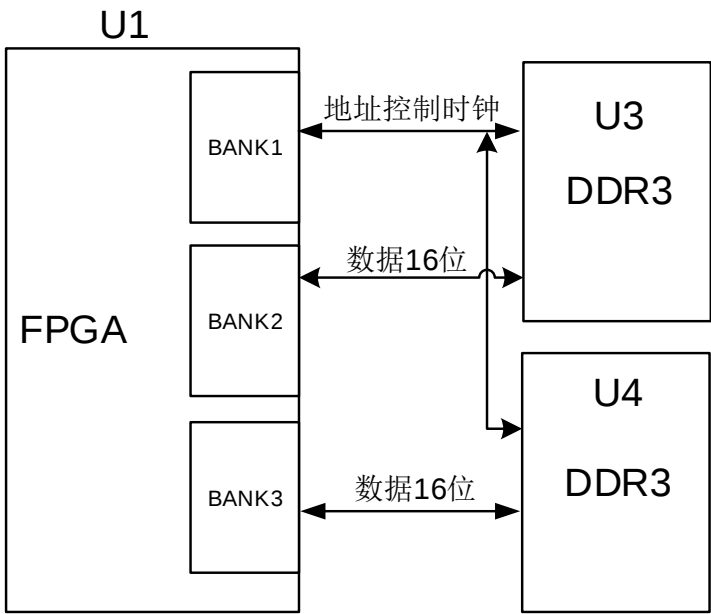
表 3-3 DDR3 配置

位号	芯片类型	容量
U3	MT41J128M16JT-125:K	128M x 16bit
U4	MT41J128M16JT-125:K	128M x 16bit

DDR3 的硬件设计需要严格考虑信号完整性，在电路设计和 PCB 设计时已经充分考虑了匹配电阻/终端电阻，走线阻抗控制，走线等长控制等，以保证 DDR3 高速稳定的工作。

DDR3 的硬件连接示意图如图 3-3 所示。

图 3-3 DDR3 的硬件连接示意图



3.5.2 管脚分配

表 3-4 DDR3 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_A0	B11	1	1.5V	地址
DDR3_A1	A10	1	1.5V	地址
DDR3_A2	C11	1	1.5V	地址
DDR3_A3	F11	1	1.5V	地址
DDR3_A4	A14	1	1.5V	地址
DDR3_A5	G11	1	1.5V	地址
DDR3_A6	C12	1	1.5V	地址
DDR3_A7	F10	1	1.5V	地址
DDR3_A8	A12	1	1.5V	地址
DDR3_A9	C10	1	1.5V	地址
DDR3_A10	F12	1	1.5V	地址
DDR3_A11	A11	1	1.5V	地址
DDR3_A12	D12	1	1.5V	地址
DDR3_A13	G9	1	1.5V	地址

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_BA0	B14	1	1.5V	Bank 地址
DDR3_BA1	E12	1	1.5V	Bank 地址
DDR3_BA2	D11	1	1.5V	Bank 地址
DDR3_CS#	E13	1	1.5V	片选通
DDR3_CAS#	F13	1	1.5V	列地址选通
DDR3_CKE	A13	1	1.5V	时钟使能
DDR3_ODT	E11	1	1.5V	片上终端使能
DDR3_RAS#	C15	1	1.5V	行地址选通
DDR3_RESET	F9	1	1.5V	复位
DDR3_WE#	C13	1	1.5V	写使能
DDR3_CLK0_N	C14	1	1.5V	差分时钟
DDR3_CLK0_P	D14	1	1.5V	差分时钟
DDR3_DQ0	E18	2	1.5V	数据
DDR3_DQ1	F15	2	1.5V	数据
DDR3_DQ2	E16	2	1.5V	数据
DDR3_DQ3	F14	2	1.5V	数据
DDR3_DQ4	H13	2	1.5V	数据
DDR3_DQ5	C17	2	1.5V	数据
DDR3_DQ6	F16	2	1.5V	数据
DDR3_DQ7	C18	2	1.5V	数据
DDR3_DQ8	G16	2	1.5V	数据
DDR3_DQ9	K12	2	1.5V	数据
DDR3_DQ10	F17	2	1.5V	数据
DDR3_DQ11	L12	2	1.5V	数据
DDR3_DQ12	G18	2	1.5V	数据
DDR3_DQ13	L13	2	1.5V	数据
DDR3_DQ14	F18	2	1.5V	数据
DDR3_DQ15	K13	2	1.5V	数据
DDR3_LDM	G14	2	1.5V	数据输入屏蔽
DDR3_UDM	H15	2	1.5V	数据输入屏蔽

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DDR3_LDQSp	D17	2	1.5V	数据时钟
DDR3_LDQSn	D18	2	1.5V	数据时钟
DDR3_UDQSp	J13	2	1.5V	数据时钟
DDR3_UDQSn	K14	2	1.5V	数据时钟
DDR3_DQ16	L18	3	1.5V	数据
DDR3_DQ17	L15	3	1.5V	数据
DDR3_DQ18	M18	3	1.5V	数据
DDR3_DQ19	J16	3	1.5V	数据
DDR3_DQ20	L17	3	1.5V	数据
DDR3_DQ21	H18	3	1.5V	数据
DDR3_DQ22	M16	3	1.5V	数据
DDR3_DQ23	H17	3	1.5V	数据
DDR3_DQ24	P17	3	1.5V	数据
DDR3_DQ25	T17	3	1.5V	数据
DDR3_DQ26	N17	3	1.5V	数据
DDR3_DQ27	N14	3	1.5V	数据
DDR3_DQ28	P18	3	1.5V	数据
DDR3_DQ29	U17	3	1.5V	数据
DDR3_DQ30	N18	3	1.5V	数据
DDR3_DQ31	U18	3	1.5V	数据
DDR3_LDM_1	L16	3	1.5V	数据输入屏蔽
DDR3_UDM_1	T18	3	1.5V	数据输入屏蔽
DDR3_LDQSp_1	K17	3	1.5V	数据时钟
DDR3_LDQSn_1	K18	3	1.5V	数据时钟
DDR3_UDQSp_1	N15	3	1.5V	数据时钟
DDR3_UDQSn_1	N16	3	1.5V	数据时钟

3.6 SPI Flash

3.6.1 介绍

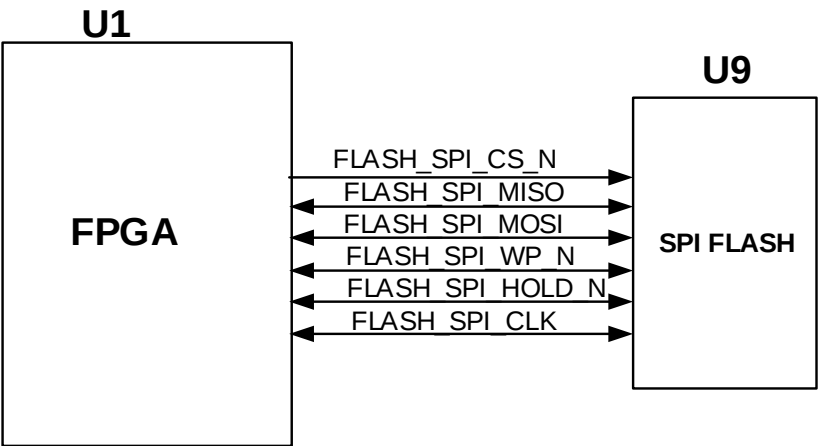
DK_START_GW5A-LV25UG324_V1.1 开发板配有一个 SPI FLASH 存储芯片，芯片型号为 GD25Q64ESIG，存储容量为 64Mbit。我们将 FPGA 程序烧录在 SPI FLASH 中，上电后 FPGA 芯片会通过 MSPI 接口加载 SPI FLASH 中的程序。SPI FLASH 的具体型号和相关参数如表 3-5 所示。

表 3-5 SPI FLASH 的具体型号和相关参数

位号	芯片类型	容量
U9	GD25Q64ESIG	64M Bit

SPI FLASH 连接到 FPGA 芯片的 BANK4 专用管脚上。图 3-4 为 SPI Flash 的硬件连接示意图。

图 3-4 SPI Flash 的硬件连接示意图



3.6.2 管脚分配

表 3-6 FLASH 各引脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平
FLASH_SPI_CLK	R15	4	3.3V
FLASH_SPI_CS_N	V3	4	3.3V
FLASH_SPI_MISO	R13	4	3.3V
FLASH_SPI_MOSI	T13	4	3.3V
FLASH_SPI_WP_N	T14	4	3.3V
FLASH_SPI_HOLD_N	V14	4	3.3V

3.7 LED 灯、按键

3.7.1 介绍

DK_START_GW5A-LV25UG324_V1.1 开发板共有 4 个用户 LED ,连接 BANK0 的 IO，可以通过程序来控制亮和灭，当对应 IO 电压为高时，用户 LED 点亮，当连接 IO 电压为低时，用户 LED 熄灭。

开发板上有 4 个用户按键，分别连接 FPGA BANK0 的普通的 IO。当按键按下，FPGA 的对应 IO 输入电压为低，当没有按键按下时，FPGA 的对应 IO 输入电压为高。

3.7.2 管脚分配

表 3-7 LED 灯管脚分配

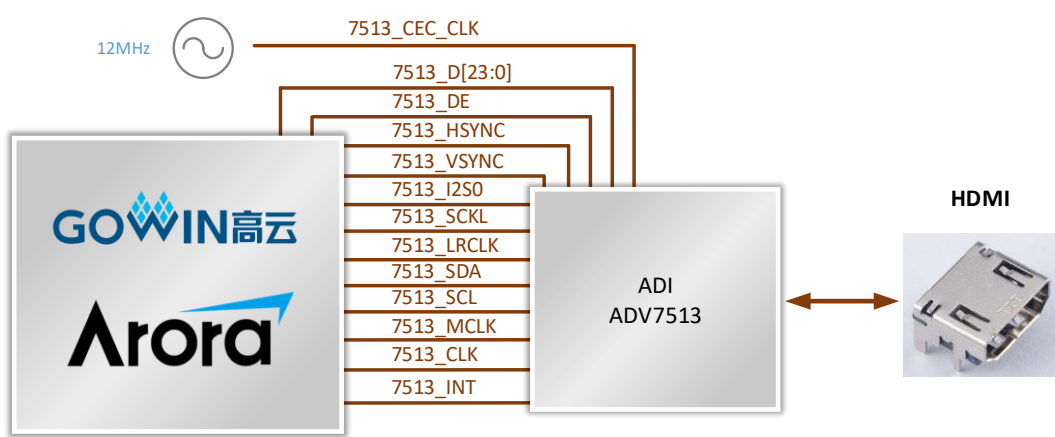
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
LED1	A7	0	1.5V	LED
LED2	A8	0	1.5V	LED
LED3	B8	0	1.5V	LED
LED4	C8	0	1.5V	LED
KEY1	D9	0	1.5V	按键
KEY2	C9	0	1.5V	按键
KEY3	B9	0	1.5V	按键
KEY4	A9	0	1.5V	按键

3.8 HDMI_TX 接口

3.8.1 介绍

DK_START_GW5A-LV25UG324_V1.1 开发板上 HDMI_TX 接口采用 ADI 的 ADV7513BSWZ 编解码芯片，连接示意图如图 3-5 所示。

图 3-5 FPGA 与 HDMI2 接口连接示意图



3.8.2 管脚分配

表 3-8 HDMI_TX 模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
7513_CLK	N8	5	3.3V	RGB 数据行锁定输出时钟
7513_D0	T3	5	3.3V	RGB 数据信号
7513_D1	T4	5	3.3V	RGB 数据信号
7513_D2	T5	5	3.3V	RGB 数据信号
7513_D3	T6	5	3.3V	RGB 数据信号
7513_D4	P7	4	3.3V	RGB 数据信号
7513_D5	T7	4	3.3V	RGB 数据信号
7513_D6	P8	5	3.3V	RGB 数据信号
7513_D7	N9	5	3.3V	RGB 数据信号
7513_D8	M11	5	3.3V	RGB 数据信号
7513_D9	N11	5	3.3V	RGB 数据信号
7513_D10	U5	4	3.3V	RGB 数据信号
7513_D11	V5	4	3.3V	RGB 数据信号
7513_D12	V6	5	3.3V	RGB 数据信号
7513_D13	U7	5	3.3V	RGB 数据信号
7513_D14	V7	5	3.3V	RGB 数据信号
7513_D15	U8	5	3.3V	RGB 数据信号
7513_D16	V8	5	3.3V	RGB 数据信号
7513_D17	M10	5	3.3V	RGB 数据信号

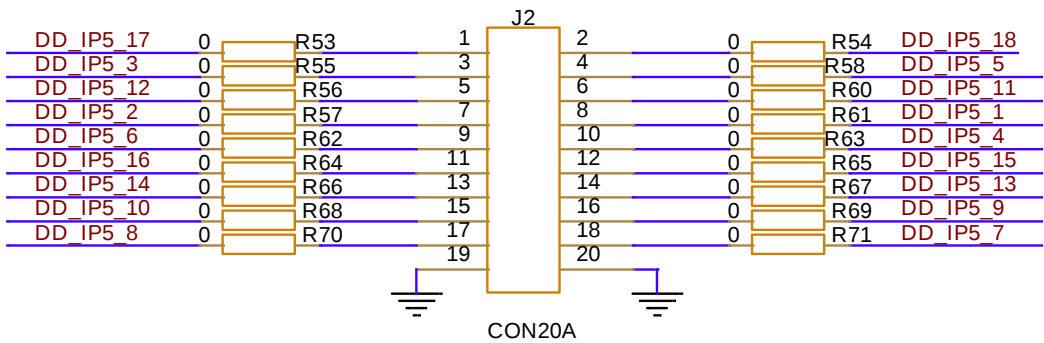
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
7513_D18	T11	5	3.3V	RGB 数据信号
7513_D19	R11	5	3.3V	RGB 数据信号
7513_D20	V12	4	3.3V	RGB 数据信号
7513_D21	V13	4	3.3V	RGB 数据信号
7513_D22	V16	4	3.3V	RGB 数据信号
7513_D23	U16	4	3.3V	RGB 数据信号
7513_VSYNC	P6	5	3.3V	垂直同步输出信号
7513_HSYNC	R7	5	3.3V	水平同步输出信号
7513_DE	M8	5	3.3V	RGB 数据使能
7513_SCLK	R3	5	3.3V	音频串行时钟
7513_LRCLK	N5	5	3.3V	音频左右时钟
7513_MCLK	R5	5	3.3V	音频主时钟
7513_I2S0	N6	5	3.3V	音频输出引脚
7513_SCL	V15	4	3.3V	I2C 串行接口时钟
7513_SDA	U13	5	3.3V	I2C 串行接口数据
7513_INT	U15	4	3.3V	中断信号

3.9 GPIO

3.9.1 介绍

DK_START_GW5A-LV25UG324_V1.1 开发板上通过 2.54mm 间距双列排针引出 18 个 1.5V 电平标准的 GPIO。

图 3-6 GPIO 原理图连接示意图



3.9.2 管脚分配

表 3-9 GPIO 管脚分配

信号名称	FPGA 管脚号	BANK	IO 电平
DD_IP5_1	B6	0	1.5V
DD_IP5_2	A4	0	1.5V
DD_IP5_3	D6	0	1.5V
DD_IP5_4	E7	0	1.5V
DD_IP5_5	B2	0	1.5V
DD_IP5_6	A3	0	1.5V
DD_IP5_7	B4	0	1.5V
DD_IP5_8	C6	0	1.5V
DD_IP5_9	F7	0	1.5V
DD_IP5_10	C7	0	1.5V
DD_IP5_11	C5	0	1.5V
DD_IP5_12	B3	0	1.5V
DD_IP5_13	A2	0	1.5V
DD_IP5_14	E8	0	1.5V
DD_IP5_15	E6	0	1.5V
DD_IP5_16	C4	0	1.5V
DD_IP5_17	A6	0	1.5V
DD_IP5_18	A5	0	1.5V

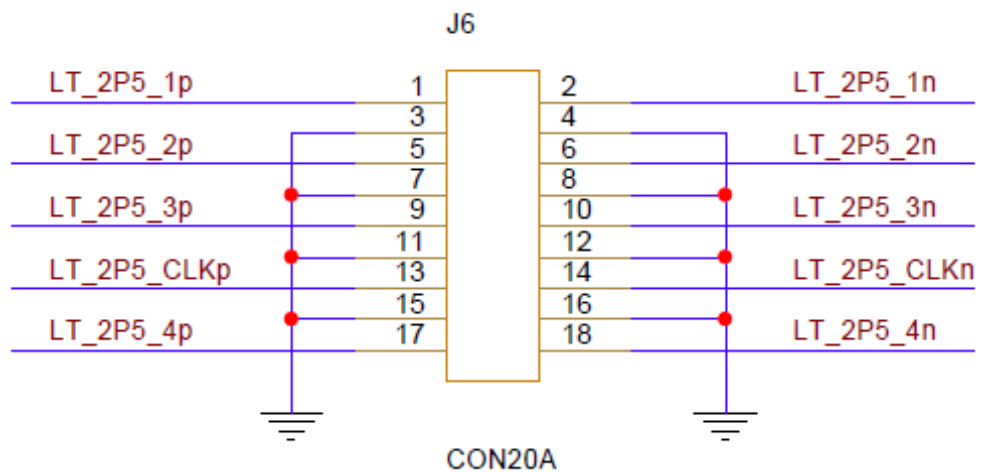
3.10 LVDS 连接器

3.10.1 介绍

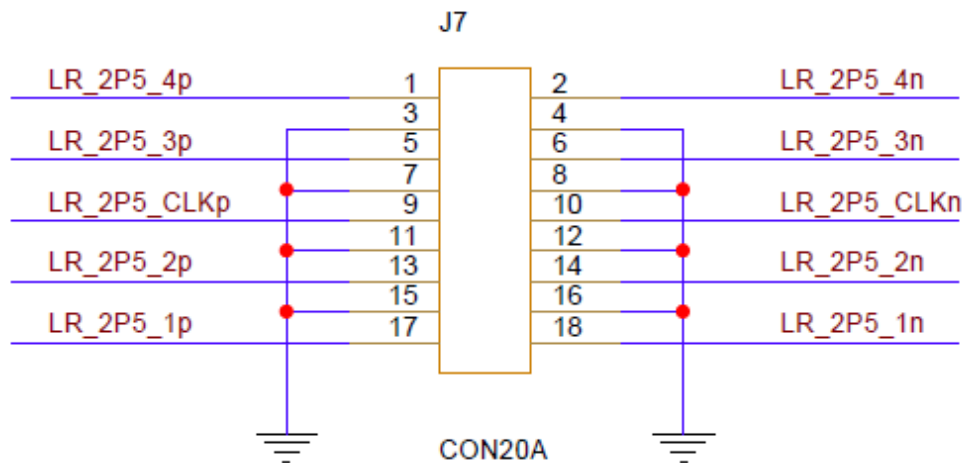
DK_START_GW5A-LV25UG324_V1.1 开发板配有 LVDS 收发两部分连接器，连接器形式均为 2x10 的 2.0mm 间距排针，LVDS_TX 包含：4 lane + 1 clk；LVDS_RX 包含：4 lane + 1 clk。

图 3-7 LVDS 原理图连接示意图

LVDS_TX:



LVDS_RX:



3.10.2 管脚分配

表 3-10 LVD_TX 管脚分配

信号名称	FPGA（U1）管脚号	BANK	I/O 电平
LT_2P5_1p	E4	7	2.5V
LT_2P5_1n	D3	7	2.5V
LT_2P5_2p	D2	7	2.5V
LT_2P5_2n	D1	7	2.5V
LT_2P5_CLKp	F4	7	2.5V
LT_2P5_CLKn	F3	7	2.5V
LT_2P5_3p	E3	7	2.5V
LT_2P5_3n	E1	7	2.5V
LT_2P5_4p	J7	7	2.5V
LT_2P5_4n	J6	7	2.5V

表 3-11 LVD_RX 管脚分配

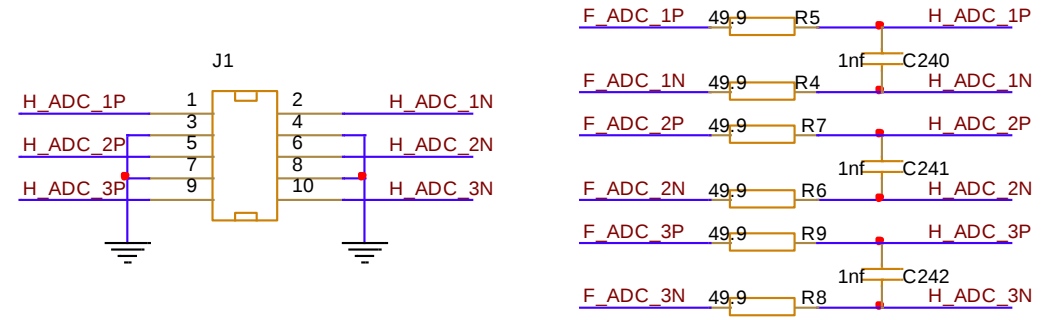
信号名称	FPGA（U1）管脚号	BANK	I/O 电平
LR_2P5_1p	F6	7	2.5V
LR_2P5_1n	F5	7	2.5V
LR_2P5_2p	C2	7	2.5V
LR_2P5_2n	C1	7	2.5V
LR_2P5_CLKp	H2	6	2.5V
LR_2P5_CLKn	H1	6	2.5V
LR_2P5_3p	K4	6	2.5V
LR_2P5_3n	K3	6	2.5V
LR_2P5_4p	L4	6	2.5V
LR_2P5_4n	L3	6	2.5V

3.11 ADC 接口

3.11.1 介绍

DK_START_GW5A-LV25UG324_V1.1 开发板上预留了 ADC 信号输入接口，连接器使用的是 2x5 的 2.54mm 间距排针。

图 3-8 ADC 原理图



3.11.2 管脚分配

表 3-12 ADC 信号输入管脚分配

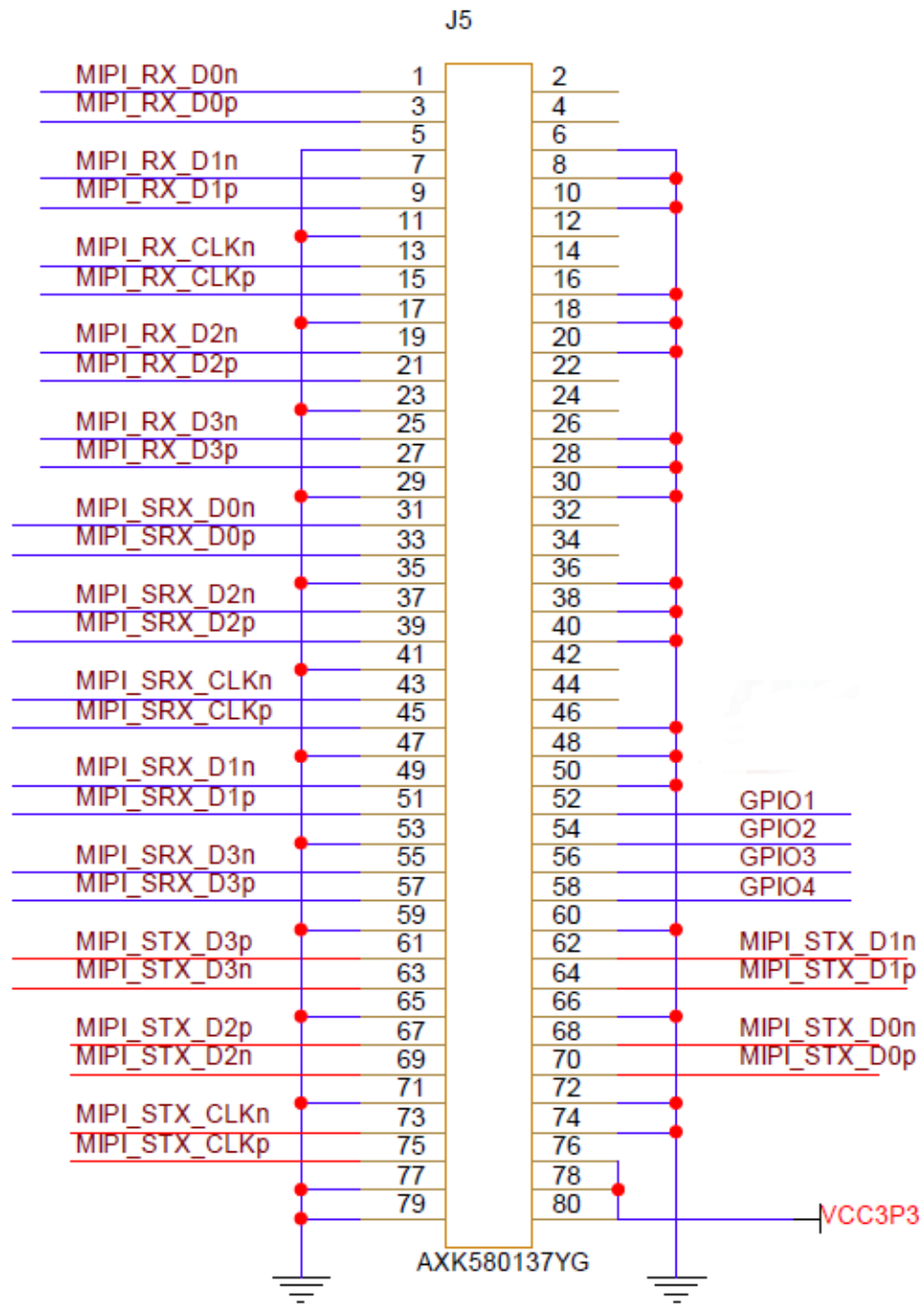
信号名称	FPGA 管脚号	BANK	IO 电平
F_ADC_3P	L14	3	1.5V
F_ADC_3N	M13	3	1.5V
F_ADC_2P	K15	2	1.5V
F_ADC_2N	K16	2	1.5V
F_ADC_1P	B16	1	1.5V
F_ADC_1N	A16	1	1.5V

3.12 MIPI

3.12.1 介绍

开发板上的 MIPI 接口采用 AXK580137YG 连接器，此连接器 80pin、0.5mm 间距。从 FPGA 引出 MIPI_RX/TX 硬核信号（4 lane + 1 clk）、MIPI_RX 信号（4 lane + 1 clk）、MIPI_TX 软核信号（4 lane + 1 clk）。另外该连接器可以提供 3.3V 和 5.0V 供电。原理图电路如图 3-9 所示。

图 3-9 MIPI 接口原理图电路



3.12.2 管脚分配

表 3-13 MIPI 接口管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	J5 插座管脚号
MIPI_SRX_D3p	L5	7	2.5V	-
MIPI_SRX_D3N	K5	7	2.5V	-
MIPI_SRX_D2p	G3	7	2.5V	-
MIPI_SRX_D2n	G1	7	2.5V	-
MIPI_SRX_D1p	H7	7	2.5V	-
MIPI_SRX_D1n	G6	7	2.5V	-
MIPI_SRX_D0p	F2	7	2.5V	-
MIPI_SRX_D0n	F1	7	2.5V	-
MIPI_SRX_CLKp	H4	7	2.5V	-
MIPI_SRX_CLKn	H3	7	2.5V	-
MIPI_STX_D3p	K2	6	2.5V	-
MIPI_STX_D3n	K1	6	2.5V	-
MIPI_STX_D2p	L2	6	2.5V	-
MIPI_STX_D2n	L1	6	2.5V	-
MIPI_STX_D1p	N2	6	2.5V	-
MIPI_STX_D1n	N1	6	2.5V	-
MIPI_STX_D0p	P2	6	2.5V	-
MIPI_STX_D0n	P1	6	2.5V	-
MIPI_STX_CLKp	M3	6	2.5V	-
MIPI_STX_CLKn	M1	6	2.5V	-
MIPI_RX_CLKp	L6	MIPI	1.2V	15
MIPI_RX_CLKn	M5	MIPI	1.2V	13
MIPI_RX_D0p	T2	MIPI	1.2V	3
MIPI_RX_D0n	T1	MIPI	1.2V	1
MIPI_RX_D1p	U2	MIPI	1.2V	9
MIPI_RX_D1n	U1	MIPI	1.2V	7
MIPI_RX_D2p	N4	MIPI	1.2V	21

信号名称	FPGA 管脚号	BANK	I/O 电平	J5 插座管脚号
MIPI_RX_D2n	N3	MIPI	1.2V	19
MIPI_RX_D3p	P4	MIPI	1.2V	27
MIPI_RX_D3n	P3	MIPI	1.2V	25
GPIO1	J1	6	2.5V	52
GPIO2	H5	7	2.5V	54
GPIO3	K6	7	2.5V	56
GPIO4	L7	7	2.5V	58

