GW2A 系列 FPGA 产品

数据手册

DS102-2.7.1, 2023-09-20

版权所有 © 2023 广东高云半导体科技股份有限公司

GOWIN高云、Gowin、晨熙、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和／或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2016/08/31	1.00	初始版本。
2018/06/01	1.1	● MODE 管脚可以复用为 GPIO； ● 更新 PLL 结构框图，输入时钟为 CLKIN。
2018/08/29	1.2	● 增加 MG196 和 PG256S 封装信息； ● 增加空白芯片默认系统管脚状态描述； ● 增加 QN88 封装信息和 GW2A-18 PLL 列表。
2019/04/02	1.3	● 更新推荐工作电压列表； ● 电气特性中的环境温度更新为结温； ● 完善器件命名图及结温范围，增加车规级及快速器件信息; ● 增加 PG256C 封装信息。
2019/04/12	1.4	增加 EQ144 封装信息。
2019/07/02	1.5	增加 GW2A-55 UG324 封装信息。
2019/09/19	1.6	● 增加 GW2A-18 UG324 封装信息； ● 修改电源上升斜率参数。
2019/09/27	1.7	更新车规级器件结温范围为“-40℃~105℃”。
2019/10/12	1.8	● 修正 LQ144/EQ144 封装尺寸； ● 补充器件命名方法示例。
2019/11/12	1.9	● 修正最大 I/O 数； ● 更新 IODELAY 描述。
2019/12/13	2.0	● 新增 GW2A-18 PG256E 封装； ● 新增 GW2A-55 UG324D 封装。
2020/03/09	2.1	新增 GW2A-18C、GW2A-55C 器件。
2020/04/16	2.1.1	● 更新 GW2A-55 UG324 封装管脚数据信息; ● 更新 CFU 结构示意图； ● 增加“I/O 推荐工作条件”备注信息。
2020/07/07	2.1.2	● 更正 V_{CCX} 推荐工作范围； ● 更新 PLL 开关特性； ● 补充器件封装标识示例说明。
2020/09/25	2.2	新增 GW2A-55 UG676 封装。
2021/05/25	2.2.1	电气参数完善。
2021/07/16	2.3	新增 GW2A-18 UG484、PG256CF 封装。
2021/12/27	2.3.1	● 新增 GW2A-18 PG256SF 封装。 ● 新增 GW2A-55 UG324F 封装。 ● 完善 IO 逻辑描述。
2022/02/17	2.3.2	完善 I/O 电平标准信息。
2022/05/25	2.3.3	● 更新 I/O 推荐工作条件。 ● 修改电源电压上升斜率。
2022/09/05	2.3.4	● 更新差分输入门限 V_{THD} 的最大值； ● 增加关于 DC 电流限制的注释。 ● 更新表 3-3 电源上升斜率。 ● 更新表 3-8 推荐工作范围内的 DC 电气特性。 ● 更新图 2-1 结构概念示意图。
2022/09/15	2.4	● 新增 GW2A-55 UG484S 封装。 ● 更新表 3-5 POR 电压参数。
2022/10/28	2.5	新增 GW2A-18 PG484C 封装。

日期	版本	说明
2022/11/11	2.5.1	● 更新表 3-8 推荐工作范围内的 DC 电气特性。 ● 删除 3.4.4 字节使能功能配置。
2023/01/12	2.5.2	● 更新表 3-1 绝对最大范围。 ● 更新表 1-3 产品封装和最大用户 I/O 信息、True LVDS 对数。 ● 更新表 3-8 推荐工作范围内的 DC 电气特性。
2023/03/16	2.6	● 删除 GW2A-18 LQ144 封装。 ● 删除 Slew Rate 的相关描述。 ● 更新表 3-3 电源上升斜率。 ● 修改 GPIO 默认状态的相关注释。
2023/05/11	2.6.1	● 更新 2.4.2 存储器配置模式。 ● 更新表 3-17 外部开关特性。 ● 新增表 3-18 I/O 寄存器参数(使用专用的 GCLK 输入和 GCLK 树，不使用 PLL)。
2023/05/25	2.6.2	● 更新表 3-13 CFU 时序参数。 ● 更新表 3-14 BSRAM 时序参数。 ● 更新表 3-15 DSP 时序参数。
2023/07/26	2.6.3	● 更新表 1-3 产品封装和最大用户 I/O 信息、True LVDS 对数，修正 GW2A-55 器件 UG324, UG324F, UG324D 封装的最大用户 IO 数。 ● 更新图 4-3 器件封装标识示例。 ● 优化 GPIO 默认状态的相关注释。
2023/08/18	2.7	● 将 I/O 逻辑输出示意图和 I/O 逻辑输入示意图合并为图 2-5 I/O 逻辑输入输出示意图。 ● 修改表 3-8 推荐工作范围内的 DC 电气特性的注释。 ● 更新图 4-3 器件封装标识示例。 ● 调整文档结构。
2023/09/20	2.7.1	● 删除 2.4.6 上电情况。 ● 修正表 3-18 I/O 寄存器参数(使用专用的 GCLK 输入和 GCLK 树，不使用 PLL)。

目录

目录 i
图目录 iii
表目录 iv
1 产品概述 1
1.1 特性概述 1
1.2 产品信息列表 2
2 结构介绍 4
2.1 结构框图 4
2.2 可配置功能单元 6
2.3 输入输出模块 7
2.3.1 I/O 电平标准 7
2.3.2 I/O 逻辑 12
2.3.3 I/O 逻辑工作模式 14
2.4 块状静态随机存储器模块 14
2.4.1 简介 14
2.4.2 存储器配置模式 15
2.4.3 存储器混合数据宽度配置 16
2.4.4 校验位功能配置 17
2.4.5 同步操作 17
2.4.6 BSRAM 操作模式 17
2.4.7 时钟模式 19
2.5 数字信号处理模块 20
2.5.1 宏单元 20
2.5.2 DSP 操作模式配置 21
2.6 时钟 22
2.6.1 全局时钟网络 22
2.6.2 高速时钟 22
2.6.3 锁相环 23

2.6.4 DDR 存储器接口时钟管理 DQS 23
2.7 长线 24
2.8 全局复置位 24
2.9 编程配置 24
2.10 片内晶振 25
3 电气特性 26
3.1 工作条件 26
3.1.1 绝对最大范围 26
3.1.2 推荐工作范围 26
3.1.3 电源上升斜率 27
3.1.4 热插拔特性 27
3.1.5 POR 特性 28
3.2 ESD 性能 28
3.3 DC 电气特性 29
3.3.1 推荐工作范围的 DC 电气特性 29
3.3.2 静态电流 31
3.3.3 I/O 推荐工作条件 31
3.3.4 单端 I/O DC 电气特性 32
3.3.5 差分 I/O DC 电气特性 33
3.4 AC 开关特性 34
3.4.1 CFU 开关特性 34
3.4.2 BSRAM 开关特性 35
3.4.3 DSP 开关特性 35
3.4.4 Gearbox 开关特性 35
3.4.5 时钟和 I/O 开关特性 36
3.4.6 片内晶振开关特性 37
3.4.7 PLL 开关特性 37
3.5 编程接口时序标准 38
4 器件订货信息 39
4.1 器件命名 39
4.2 器件封装标识示例 41
5 关于本手册 42
5.1 手册内容 42
5.2 相关文档 42
5.3 术语、缩略语 43
5.4 技术支持与反馈 44

图目录

图 2-1 结构概念示意图 4
图 2-2 CFU 结构示意图 6
图 2-3 IOB 结构示意图 7
图 2-4 GW2A 的 I/O Bank 分布示意图 8
图 2-5 I/O 逻辑输入输出示意图 12
图 2-6 IODELAY 示意图 13
图 2-7 GW2A 的 I/O 寄存器示意图 13
图 2-8 GW2A 的 IEM 示意图 14
图 2-9 单端口、伪双端口及双端口模式下的流水线模式 18
图 2-10 独立时钟模式 19
图 2-11 读写时钟模式 20
图 2-12 单端口时钟模式 20
图 2-13 GW2A 时钟资源 22
图 2-14 GW2A HCLK 示意图 23
图 4-1 器件命名方法示例–ES 39
图 4-2 器件命名方法示例–Production 40
图 4-3 器件封装标识示例 41

表目录

表 1-1 产品信息列表 2
表 1-2 GW2A-18 PLL 列表 2
表 1-3 产品封装和最大用户 I/O 信息、True LVDS 对数 2
表 2-1 GW2A 系列 FPGA 产品支持的输出 I/O 类型及部分可选配置 8
表 2-2 GW2A 支持的输入 I/O 类型及部分可选配置 9
表 2-3 端口介绍 12
表 2-4 存储器配置列表 15
表 2-5 双端口混合读写数据宽度配置列表 16
表 2-6 伪双端口混合读写数据宽度配置列表 17
表 2-7 时钟模式配置列表 19
表 2-8 片内晶振的输出频率选项 25
表 3-1 绝对最大范围 26
表 3-2 推荐工作范围 26
表 3-3 电源上升斜率 27
表 3-4 热插拔特性 27
表 3-5 POR 电压参数 28
表 3-6 GW2A ESD – HBM 28
表 3-7 GW2A ESD - CDM 29
表 3-8 推荐工作范围内的 DC 电气特性 29
表 3-9 静态电流 31
表 3-10 I/O 推荐工作条件 31
表 3-11 单端 I/O DC 电气特性 32
表 3-12 差分 I/O DC 电气特性 33
表 3-13 CFU 时序参数 34
表 3-14 BSRAM 时序参数 35
表 3-15 DSP 时序参数 35
表 3-16 Gearbox 时序参数 35
表 3-17 外部开关特性 36
表 3-18 I/O 寄存器参数(使用专用的 GCLK 输入和 GCLK 树，不使用 PLL) 36

表 3-19 片内晶振开关特性 37
表 3-20 PLL 开关特性 37
表 5-1 术语、缩略语 43

1 产品概述

高云半导体 GW2A 系列 FPGA 产品是高云半导体晨熙®家族第一代产品，内部资源丰富，具有高性能的 DSP 资源，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，这些内嵌的资源搭配精简的 FPGA 架构以及 55nm 工艺使 GW2A 系列 FPGA 产品适用于高速低成本的应用场合。

高云半导体提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 GW2A 系列 FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

1.1 特性概述

- 低功耗
  - 55nm SRAM 工艺
  - 核电压：1.0V
  - 支持时钟动态打开/关闭
- 支持多种 I/O 电平标准
  - LVCMOS33/25/18/15/12；LVTTL33,SSTL33/25/18 I, II, SSTL15；HSTL18 I, II, HSTL15 I；PCI, LVDS25, RSDS, LVDS25E, BLVDSE, MLVDSE, LVPECLE, RSDSE
  - 提供输入信号迟滞选项
  - 提供输出信号驱动电流选项
  - 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项
  - 支持热插拔
- 高性能 DSP 模块
  - 高性能数字信号处理能力
  - 支持 9 x 9，18 x 18，36 x 36bit 的乘法运算和 54bit 累加器
  - 支持多个乘法器级联
  - 支持寄存器流水线和旁路功能
  - 预加运算实现滤波器功能
  - 支持桶形移位寄存器
- 丰富的基本逻辑单元
  - 4 输入 LUT(LUT4)
  - 支持移位寄存器和分布式存储器
- 支持多种模式的静态随机存储器
  - 支持双端口、单端口以及伪双端口模式
- 灵活的 PLL 资源
  - 实现时钟的倍频、分频和相移
  - 全局时钟网络资源
- 编程配置模式
  - 支持 JTAG 配置模式
  - 支持 4 种 GowinCONFIG 配置模式：SSPI、MSPI、CPU、SERIAL
  - 支持 JTAG、SSPI 模式直接编程 SPI Flash，其他模式可以通过 IP 的方式编程 SPI Flash
  - 支持数据流文件加密和安全位设置

1.2 产品信息列表

表 1-1 产品信息列表

器件	GW2A-18	GW2A-55
逻辑单元(LUT4)	20,736	54,720
寄存器(FF)	15,552	41,040
分布式静态随机存储器 SSRAM(bits)	41,472	109,440
块状静态随机存储器 BSRAM(bits)	828K	2,520K
块状静态随机存储器数目 BSRAM(个)	46	140
乘法器(18 x 18 Multiplier)	48	40
最多锁相环 [1] (PLLs)	4	6
I/O Bank 总数	8	8
最大 GPIO 数	384	608
核电压	1.0V	1.0V

注！

[1]不同封装支持的锁相环数量不同，最多支持 6 个锁相环。

表 1-2 GW2A-18 PLL 列表

封装	器件	可用的 PLL
EQ144	GW2A-18	PLLL0/PLLL1/PLLR0/PLLR1
MG196	GW2A-18	PLLL0/PLLL1/PLLR0/PLLR1
QN88	GW2A-18	PLLL1/PLLR1
PG256/ PG256S/ PG256C/ PG256CF/ PG256E/ PG256SF	GW2A-18	PLLL0/PLLL1/PLLR0/PLLR1
PG484/ PG484C	GW2A-18	PLLL0/PLLL1/PLLR0/PLLR1
UG324	GW2A-18	PLLL0/PLLL1/PLLR0/PLLR1
UG484	GW2A-18	PLLL0/PLLL1/PLLR0/PLLR1

表 1-3 产品封装和最大用户 I/O 信息、True LVDS 对数

封装	间距(mm)	尺寸(mm)	E-pad 尺寸(mm)	GW2A-18	GW2A-55
QN88	0.4	10 x10	6.74 x 6.74	66（22）	-
EQ144	0.5	20 x 20	9.74 x 9.74	119（34）	-
MG196	0.5	8 x 8	-	114（39）	-

封装	间距(mm)	尺寸(mm)	E-pad 尺寸(mm)	GW2A-18	GW2A-55
PG256	1.0	17 x 17	-	207（73）	-
PG256S	1.0	17 x 17	-	192（72）	-
PG256SF	1.0	17 x 17	-	192（71）	-
PG256C	1.0	17 x 17	-	190（64）	-
PG256CF	1.0	17 x 17	-	190（65）	-
PG256E	1.0	17 x 17	-	162（29）	-
PG484	1.0	23 x 23	-	319（78）	319（76）
PG484C	1.0	23 x 23	-	355（89）	-
PG1156	1.0	35 x 35	-	-	607（97）
UG324	0.8	15 x 15	-	239（90）	239（86）
UG324F	0.8	15 x 15	-	-	239（86）
UG324D	0.8	15 x 15	-	-	239（71）
UG484	0.8	19 x 19	-	379（94）	-
UG484S	0.8	19 x 19	-	-	344（91）
UG676	0.8	21 x 21	-	-	525（97）

注！

- 文档中 GW2A 系列 FPGA 产品封装命名采用缩写的方式，请参考 4.1 器件命名；
- JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。详细信息请参考 UG111, GW2A 系列 FPGA 产品封装与管脚手册。
- JTAG 管脚复用 IO 速度小于 40MHz。

2结构介绍

2.1 结构框图

图 2-1 结构概念示意图

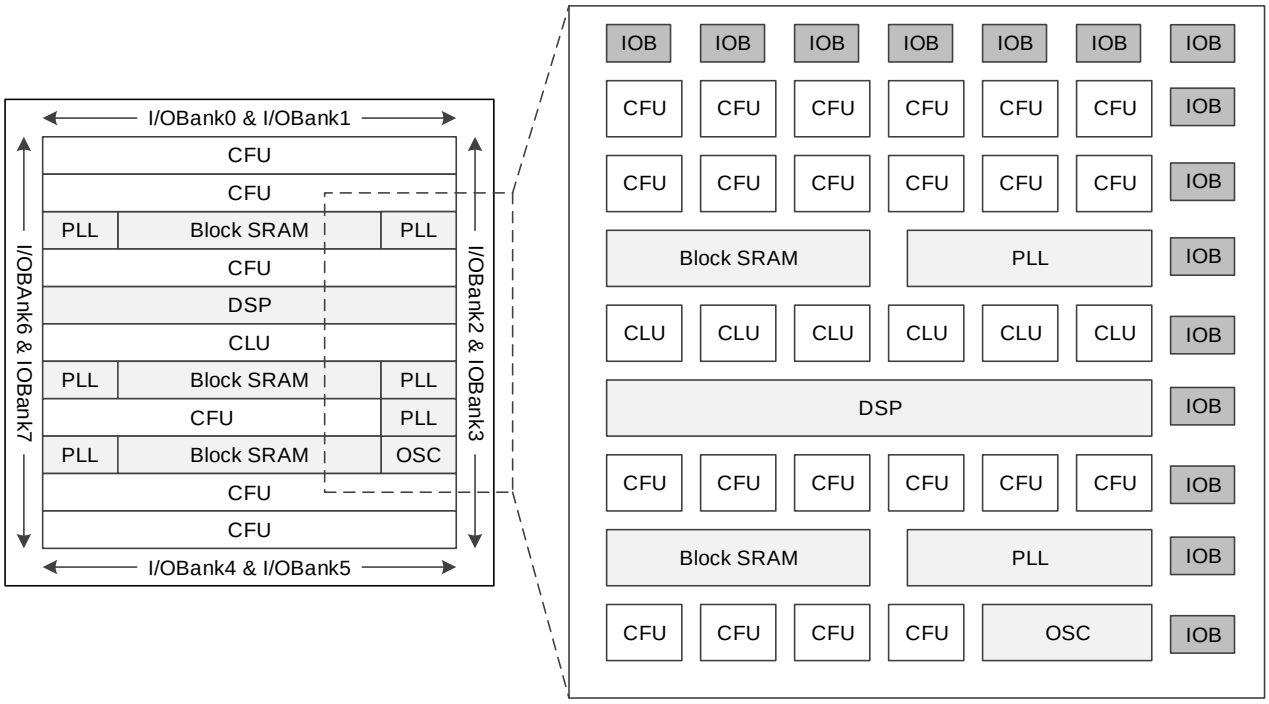


图 2-1 为 GW2A 系列 FPGA 产品结构示意图，GW2A-18 和 GW2A-55 器件内部资源数量详细资料请参考表 1-1。器件内部是一个逻辑单元阵列，外围是输入输出模块(IOB)，器件内嵌了静态随机存储器（BSRAM）模块、数字信号处理模块 DSP、PLL 资源和片内晶振。

GW2A 系列 FPGA 产品基本的组成部分为可配置功能单元(CFU，Function Logic Unit)和可配置逻辑单元(CLU, Configurable Logic Unit)。在器件内部按照行、列式矩阵排列，不同容量的器件行数和列数不同。详细资料请参考 2.2 可配置功能单元。

GW2A 系列 FPGA 产品的 I/O 资源分布在器件外围，以 Bank 为单位划

分，共分为 8 个 Bank，标注为 Bank0~Bank7。I/O 资源支持多种电平标准，支持普通工作模式、SDR 工作模式、通用 DDR 模式和 DDR_MEM 模式。详细资料请参考 2.3 输入输出模块。

GW2A 系列 FPGA 产品的块状静态随机存储器（BSRAM）在器件内部按照行排列，一个 BSRAM 在器件内部占用 3 个 CFU 的位置。一个 BSRAM 的容量大小为 18Kbits，支持多种配置模式和操作模式。详细资料请参考 2.4 块状静态随机存储器模块。

GW2A 系列 FPGA 产品中内嵌了数字信号处理模块 DSP。DSP 在器件内部按照行排列，每个 DSP 资源占用 9 个 CFU 的位置。每个 DSP 包含两个宏单元，每个宏单元包含两个前加法器(pre-adders)，两个 18 位的乘法器(multipliers)和一个三输入的算术/逻辑运算单元(ALU54)。详细资料请参考 2.5 数字信号处理模块。

GW2A 系列 FPGA 产品内嵌了锁相环 PLL 资源。高云半导体 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。同时产品内嵌可编程片内晶振，支持 2.5MHz 到 125MHz 的时钟频率范围，为 MSPI 编程配置模式提供时钟。片内晶振提供可编程的用户时钟，详细资料请参考 2.10 片内晶振。

此外，FPGA 器件内置了丰富的可编程布线单元(CRU，Configurable Routing Unit)，为 FPGA 内部的所有资源提供连接关系。可配置功能单元（CFU）和 IOB 内部都分布着布线资源，连通了 CFU 内部资源和 IOB 内部的逻辑资源。布线资源可通过高云半导体 FPGA 软件自动生成。此外，GW2A 系列 FPGA 产品还提供了丰富的专用时钟网络资源，长线资源，全局置复位，以及编程选项等。详细资料行参考 2.5.2 DSP 操作模式配置、2.7 长线、2.8 全局复置位。

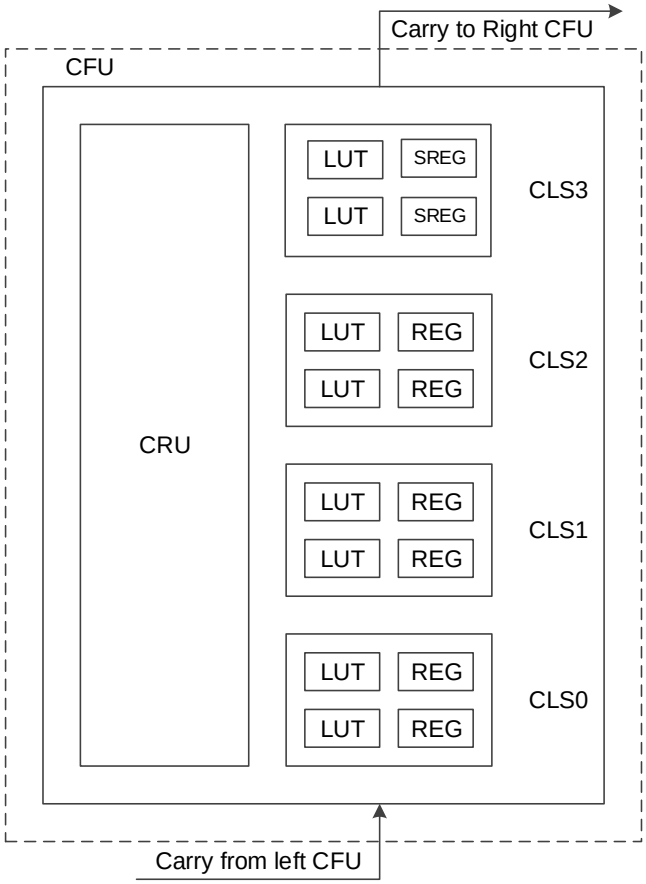
2.2 可配置功能单元

可配置功能单元(CFU)和可配置逻辑单元(CLU)是构成高云半导体FPGA产品内核的两种基本单元，每个基本单元可由四个可配置逻辑块(CLS)以及相应的可配置布线单元(CRU)组成，其中三个可配置逻辑块各包含两个四输入查找表(LUT)和两个寄存器(REG)，另外一个可配置逻辑块只包含两个四输入查找表，如图 2-2 所示。

CLU 中的可配置逻辑块不能配置为静态随机存储器，可配置为基本查找表、算术逻辑单元和只读存储器。CFU 中的可配置逻辑块可根据应用场景配置成基本查找表、算术逻辑单元、静态随机存储器和只读存储器四种工作模式。

关于 CFU 的更多详细信息，请参考 UG288，Gowin 可配置功能单元(CFU)用户指南。

图 2-2 CFU 结构示意图



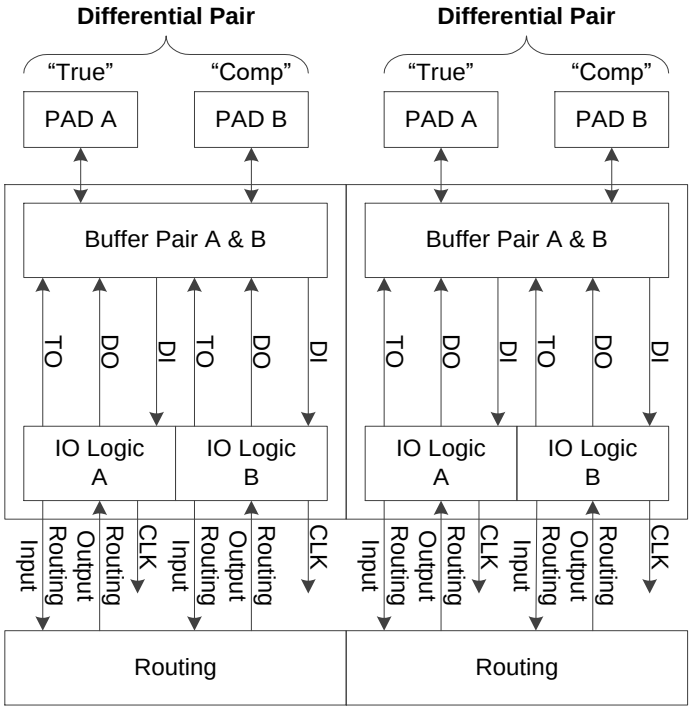
注！

SREG 需要特殊的软件支持。如有需要，请联系高云半导体技术支持或当地办事处。

2.3 输入输出模块

GW2A 系列 FPGA 产品的 IOB 主要包括 I/O Buffer、I/O 逻辑以及相应的布线资源单元三个部分。如下图所示，每个 IOB 单元包括了两个 I/O 管脚(标记为 A 和 B)，它们可以配置成一组差分信号对，也可以作为单端信号分别配置。

图 2-3 IOB 结构示意图



GW2A 系列 FPGA 产品中 IOB 的功能特点：

- 基于 Bank 的 V_{CCIO} 机制。
- 支持 LVCMOS、PCI、LVTTL、LVDS、SSTL 以及 HSTL 等多种电平标准。
- 提供输入信号迟滞选项。
- 提供输出信号驱动电流选项。
- 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项。
- 支持热插拔。
- I/O 逻辑支持普通模式、SDR 模式以及 DDR 等多种模式。

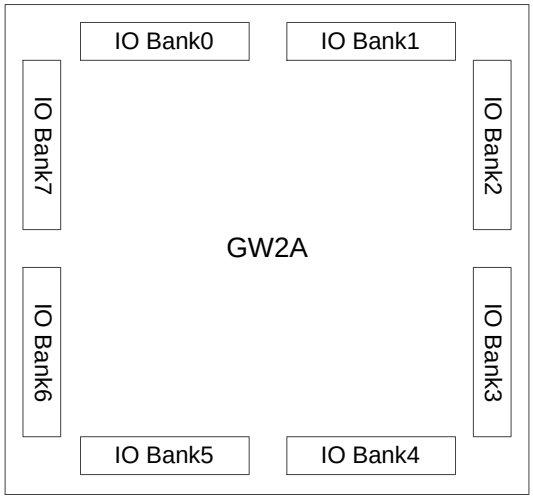
  2.3.1 ~ 2.3.3 分别介绍了 I/O 电平标准、I/O 逻辑及 I/O 逻辑工作模式，关于 I/O 模块的更多详细信息，请参考 UG289，Gowin 可编程通用管脚(GPIO)用户指南。

2.3.1 I/O 电平标准

GW2A 系列 FPGA 产品的 I/O 包括 8 个 Bank，如图 2-4 所示，每个

Bank 有独立的 I/O 电源 V_{CCIO}。V_{CCIO} 可以设置为 3.3V、2.5V、1.8V、1.5V 或 1.2V。为支持 SSTL，HSTL 等 I/O 输入标准，每个 Bank 还提供一个独立的参考电压(V_{REF})，用户可以选择使用 IOB 内置的 V_{REF} 源(等于 0.5 x V_{CCIO})，也可选择外部的 V_{REF} 输入(使用 Bank 中任意一个 I/O 管脚作为外部 V_{REF} 输入)。V_{CCX} 供电电压支持 2.7V 和 3.3V。

图 2-4 GW2A 的 I/O Bank 分布示意图



GW2A 系列 FPGA 产品不同的 Bank 支持不同的片上电阻设置，包括单端电阻和差分电阻两种。单端电阻设置用于 SSTL/HSTL 输入输出，在 Bank2/3/6/7 中支持。差分电阻设置用于 LVDS 输入，仅在 Bank0/1 中支持，Bank0/1 支持 100 欧姆差分匹配电阻，详见 UG289，Gowin 可编程通用管脚(GPIO)用户指南。

注！

配置过程中，器件所有 GPIO 均为高阻态、内部弱上拉，配置完成后 I/O 状态由用户程序和约束控制。Config 相关 I/O 的状态根据配置模式的不同有所区别。

不同的 I/O 输入输出标准对 V_{CCIO} 的要求，如表 2-1 和表 2-2 所示。

表 2-1 GW2A 系列 FPGA 产品支持的输出 I/O 类型及部分可选配置

I/O 输出标准	单端/差分	Bank V_{CCIO}(V)	输出驱动能力(mA)	典型应用
LVTTL33	单端	3.3	4,8,12,16,24	通用接口
LVCMOS33	单端	3.3	4,8,12,16,24	通用接口
LVCMOS25	单端	2.5	4,8,12,16	通用接口
LVCMOS18	单端	1.8	4,8,12	通用接口
LVCMOS15	单端	1.5	4,8	通用接口
LVCMOS12	单端	1.2	4,8	通用接口
SSTL25_I	单端	2.5	8	存储接口
SSTL25_II	单端	2.5	8	存储接口
SSTL33_I	单端	3.3	8	存储接口
SSTL33_II	单端	3.3	8	存储接口
SSTL18_I	单端	1.8	8	存储接口

I/O 输出标准	单端/差分	Bank V_{CCIO}(V)	输出驱动能力(mA)	典型应用
SSTL18_II	单端	1.8	8	存储接口
SSTL15	单端	1.5	8	存储接口
HSTL18_I	单端	1.8	8	存储接口
HSTL18_II	单端	1.8	8	存储接口
HSTL15_I	单端	1.5	8	存储接口
PCI33	单端	3.3	N/A	PC 和嵌入式系统
LVPECL33E	差分	3.3	16	高速数据传输
MLVDS25E	差分	2.5	16	LCD 时序驱动与列驱动器接口
BLVDS25E	差分	2.5	16	多点高速数据传输
RSDS25E	差分	2.5	8	点对点高速数据传输
LVDS25E	差分	2.5	8	点对点高速数据传输
LVDS25	差分(TLVDS)	2.5/3.3	3.5/2.5/2/1.25	点对点高速数据传输
RSDS	差分(TLVDS)	2.5/3.3	2	点对点高速数据传输
MINILVDS	差分(TLVDS)	2.5/3.3	2	LCD 时序驱动与列驱动器接口
PPLVDS	差分(TLVDS)	2.5/3.3	3.5	LCD 行/列驱动
SSTL15D	差分	1.5	8	存储接口
SSTL25D_I	差分	2.5	8	存储接口
SSTL25D_II	差分	2.5	8	存储接口
SSTL33D_I	差分	3.3	8	存储接口
SSTL33D_II	差分	3.3	8	存储接口
SSTL18D_I	差分	1.8	8	存储接口
SSTL18D_II	差分	1.8	8	存储接口
HSTL18D_I	差分	1.8	8	存储接口
HSTL18D_II	差分	1.8	8	存储接口
HSTL15D_I	差分	1.5	8	存储接口
LVCMOS12D	差分	1.2	8/4	通用接口
LVCMOS15D	差分	1.5	8/4	通用接口
LVCMOS18D	差分	1.8	8/12/4	通用接口
LVCMOS25D	差分	2.5	8/16/12/4	通用接口
LVCMOS33D	差分	3.3	8/24/16/12/4	通用接口

表 2-2 GW2A 支持的输入 I/O 类型及部分可选配置

I/O 输入标准	单端/差分	Bank V_{CCIO}(V)	支持迟滞选项	是否需要 V_{REF}
LVTTL33	单端	1.2/1.5/1.8/2.5/3.3	是	否
LVCMOS33	单端	1.2/1.5/1.8/2.5/3.3	是	否

I/O 输入标准	单端/差分	Bank V_{CCIO}(V)	支持迟滞选项	是否需要 V_{REF}
LVCMOS25	单端	1.2/1.5/1.8/2.5/3.3	是	否
LVCMOS18	单端	1.2/1.5/1.8/2.5/3.3	是	否
LVCMOS15	单端	1.2/1.5/1.8/2.5/3.3	是	否
LVCMOS12	单端	1.2/1.5/1.8/2.5/3.3	是	否
SSTL15	单端	1.5/1.8/2.5/3.3	否	是
SSTL25_I	单端	2.5/3.3	否	是
SSTL25_II	单端	2.5/3.3	否	是
SSTL33_I	单端	3.3	否	是
SSTL33_II	单端	3.3	否	是
SSTL18_I	单端	1.8/2.5/3.3	否	是
SSTL18_II	单端	1.8/2.5/3.3	否	是
HSTL18_I	单端	1.8/2.5/3.3	否	是
HSTL18_II	单端	1.8/2.5/3.3	否	是
HSTL15_I	单端	1.5/1.8/2.5/3.3	否	是
PCI33	单端	3.3	是	否
LVCMOS33OD25	单端	2.5	否	否
LVCMOS33OD18	单端	1.8	否	否
LVCMOS33OD15	单端	1.5	否	否
LVCMOS25OD18	单端	1.8	否	否
LVCMOS25OD15	单端	1.5	否	否
LVCMOS18OD15	单端	1.5	否	否
LVCMOS15OD12	单端	1.2	否	否
LVCMOS25UD33	单端	3.3	否	否
LVCMOS18UD25	单端	2.5	否	否
LVCMOS18UD33	单端	3.3	否	否
LVCMOS15UD18	单端	1.8	否	否
LVCMOS15UD25	单端	2.5	否	否
LVCMOS15UD33	单端	3.3	否	否
LVCMOS12UD15	单端	1.5	否	否
LVCMOS12UD18	单端	1.8	否	否
LVCMOS12UD25	单端	2.5	否	否
LVCMOS12UD33	单端	3.3	否	否
LVDS25	差分	2.5/3.3	否	否
RSDS	差分	2.5/3.3	否	否
MINILVDS	差分	2.5/3.3	否	否
PPLVDS	差分	2.5/3.3	否	否
LVDS25E	差分	2.5/3.3	否	否
MLVDS25E	差分	2.5/3.3	否	否
BLVDS25E	差分	2.5/3.3	否	否

I/O 输入标准	单端/差分	Bank V_{CCIO}(V)	支持迟滞选项	是否需要 V_{REF}
RSDS25E	差分	2.5/3.3	否	否
LVPECL33E	差分	3.3	否	否
SSTL15D	差分	1.5/1.8/2.5/3.3	否	否
SSTL25D_I	差分	2.5/3.3	否	否
SSTL25D_II	差分	2.5/3.3	否	否
SSTL33D_I	差分	3.3	否	否
SSTL33D_II	差分	3.3	否	否
SSTL18D_I	差分	1.8/2.5/3.3	否	否
SSTL18D_II	差分	1.8/2.5/3.3	否	否
HSTL18D_I	差分	1.8/2.5/3.3	否	否
HSTL18D_II	差分	1.8/2.5/3.3	否	否
HSTL15D_I	差分	1.5/1.8/2.5/3.3	否	否
LVCMOS12D	差分	1.2/1.5/1.8/2.5/3.3	否	否
LVCMOS15D	差分	1.5/1.8/2.5/3.3	否	否
LVCMOS18D	差分	1.8/2.5/3.3	否	否
LVCMOS25D	差分	2.5/3.3	否	否
LVCMOS33D	差分	3.3	否	否

2.3.2 I/O 逻辑

图 2-5 为 GW2A 系列 FPGA 产品的 I/O 逻辑的输入输出部分。

图 2-5 I/O 逻辑输入输出示意图

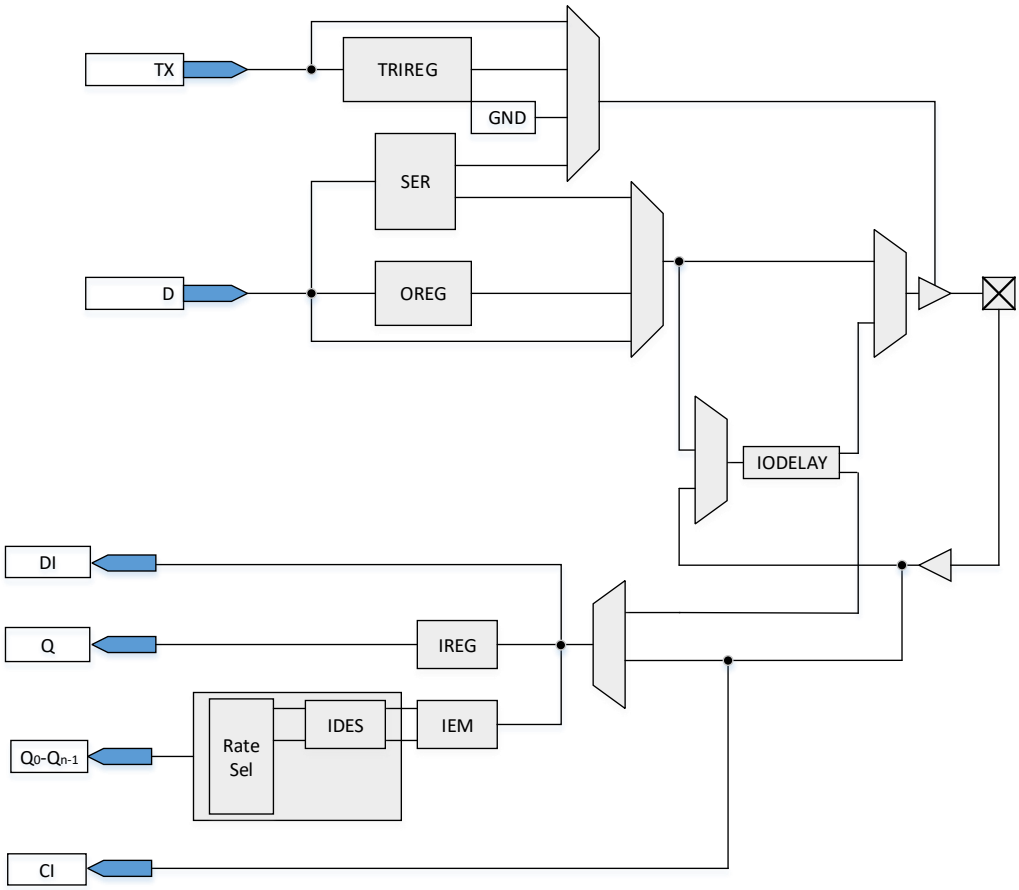


表 2-3 端口介绍

端口名	I/O	描述
CI[1]	Input	GCLK 输入信号。 GCLK 输入信号的数量请参考 UG110，GW2A-18 器件 Pinout 手册及 UG113，GW2A-55 器件 Pinout 手册。
DI	Input	IO 口低速输入信号，直接输入到 Fabric。
Q	Output	SDR 模块中 IREG 输出信号。
Q_0-Q_{n-1}	Output	DDR 模块中 IDES 输出信号。

注！

[1] 当 CI 作为 GCLK 输入使用时，DI、Q 及 Q_0-Q_{n-1} 不能作为 IO 输入输出使用。

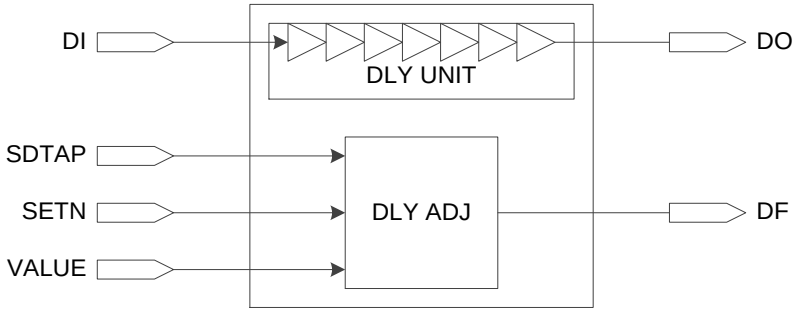
GW2A 系列 FPGA 产品的 I/O 逻辑的组成模块说明如下：

延迟模块

图 2-6 为延迟模块 IODELAY。GW2A 系列 FPGA 产品的每个 I/O 都包

含 IODELAY 模块，总共提供 128(0~127)步的延迟，一步的延迟时间约为 18ps。

图 2-6 IODELAY 示意图



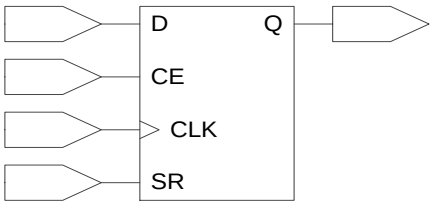
有两种控制延迟的方式：

- 静态控制。
- 动态控制，可与 IEM 模块（取样模块）一起使用来调节动态取样窗口。需要注意的是 IODELAY 不能同时用于输入和输出。

I/O 寄存器

图 2-7 为 GW2A 系列 FPGA 产品的 I/O 寄存器模块。GW2A 系列 FPGA 产品的每个 I/O 都提供可编程输入寄存器 IREG、输出寄存器 OREG 和高阻控制寄存器 TRIREG。

图 2-7 GW2A 的 I/O 寄存器示意图



注！

- CE 可以编程为低电平有效(0：enable)或高电平有效(1：enable)。
- CLK 可以编程为上升沿触发或下降沿触发。
- SR 可以编程为同步/异步的 SET/RESET 或无效(disable)。
- 寄存器可以编程为寄存器(register)或锁存器(latch)。

取样模块

取样模块(IEM)是用来取样数据边沿，用于通用 DDR 模式，如图 2-8 所示。

图 2-8 GW2A 的 IEM 示意图

解串器 DES 及跨时钟域转换模块

每个输入的 I/O 逻辑提供了简单的解串器 DES，丰富了 I/O 资源应用方式。DES 里面的输入时钟的跨时钟域转换(Clock domain transfer)模块提供了安全转换外部取样时钟(strobe)到内部的持续运转时钟的能力。有多个寄存器(registers)用来进行数据采样。

跨时钟域转换模块有如下功能：

- 用内部连续时钟代替不连续的 DQS 来进行数据采样。此功能应用于 DDR 存储器接口。
- 对于 DDR3 存储器接口标准，在读 DQS 电平（read-leveling）后对数据排列整理（align）。
- 在通用 DDR 模式，当 DQS.RCLK 用于采样时，跨时钟域转换模块也需要使用。

每个 DQS 提供 WADDR 及 RADDR 信号给同一个群的跨时钟域转换模块。

串化器 SER 模块

每个输出的 I/O 逻辑提供了简单的串化器 SER 模块，丰富了 I/O 资源应用方式。

2.3.3 I/O 逻辑工作模式

GW2A 系列 FPGA 产品的 I/O 逻辑支持多种工作模式。每一种工作模式下，I/O(或 I/O 差分信号对)又可以配置成输出信号、输入信号、INOUT 信号及三态输出信号(带三态控制的输出信号)。

2.4 块状静态随机存储器模块

2.4.1 简介

GW2A 系列 FPGA 产品提供了丰富的块状静态随机存储器资源。这些存储器资源按照模块排列，以行的形式，分布在整个 FPGA 阵列中。因此称为块状静态随机存储器（BSRAM）。在 FPGA 阵列中每个 BSRAM 模块占用 3 个 CFU 的位置。每个 BSRAM 可配置最高 18,432bits(18Kbits)。提供 5 种操作模式：单端口模式 Single Port，双端口模式 Dual Port，伪双端

口模式 Semi Dual Port，固化存储器模式，内置的 FIFO 缓存。

丰富的块状静态随机存储器资源为用户的高性能设计提供了保障。以下是 BSRAM 提供的各种功能：

- 1 个模块最大容量为 18,432bits
- 时钟频率达到 380MHz(在 Read-before-write 模式下 230MHz)
- 单端口模式 Single Port
- 双端口模式 Dual Port
- 伪双端口模式 Semi Dual Port
- 提供校验位 Parity Bits
- 提供只读存储器模式 ROM
- 数据宽度从 1 位到 36 位
- 可混合时钟操作 Mixed clock mode
- 可混合数据宽度 Mixed data width mode
- 在双字节以上的数据宽度支持字节使能功能 Enable Byte
- 正常读写 Normal Read and Write mode
- 先读后写 Read-before-write mode
- 通写 Write-through mode

2.4.2 存储器配置模式

GW2A 系列 FPGA 产品的块状静态随机存储器可支持多种的数据宽度，如表 2-4 所示。

表 2-4 存储器配置列表

单端口模式	双端口模式	伪双端口模式	只读模式
16K x 1	16K x 1	16K x 1	16K x 1
8K x 2	8K x 2	8K x 2	8K x 2
4K x 4	4K x 4	4K x 4	4K x 4
2K x 8	2K x 8	2K x 8	2K x 8
1K x 16	1K x 16	1K x 16	1K x 16
512 x 32	-	512 x 32	512 x 32
2K x 9	2K x 9	2K x 9	2K x 9
1K x 18	1K x 18	1K x 18	1K x 18
512 x 36	-	512 x 36	512 x 36

单端口模式

单端口模式可支持 2 种读模式（bypass 模式和 pipeline 模式）和 3 种写模式（normal 模式、write-through 模式和 read-before-write 模式）。在单端口模式下，BSRAM 可以在一个时钟沿对 BSRAM 进行读或写操作。在写操作中，被写入的数据会传到 BSRAM 的输出。当输出寄存器旁路(Bypass)时，新数据出现在同一个时钟的上升沿。

关于单端口模式的端口框图及相关描述请参考 UG285，Gowin 存储器(BSRAM & SSRAM)用户指南。

双端口模式

双端口模式可支持 2 种读模式（bypass 模式和 pipeline 模式）和 2 种写模式（normal 模式和 write-through 模式）。可对两个端口做如下操作：

- 两个端口同时读操作
- 两个端口同时写操作
- 任何一个端口的读和写

注！

不建议对同一地址同时进行读写操作。

关于双端口模式的端口示意图及相关描述请参考 UG285，Gowin 存储器(BSRAM & SSRAM)用户指南。

伪双端口模式

伪双端口模式可支持 2 种读模式（bypass 模式和 pipeline 模式）和 1 种写模式（normal 模式）。伪双端口可支持同时的读和写操作。但是对同一个端口不能做读写操作，只支持 A 端口写，B 端口读。

注！

不建议对同一地址同时进行读写操作。

关于伪双端口模式的端口示意图及相关描述请参考 UG285，Gowin 存储器(BSRAM & SSRAM)用户指南。

只读模式

BSRAM 可配置成只读存储器模式。用户可通过存储器初始化文件，通过编程端口来初始化只读存储器。用户需要提供 ROM 中的内容，编入初始化文件中。在器件上电编程时来完成初始化操作。

每个 BSRAM 可配置成一个 16Kbits ROM。关于只读模式的端口示意图及详细描述请参考 UG285，Gowin 存储器(BSRAM & SSRAM)用户指南。

2.4.3 存储器混合数据宽度配置

GW2A 系列 FPGA 产品的块状静态随机存储器模块可支持混合数据线宽度操作。在双端口模式和伪双端口模式下，读和写的数据宽度可以不同，但需要按照表 2-5 和表 2-6 的配置来应用。

表 2-5 双端口混合读写数据宽度配置列表

读端口	写端口						
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	2K x 9	1K x 18
16K x 1	*	*	*	*	*		
8K x 2	*	*	*	*	*		
4K x 4	*	*	*	*	*		
2K x 8	*	*	*	*	*		

读端口	写端口						
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	2K x 9	1K x 18
1K x 16	*	*	*	*	*		
2K x 9						*	*
1K x 18						*	*

注！

标注为“*”的表示支持的模式。

表 2-6 伪双端口混合读写数据宽度配置列表

读端口	写端口								
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	512x32	2K x 9	1K x 18	512x36
16K x 1	*	*	*	*	*	*			
8K x 2	*	*	*	*	*	*			
4K x 4	*	*	*	*	*	*			
2K x 8	*	*	*	*	*	*			
1K x 16	*	*	*	*	*	*			
512x32	*	*	*	*	*	*			
2K x 9							*	*	*
1K x 18							*	*	*

注！

标注为“*”的表示支持的模式。

2.4.4 校验位功能配置

所有的块状静态随机存储器模块 BSRAM 内置了校验位的配置。每个字节的第 9 位可用来做校验位，也可以用来存储数据。

2.4.5 同步操作

- 所有的块状静态随机存储器模块的输入寄存器支持同步写入。
- 输出寄存器可用作流水线寄存器提高用户的设计性能。
- 输出寄存器可旁路。

2.4.6 BSRAM 操作模式

BSRAM 支持 5 种操作模式，包括 2 种读操作模式(旁路模式 Bypass Mode，流水线读模式 Pipeline Mode)和 3 种写操作模式(正常写模式：Normal Mode，通写模式：Write-Through Mode，先读后写模式：Read-before-Write Mode)。

读操作模式

通过输出寄存器或不通过输出寄存器从 BSRAM 读出数据。

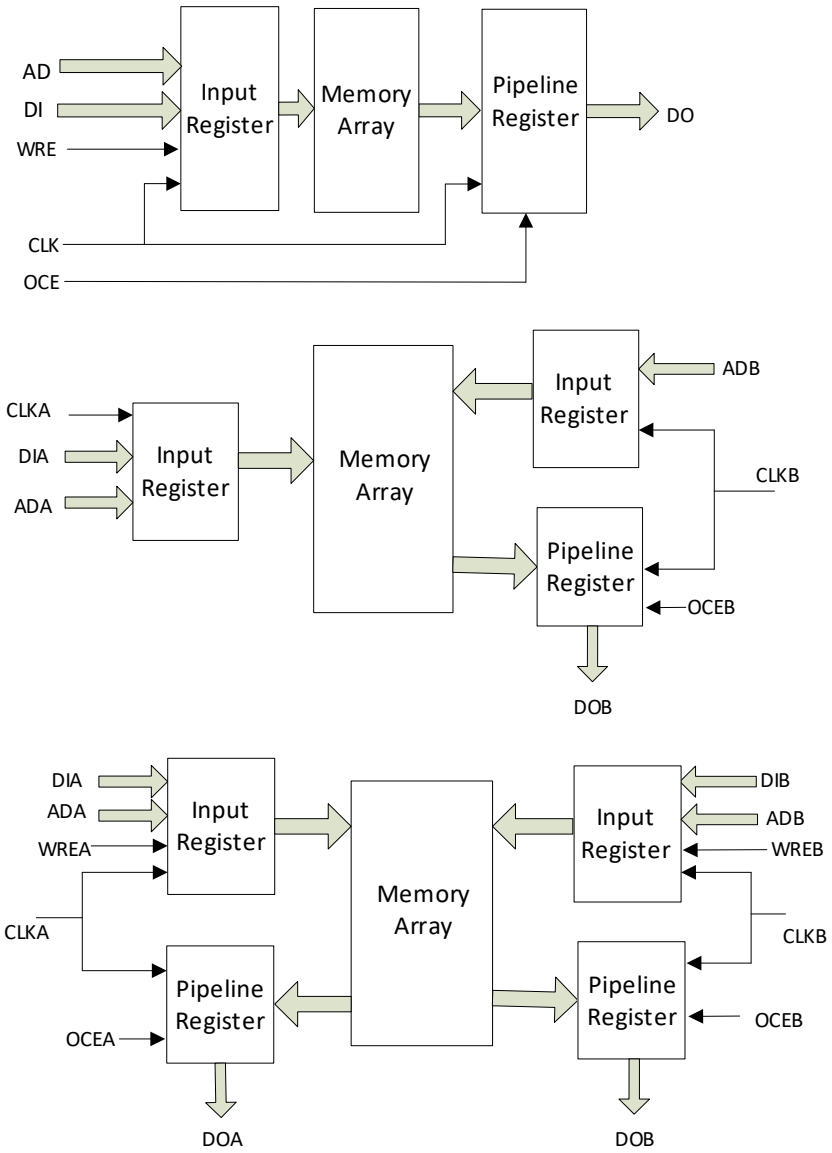
流水线模式

在同步写入存储器时，使用输出寄存器。此模式可支持数据宽度最大36 位。

旁路模式

不使用输出寄存器，数据保留在存储器(Memory Array)的输出。

图 2-9 单端口、伪双端口及双端口模式下的流水线模式



写操作模式

正常写模式

对一个端口进行正常写操作，此端口的输出数据不变。写入数据不会出现在读端口。

通写模式

在此模式下，对一个端口进行写操作时，写入数据会出现在此端口的输

出。

先读后写模式

在此模式下，对一个端口进行写操作时，原来的数据会出现在此端口的输出，写入数据会存入相应单元。

2.4.7 时钟模式

表 2-7 中列出了不同 BSRAM 模式下可使用的时钟模式：

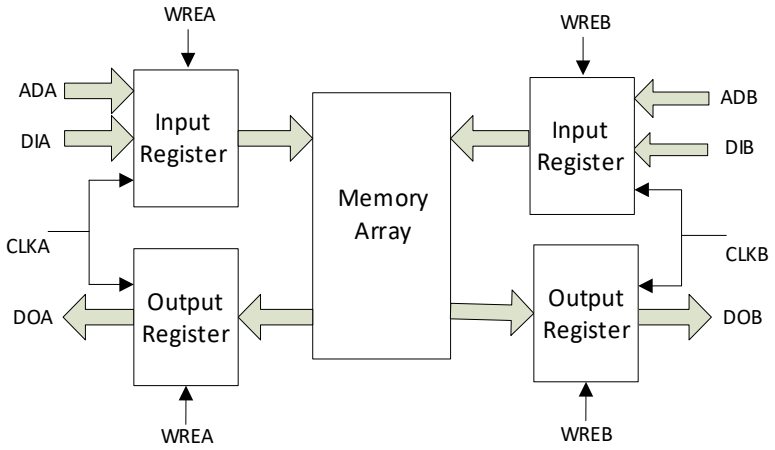
表 2-7 时钟模式配置列表

时钟模式	BSRAM 模式		
	双端口模式	伪双端口模式	单端口模式
独立时钟模式	Yes	No	No
读/写时钟模式	Yes	Yes	No
单端口时钟模式	No	No	Yes

独立时钟模式

图 2-10 显示了在双端口模式下的独立时钟使用模式，每个端口各有一个独立时钟。CLKA 信号控制了端口 A 的所有寄存器，CLKB 信号控制了端口 B 的所有寄存器。

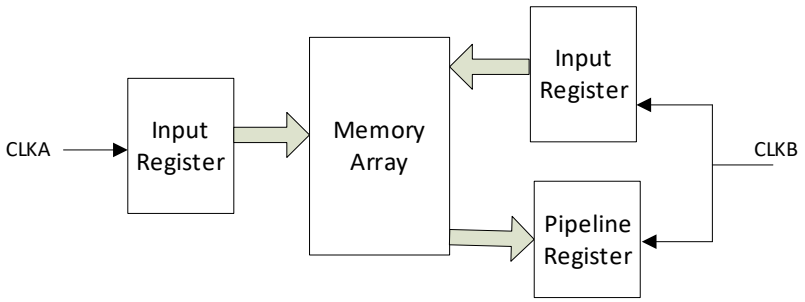
图 2-10 独立时钟模式



读写时钟模式

图 2-11 显示了在伪双端口模式下的读写时钟使用模式。每个端口各有一个时钟。写时钟(CLKA)信号控制了端口 A 的写入数据、写地址和读/写使能信号。读时钟(CLKB)信号控制了端口 B 的读出数据、读地址和读使能信号。

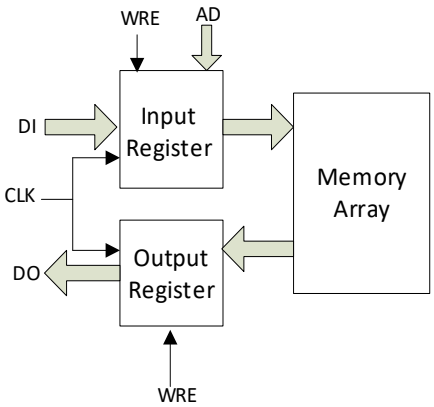
图 2-11 读写时钟模式



单端口时钟模式

图 2-12 显示了单端口时钟模式。

图 2-12 单端口时钟模式



2.5 数字信号处理模块

GW2A 系列 FPGA 产品中都具有丰富的 DSP 模块资源。高云半导体的 DSP 解决方案可满足用户的高性能数字信号处理需求，如 FIR，FFT 设计等。DSP 具有时序性能稳定、资源利用率高、功耗低等优点。

DSP 支持下列功能：

- 3 种宽度乘法器（9-bit，18-bit，36-bit）
- 54-bit 的算术/逻辑运算单元
- 多个乘法器可级联以增加数据宽度
- 桶形移位器(Barrel shifter)
- 通过反馈信号做自适应滤波(Adaptive filtering through signal feedback)
- 运算可以自动取正(Computing with options of rounding to positive number or prime number)
- 支持寄存器输出和旁路输出

2.5.1 宏单元

GW2A 的 DSP 模块排列以行的形式分布在整个 FPGA 阵列中。每个 DSP 模块占用 9 个 CFU 的位置。每个 DSP 包含两个宏单元，每个宏单元包含两个前加法器(pre-adders)，两个 18 位的乘法器(multipliers)，和一个

三输入的算术/逻辑运算单元(ALU)。

前加器

DSP 宏单元包含两个前加器，实现预加、预减和移位功能。

前加器位于宏单元的最前端，有两个输入端：

- 并行 18-bit 输入 B 或 SBI；
- 并行 18-bit 输入 A 或 SIA。
  每个输入端都支持寄存器模式和旁路模式。
  高云半导体 FPGA 产品的前加器可以作为功能模块单独使用，支持 9-bit 位宽和 18-bit 位宽。

乘法器

乘法器(multipliers)位于前加器之后，用来实现乘法运算。乘法器可以配置为 9 x 9、18 x 18、36 x 18 或 36 x 36，输入端和输出端都支持寄存器模式和旁路模式。一个宏单元支持的配置模式包括：

- 一个 18 x 36 乘法器；
- 两个 18 x 18 乘法器；
- 四个 9 x 9 乘法器。

两个宏单元可以配置成一个 36 x 36 乘法器。

算术运算单元

每个 DSP 宏单元包含一个 54 位 ALU54，是对乘法器功能的进一步加强，输入端和输出端均支持寄存器模式和旁路模式。支持的功能包括：

- 乘法器输出数据/0、数据 A 和数据 B 的加法/减法运算
- 乘法器输出数据/0、数据 B 和进位 C 的加法/减法运算
- 数据 A、数据 B 和进位 C 的加法/减法运算

2.5.2 DSP 操作模式配置

通过两个控制信号 ALUSEL[6:0]和 ALUMODE[3:0]可实现 DSP 多种操作模式：

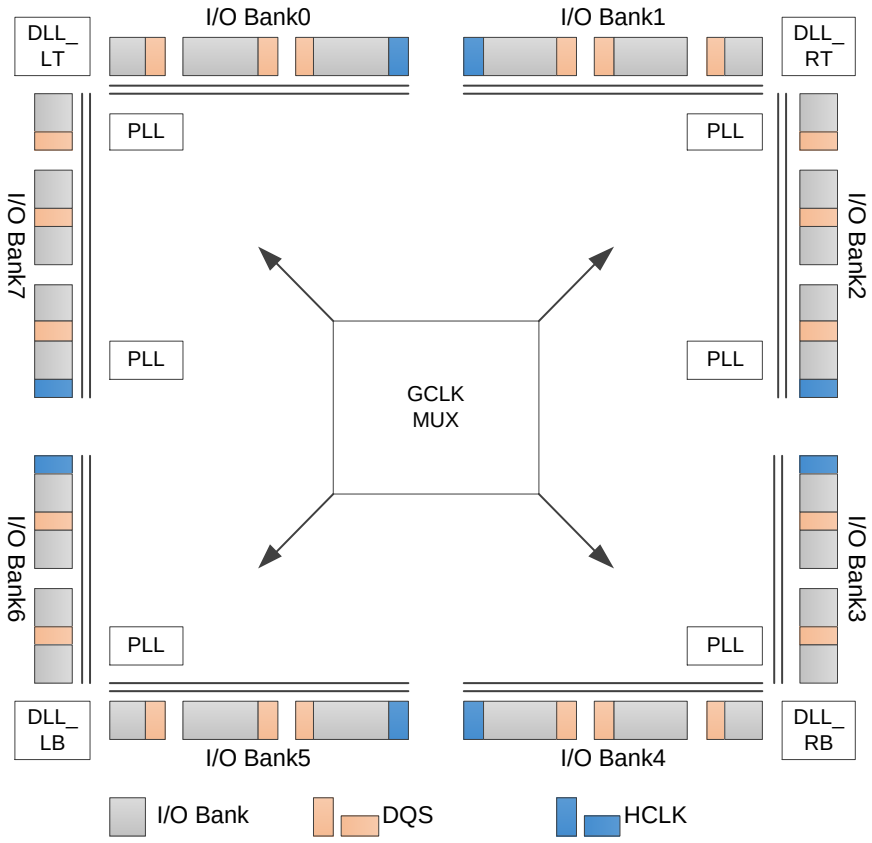
- 乘法器(multiplier)模式
- 乘法累加器(accumulator)模式
- 乘法求和累加器模式

关于数字信号处理模块更多详细信息，请参考 UG287，Gowin 数字信号处理器(DSP)用户指南。

2.6 时钟

时钟资源及布线对 FPGA 高性能的应用至关重要。GW2A 系列 FPGA 产品提供了专用全局时钟网络(GCLK)，直接连接到器件的所有资源。除了 GCLK 资源，还提供了锁相环（PLL）、高速时钟 HCLK 和 DDR 存储器接口数据脉冲时钟 DQS 等时钟资源。

图 2-13 GW2A 时钟资源



2.6.1 全局时钟网络

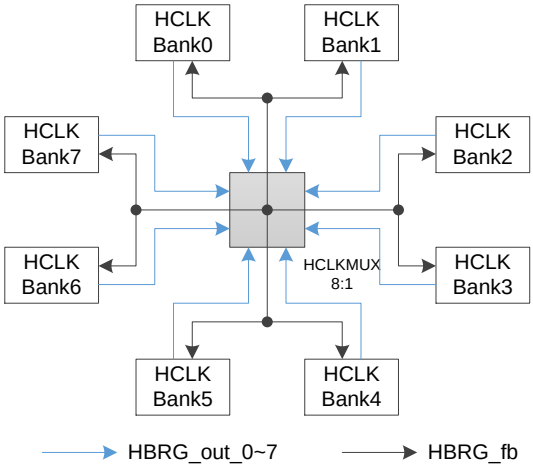
GCLK 在 GW2A 产品中按象限分布，分为四个象限，每个象限提供 8 个 GCLK 网络。GCLK 的可选时钟源包括专用的时钟输入管脚和普通布线资源，使用专用的时钟输入管脚具有更好的时钟性能。

2.6.2 高速时钟

GW2A 系列 FPGA 产品的高速时钟 HCLK 可以支持 I/O 完成高性能数据传输，是专门针对源时钟同步的数据传输接口而设计的，如图 2-14 所

示。

图 2-14 GW2A HCLK 示意图



由图 2-14 可以看到，高速时钟 HCLK 的中间有一个 8:1 的 HCLKMUX 模块，HCLKMUX 能将任何一个 Bank 中的 HCLK 时钟信号送到其他任何一个 Bank 中，这使得 HCLK 的使用更加灵活。

HCLK 可以提供给用户使用的功能模块如下所示：

- DHCEN：动态的高速时钟使能模块，功能类似于 DQCE。可动态的打开/关闭高速时钟信号。
- CLKDIV/ CLKDIV2：高速时钟分频模块，每个 Bank 中有一个 CLKDIV。生成和输入时钟相位一致的分频时钟，用于 IO 逻辑工作模式中。
- DCS：动态的高速时钟选择器。
- DLLDLY：动态延迟调整模块，用于专用时钟管脚输入的时钟信号。

2.6.3 锁相环

锁相环路是一种反馈控制电路，简称锁相环（PLL，Phase-Locked Loop）。利用外部输入的参考时钟信号控制环路内部振荡信号的频率和相位。

GW2A 产品的 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。

2.6.4 DDR 存储器接口时钟管理 DQS

GW2A 系列 FPGA 产品的 DQS 模块提供了如下的功能来支持 DDR 存储器接口的时钟需求：

- 接收 DQS 输入，整理波形并移动 1/4 相位
- 为输入缓存提供读/写指针
- 为内部逻辑提供数据有效信号
- 提供 DDR 输出时钟信号
- 支持 DDR3 写电压控制

DQS 模块支持多种工作模式，用来满足不同的 IO 接口的需求。

关于全局时钟、高速时钟、锁相环及 DDR 存储器接口数据脉冲时钟 DQS 等更多详细信息请参考 UG286，Gowin 时钟资源(Clock)用户指南。

2.7 长线

作为对 CRU 的有效补充，GW2A 系列 FPGA 产品提供了灵活丰富的长线资源，适用于时钟、时钟使能、置复位或其它高扇出的信号。

2.8 全局复置位

GW2A 系列 FPGA 产品中包含一个专用的全局复置位网络，直接连接到器件的内部逻辑，可用作异步/同步复位或异步/同步置位，CFU 和 I/O 中的寄存器均可以独立配置。

2.9 编程配置

GW2A 系列 FPGA 产品支持 SRAM 编程，因此，每次上电后需要重新下载配置数据文件到器件中。当然，用户可以根据自身需求将配置数据文件保存在外部 Flash 中。上电后，GW2A 器件从外部 Flash 中读取配置数据到 SRAM 中。

GW2A 系列 FPGA 产品除了支持业界通用的 JTAG 配置模式外，还支持高云半导体特有的 GowinCONFIG 配置模式：SSPI、MSPI、SERIAL 和 CPU。详细资料请参考 UG290, Gowin FPGA 产品编程配置手册。

2.10 片内晶振

GW2A 系列 FPGA 产品内嵌了一个片内晶振，编程过程中为 MSPI 编程模式提供时钟源，输出频率数据如表 2-8 所示。片内晶振还可以为用户设计提供时钟源，通过配置工作参数，可以获得多达 64 种时钟频率。输出时钟频率可以通过如下公式计算得到：

f_{out}=250MHz/Param。

注！

其中除数 Param 为配置参数，范围为 2~128，只支持偶数。

表 2-8 片内晶振的输出频率选项

模式	频率	模式	频率	模式	频率
0	2.5MHz[1]	8	7.8MHz	16	15.6MHz
1	5.4MHz	9	8.3MHz	17	17.9MHz
2	5.7MHz	10	8.9MHz	18	21MHz
3	6.0MHz	11	9.6MHz	19	25MHz
4	6.3MHz	12	10.4MHz	20	31.3MHz
5	6.6MHz	13	11.4MHz	21	41.7MHz
6	6.9MHz	14	12.5MHz	22	62.5MHz
7	7.4MHz	15	13.9MHz	23	125MHz[2]

注！

- [1]片内晶振默认输出频率为 2.5MHz.。
- [2]125MHz 不适用于 MSPI 编程模式。

3 电气特性

注！

建议在推荐的工作条件及工作范围内使用高云器件，超出工作条件及工作范围的数据仅供参考，高云半导体不保证所有器件都能在超出工作条件及工作范围的情况下正常工作。

3.1 工作条件

3.1.1 绝对最大范围

表 3-1 绝对最大范围

名称	描述	最小值	最大值
V_{CC}	核电压	-0.5V	1.1V
V_{CCPLL}	锁相环电压	-0.5V	1.1V
V_{CCIO}	I/O Bank 电压	-0.5V	3.75V
-	I/O 电压[1]	-0.5V	3.75V
V_{CCX}	辅助电压	-0.5V	3.75V
Storage Temperature	储存温度	-65℃	+150℃
Junction Temperature	结温	-40℃	+125℃

注！

- [1]允许-2V 至（V_{IHMAX} + 2）V 的过冲和下冲，持续时间<20 ns。

3.1.2 推荐工作范围

表 3-2 推荐工作范围

名称	描述	最小值	最大值
V_{CC}	核电压	0.95V	1.05V
$V_{CCPLLLx}$	左边锁相环供电电压	0.95V	1.05V
$V_{CCPLLRx}$	右边锁相环供电电压	0.95V	1.05V
V_{CCIO}	I/O Bank 电压	1.14V	3.6V
V_{CCX}	辅助电压	2.7V	3.6V
T_{JCOM}	结温(商业级)	0℃	+85℃

名称	描述	最小值	最大值
	Junction temperature Commercial operation		
T_{JIND}	结温(工业级) Junction temperature Industrial operation	-40℃	+100℃

注！

不同封装的器件供电电压信息请参考 UG110, GW2A-18 器件 Pinout 手册和 UG113, GW2A-55 器件 Pinout 手册。

3.1.3 电源上升斜率

表 3-3 电源上升斜率

名称	描述	最小值	典型值	最大值
Vcc Ramp	Vcc 上升斜率	0.1mV/μs	-	10mV/μs
V_{CCIO}/Vccx Ramp	V_{CCIO} 和 Vccx 上升斜率	0.01mV/μs	-	100mV/μs

注！

- 所有电源的上升斜率必须单调。
- 在设备开始配置前，所有的电源都需要在表 4-2 中定义的工作范围内。不在工作范围内的电源需要调整到更快的斜率，否则用户必须推迟配置。
-

3.1.4 热插拔特性

表 3-4 热插拔特性

名称	描述	条件	I/O 类型	最大值
I_{HS}	输入漏电流 (Input or I/O leakage current)	$0<V_{IN}<V_{IH}$(MAX)	I/O	150uA
I_{HS}	输入漏电流 (Input or I/O leakage current)	$0<V_{IN}<V_{IH}$(MAX)	TDI,TDO, TMS,TCK	120uA

3.1.5 POR 特性

表 3-5 POR 电压参数

名称	描述	器件	名称	值
V_{POR_UP}	Power on reset ramp up trip point	GW2A-18	V_{CC}	0.8V
			V_{CCX}	2.45V
			V_{CCIO}	0.9V
		GW2A-55	V_{CC}	0.8V
			V_{CCX}	2.45V
			V_{CCIO}	0.9V
V_{POR_DOWN}	Power on reset ramp down trip point	GW2A-18	V_{CC}	0.7V
			V_{CCX}	2.2V
			V_{CCIO}	0.6V
		GW2A-55	V_{CC}	0.7V
			V_{CCX}	2.2V
			V_{CCIO}	0.65V

3.2 ESD 性能

表 3-6 GW2A ESD – HBM

器件	GW2A-18	GW2A-55
QN88	HBM>1,000V	-
EQ144	HBM>1,000V	-
MG196	HBM>1,000V	-
PG256	HBM>1,000V	-
PG256S	HBM>1,000V	-
PG256SF	HBM>1,000V	-
PG256C	HBM>1,000V	-
PG256CF	HBM>1,000V	-
PG256E	HBM>1,000V	-
PG484	HBM>1,000V	HBM>1,000V
PG484C	HBM>1,000V	-
PG1156	-	HBM>1,000V
UG324	HBM>1,000V	HBM>1,000V
UG324D	-	HBM>1,000V
UG324F	-	HBM>1,000V
UG484	HBM>1,000V	-
UG484S	-	HBM>1,000V
UG676	-	HBM>1,000V

表 3-7 GW2A ESD - CDM

器件	GW2A-18	GW2A-55
QN88	CDM>500V	-
EQ144	CDM>500V	-
MG196	CDM>500V	-
PG256	CDM>500V	-
PG256S	CDM>500V	-
PG256SF	CDM>500V	-
PG256C	CDM>500V	-
PG256CF	CDM>500V	-
PG256E	CDM>500V	-
PG484	CDM>500V	CDM>500V
PG484C	CDM>500V	-
PG1156	-	CDM>500V
UG324	CDM>500V	CDM>500V
UG324D	-	CDM>500V
UG324F	-	CDM>500V
UG484	CDM>500V	-
UG484S	-	CDM>500V
UG676	-	CDM>500V

3.3 DC 电气特性

3.3.1 推荐工作范围的 DC 电气特性

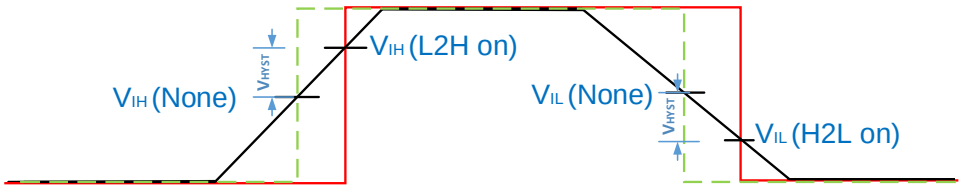
表 3-8 推荐工作范围内的 DC 电气特性

名称	描述	条件	最小值	典型值	最大值
I_{IL},I_{IH}	I/O 输入漏电流 (Input or I/O leakage)	$V_{CCIO}<V_{IN}<V_{IH}$(MAX)	-	-	210μA
		$0V<V_{IN}<V_{CCIO}$	-	-	10μA
I_{PU}	I/O 上拉电流(I/O Active Pull-up Current)	$0<V_{IN}<0.7V_{CCIO}$	-30μA	-	-150μA
I_{PD}	I/O 下拉电流(I/O Active Pull-down Current)	V_{IL}(MAX)$<V_{IN}<V_{CCIO}$	30μA	-	150μA
I_{BHLS}	总线保持低电平时持续电流(Bus Hold Low Sustaining Current)	$V_{IN}=V_{IL}$(MAX)	30μA	-	-

名称	描述	条件	最小值	典型值	最大值
I_{BHHS}	总线保持高电平时持续电流(Bus Hold High Sustaining Current)	V_{IN}=0.7V_{CCIO}	-30μA	-	-
I_{BHLO}	总线保持低电平时过载电流(Bus Hold Low Overdrive Current)	0≤V_{IN}≤V_{CCIO}	-	-	150μA
I_{BHHO}	总线保持高电平时过载电流 (BusHoldHigh Overdrive Current)	0≤V_{IN}≤V_{CCIO}	-	-	-150μA
V_{BHT}	总线保持触发点时电压(Bus hold trip points)	-	V_{IL}(MAX)	-	V_{IH}(MIN)
C1	I/O 电容(I/O Capacitance)	-	-	5pF	8pF
V_{HYST}	输入迟滞(Hysteresis for Schmitt Trigger inputs)	V_{CCIO}=3.3V, Hysteresis=L2H[1],[2]	-	240mV	-
		V_{CCIO}=2.5V, Hysteresis=L2H	-	140mV	-
		V_{CCIO}=1.8V, Hysteresis=L2H	-	65mV	-
		V_{CCIO}=1.5V, Hysteresis=L2H	-	30mV	-
		V_{CCIO}=3.3V, Hysteresis=H2L[1],[2]	-	200mV	-
		V_{CCIO}=2.5V, Hysteresis=H2L	-	130mV	-
		V_{CCIO}=1.8V, Hysteresis=H2L	-	60mV	-
		V_{CCIO}=1.5V, Hysteresis=H2L	-	40mV	-
		V_{CCIO}=3.3V,Hysteresis=HIGH[1],[2]	-	440mV	-
		V_{CCIO}=2.5V,Hysteresis=HIGH	-	270mV	-
		V_{CCIO}=1.8V,Hysteresis=HIGH	-	125mV	-
		V_{CCIO}=1.5V,Hysteresis=HIGH	-	70mV	-

注！

- [1] Hysteresis="NONE", "L2H", "H2L", "HIGH"表示在 EDA 的 FloorPlanner 工具内设置 I/O Constraints 时的 Hysteresis 选项，设置方法详见 SUG935，Gowin 设计物理约束指南。
- [2]开启 L2H(low to high)选项表示 V_{IH} 被提高 V_{HYST}；开启 H2L(high to low)选项表示 V_{IL} 被降低 V_{HYST}；HIGH 表示同时开启 L2H 和 H2L 选项，即 V_{HYST}(HIGH)= V_{HYST}(L2H) + V_{HYST}(H2L)。其示意图如下所示：



3.3.2 静态电流

表 3-9 静态电流

名称	描述	器件	典型值
I_{CC}[1]	Core 电源电流	GW2A-55	150mA
		GW2A-18	70mA
I_{CCX}[2]	V_{CCX} 电源电流	GW2A-55	35mA
		GW2A-18	15mA
I_{CCIO}	I/O Bank 电源电流(V_{CCIO}=3.3V)	GW2A-55	<2mA
		GW2A-18	<2mA

注！

- [1]测试条件为：V_{CC}=1V，室温，速度等级-8。
- [2]测试条件为：V_{CCX}=3.3V。

3.3.3 I/O 推荐工作条件

表 3-10 I/O 推荐工作条件

名称	输出对应的 V_{CCIO}(V)			输入对应的 V_{REF}(V)		
	最小值	典型值	最大值	最小值	典型值	最大值
LVTTL33	3.135	3.3	3.6	-	-	-
LVCMOS33	3.135	3.3	3.6	-	-	-
LVCMOS25	2.375	2.5	2.625	-	-	-
LVCMOS18	1.71	1.8	1.89	-	-	-
LVCMOS15	1.425	1.5	1.575	-	-	-
LVCMOS12	1.14	1.2	1.26	-	-	-
SSTL15	1.425	1.5	1.575	0.68	0.75	0.9
SSTL18_I	1.71	1.8	1.89	0.833	0.9	0.969
SSTL18_II	1.71	1.8	1.89	0.833	0.9	0.969
SSTL25_I	2.375	2.5	2.645	1.15	1.25	1.35
SSTL25_II	2.375	2.5	2.645	1.15	1.25	1.35
SSTL33_I	3.135	3.3	3.6	1.3	1.5	1.7
SSTL33_II	3.135	3.3	3.6	1.3	1.5	1.7
HSTL18_I	1.71	1.8	1.89	0.816	0.9	1.08
HSTL18_II	1.71	1.8	1.89	0.816	0.9	1.08
HSTL15	1.425	1.5	1.575	0.68	0.75	0.9
PCI33	3.135	3.3	3.6	-	-	-
LVPECL33E	3.135	3.3	3.6	-	-	-
MLVDS25E	2.375	2.5	2.625	-	-	-
BLVDS25E	2.375	2.5	2.625	-	-	-
RSDS25E	2.375	2.5	2.625	-	-	-

名称	输出对应的 V_{CCIO}(V)			输入对应的 V_{REF}(V)		
	最小值	典型值	最大值	最小值	典型值	最大值
LVDS25E[1]	2.375	2.5	2.625	-	-	-
SSTL15D	1.425	1.5	1.575	-	-	-
SSTL18D_I	1.71	1.8	1.89	-	-	-
SSTL18D_II	1.71	1.8	1.89	-	-	-
SSTL25D_I	2.375	2.5	2.625	-	-	-
SSTL25D_II	2.375	2.5	2.625	-	-	-
SSTL33D_I	3.135	3.3	3.6	-	-	-
SSTL33D_II	3.135	3.3	3.6	-	-	-
HSTL15D	1.425	1.575	1.89	-	-	-
HSTL18D_I	1.71	1.8	1.89	-	-	-
HSTL18D_II	1.71	1.8	1.89	-	-	-

注!

使用 True LVDS 的 Bank V_{CCIO} 建议设置为 2.5V。

3.3.4 单端 I/O DC 电气特性

表 3-11 单端 I/O DC 电气特性

名称	V_{IL}		V_{IH}		V_{OL} (Max)	V_{OH} (Min)	I_{OL}[1] (mA)	I_{OH}[1] (mA)
	Min	Max	Min	Max				
LVCMOS33 LVTTL33	-0.3V	0.8V	2.0V	3.6V	0.4V	V_{CCIO}-0.4V	4	-4
							8	-8
							12	-12
							16	-16
							24	-24
					0.2V	V_{CCIO}-0.2V	0.1	-0.1
LVCMOS25	-0.3V	0.7V	1.7V	3.6V	0.4V	V_{CCIO}-0.4V	4	-4
							8	-8
							12	-12
							16	-16
					0.2V	V_{CCIO}-0.2V	0.1	-0.1
LVCMOS18	-0.3V	0.35 x V_{CCIO}	0.65 x V_{CCIO}	3.6V	0.4V	V_{CCIO}-0.4V	4	-4
							8	-8
							12	-12
					0.2V	V_{CCIO}-0.2V	0.1	-0.1
LVCMOS15	-0.3V	0.35 x V_{CCIO}	0.65 x V_{CCIO}	3.6V	0.4V	V_{CCIO}-0.4V	4	-4
							8	-8
					0.2V	V_{CCIO}-0.2V	0.1	-0.1
LVCMOS12	-0.3V	0.35 x V_{CCIO}	0.65 x V_{CCIO}	3.6V	0.4V	V_{CCIO}-0.4V	2	-2

名称	V_{IL}		V_{IH}		V_{OL} (Max)	V_{OH} (Min)	I_{OL}[1] (mA)	I_{OH}[1] (mA)
	Min	Max	Min	Max				
							4	-4
					0.2V	V_{CCIO}-0.2V	0.1	-0.1
PCI33	-0.3V	0.3 x V_{CCIO}	0.5 x V_{CCIO}	3.6V	0.1 x V_{CCIO}	0.9 x V_{CCIO}	1.5	-0.5
SSTL33_I	-0.3V	V_{REF}-0.2V	V_{REF}+0.2V	3.6V	0.7	V_{CCIO}-1.1V	8	-8
SSTL25_I	-0.3V	V_{REF}-0.18V	V_{REF}+0.18V	3.6V	0.54V	V_{CCIO}-0.62V	8	-8
SSTL25_II	-0.3V	V_{REF}-0.18V	V_{REF}+0.18V	3.6V	NA	NA	NA	NA
SSTL18_II	-0.3V	V_{REF}-0.125V	V_{REF}+0.125 V	3.6V	NA	NA	NA	NA
SSTL18_I	-0.3V	V_{REF}-0.125V	V_{REF}+0.125 V	3.6V	0.40V	V_{CCIO}-0.40V	8	-8
SSTL15	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	0.40V	V_{CCIO}-0.40V	8	-8
HSTL18_I	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	0.40V	V_{CCIO}-0.40V	8	-8
HSTL18_II	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	NA	NA	NA	NA
HSTL15_I	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	0.40V	V_{CCIO}-0.40V	8	-8
HSTL15_II	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	NA	NA	NA	NA

注！

[1]同一个 Bank 所有 IO 的总的 DC 电流限制(包括 source 和 sink)：同一个 Bank 所有 IO 的总电流不能大于 n*8mA，n 表示该 Bank 被引出的 IO 数量。

3.3.5 差分 I/O DC 电气特性

表 3-12 差分 I/O DC 电气特性

LVDS

名称	描述	测试条件	最小	典型	最大	单位
V_{INA},V_{INB}	输入电压(Input Voltage)	-	0	-	2.4	V
V_{CM}	共模输入电压(Input Common Mode Voltage)	-	0.05	-	2.35	V
V_{THD}	差分输入门限(Differential Input Threshold)	输入最小幅度	±100	-	±600	mV
I_{IN}	输入电流(Input Current)	Power On or Power Off	-	-	±10	μA
V_{OH}	输出高电平(Output High Voltage for V_{OP} or V_{OM})	R_T = 100Ω	-	-	1.6	V
V_{OL}	输出低电平(Output Low Voltage for V_{OP} or V_{OM})	R_T = 100Ω	0.9	-	-	V
V_{OD}	差模输出电压(Output Voltage Differential)	(V_{OP} - V_{OM}), R_T=100Ω	250	350	450	mV

名称	描述	测试条件	最小	典型	最大	单位
ΔV_{OD}	差模输出电压的变化范围 (Change in V_{OD} Between High and Low)	-	-	-	50	mV
V_{OS}	输出零漂(Output Voltage Offset)	$(V_{OP} + V_{OM})/2$, R_T=100Ω	1.125	1.2	1.375	V
ΔV_{OS}	输出零漂变化(Change in V_{OS} Between High and Low)	-	-	-	50	mV
I_S	短路电流	V_{OD} = 0V 两路输出短接	-	-	15	mA

3.4 AC 开关特性

3.4.1 CFU 开关特性

表 3-13 CFU 时序参数

器件	名称	描述	C9/I8		C8/I7		C7/I6		单位
			Min	Max	Min	Max	Min	Max	
GW2A-18	t_{LUT4_CFU}	LUT4 延迟(LUT4 delay)	0.27	0.40	0.31	0.46	0.39	0.58	ns
	t_{SR_CFU}	置位/复位到寄存器输出时间 (Set/Reset to Register output)	0.95	0.99	1.10	1.15	1.37	1.44	ns
	t_{CO_CFU}	时钟到寄存器输出时间 (Clock to Register output)	0.17	0.20	0.20	0.23	0.25	0.29	ns
GW2A-55	t_{LUT4_CFU}	LUT4 延迟(LUT4 delay)	0.27	0.40	0.31	0.46	0.39	0.58	ns
	t_{SR_CFU}	置位/复位到寄存器输出时间 (Set/Reset to Register output)	0.95	0.99	1.10	1.15	1.37	1.44	ns
	t_{CO_CFU}	时钟到寄存器输出时间 (Clock to Register output)	0.17	0.20	0.20	0.23	0.25	0.29	ns

3.4.2 BSRAM 开关特性

表 3-14 BSRAM 时序参数

器件	名称	描述	C9/I8		C8/I7		C7/I6		单位
			Min	Max	Min	Max	Min	Max	
GW2A-18	t_{COAD_BSRAM}	时钟到读地址/数据输出时间 (Clock to output from read address/data)	1.95	1.95	2.26	2.26	2.83	2.83	ns
	t_{COOR_BSRAM}	时钟到寄存器输出时间 (Clock to output from output register)	0.26	0.26	0.31	0.31	0.38	0.38	ns
GW2A-55	t_{COAD_BSRAM}	时钟到读地址/数据输出时间 (Clock to output from read address/data)	1.95	1.95	2.26	2.26	2.83	2.83	ns
	t_{COOR_BSRAM}	时钟到寄存器输出时间 (Clock to output from output register)	0.26	0.26	0.31	0.31	0.38	0.38	ns

3.4.3 DSP 开关特性

表 3-15 DSP 时序参数

器件	名称	描述	C9/I8		C8/I7		C7/I6		单位
			Min	Max	Min	Max	Min	Max	
GW2A-18	t_{COIR_DSP}	时钟到输入寄存器的时间(Clock to output from input register)	0.20	0.22	0.24	0.25	0.30	0.32	ns
	t_{COPR_DSP}	时钟到流水寄存器的时间(Clock to output from pipeline register)	0.06	0.07	0.07	0.08	0.09	0.10	ns
	t_{COOR_DSP}	时钟到输出寄存器的时间(Clock to output from output register)	0.03	0.04	0.04	0.04	0.05	0.05	ns
GW2A-55	t_{COIR_DSP}	时钟到输入寄存器的时间(Clock to output from input register)	0.20	0.22	0.24	0.25	0.30	0.32	ns
	t_{COPR_DSP}	时钟到流水寄存器的时间(Clock to output from pipeline register)	0.06	0.07	0.07	0.08	0.09	0.10	ns
	t_{COOR_DSP}	时钟到输出寄存器的时间(Clock to output from output register)	0.03	0.04	0.04	0.04	0.05	0.05	ns

3.4.4 Gearbox 开关特性

表 3-16 Gearbox 时序参数

TBD

3.4.5 时钟和 I/O 开关特性

表 3-17 外部开关特性

器件	名称	说明	C8/I7		C7/I6		单位
			Min	Max	Min	Max	
GW2A-18	Pin-LUT-Pin Delay[1]	Pin(IOxA) to Pin(IOxB) delay	-	3.83	-	4.59	ns
	$T_{HCLKdly}$	HCLK tree delay	-	0.82	-	0.98	ns
	$T_{GCLKdly}$	GCLK tree delay	-	1.77	-	2.12	ns
GW2A-55	Pin-LUT-Pin Delay[1]	Pin(IOxA) to Pin(IOxB) delay	-	3.83	-	4.59	ns
	$T_{HCLKdly}$	HCLK tree delay	-	1.32	-	1.48	ns
	$T_{GCLKdly}$	GCLK tree delay	-	2.27	-	2.62	ns

注！

- [1]测试条件为：V_{CCIO}=3.3V，V_{CCX}=3.3V，LVCMOS33，8mA，15pF load。

表 3-18 I/O 寄存器参数(使用专用的 GCLK 输入和 GCLK 树，不使用 PLL)

器件	名称	说明	C8/I7		C7/I6		单位
			Min	Max	Min	Max	
GW2A-18	T_{SU}	clock to data setup(using GPIO input register)	-1	-	-1.1	-	ns
	T_H	clock to data hold(using GPIO input register)	2	-	2.4	-	ns
	T_{SU_DEL}	clock to data setup(using GPIO input register, with IODELAY enabled and Tap = 0)	-0.6	-	-0.7	-	ns
	T_{H_DEL}	clock to data hold(using GPIO input register, with IODELAY enabled and Tap = 0)	1.6	-	2	-	ns
GW2A-55	T_{SU}	clock to data setup(using GPIO input register)	-1.5		-1.6	-	ns
	T_H	clock to data hold(using GPIO input register)	2.5		2.9	-	ns
	T_{SU_DEL}	clock to data setup(using GPIO input register, with IODELAY enabled and Tap = 0)	-1.1		-1.2	-	ns
	T_{H_DEL}	clock to data hold(using GPIO input register,with	2.1		2.5	-	ns

器件	名称	说明	C8/I7		C7/I6		单位
			Min	Max	Min	Max	
		IODELAY enabled and Tap = 0)					

注！

表中数据基于 LVCMOS33, 8mA, 15pF load。

3.4.6 片内晶振开关特性

表 3-19 片内晶振开关特性

名称	说明	最小值	典型值	最大值
f_{MAX}	晶振输出频率(0 to+ 85℃)	106.25MHz	125MHz	143.75MHz
	晶振输出频率(-40 to +100℃)	100MHz	125MHz	150MHz
t_{DT}	输出时钟 Duty Cycle	43%	50%	57%
t_{OPJIT}	输出时钟 Period Jitter	0.01UIPP	0.012UIPP	0.02UIPP

3.4.7 PLL 开关特性

表 3-20 PLL 开关特性

器件	速度等级	名称	最小值	最大值
GW2A-18	-9/-8/-7	CLKIN	3MHZ	500MHZ
		PFD	3MHZ	500MHZ
		VCO	500MHZ	1250MHZ
		CLKOUT	3.90625MHZ	625MHZ
	-6	CLKIN	3MHZ	400MHZ
		PFD	3MHZ	400MHZ
		VCO	400MHZ	1000MHZ
		CLKOUT	3.125MHZ	500MHZ
GW2A-55	-9/-8/-7	CLKIN	3MHZ	500MHZ
		PFD	3MHZ	500MHZ
		VCO	500MHZ	1250MHZ
		CLKOUT	3.90625MHZ	625MHZ
	-6	CLKIN	3MHZ	400MHZ
		PFD	3MHZ	400MHZ
		VCO	400MHZ	1000MHZ
		CLKOUT	3.125MHZ	500MHZ

3.5 编程接口时序标准

GW2A 系列 FPGA 产品 GowinCONFIG 配置模式包括：MSPI 模式、SSPI 模式、CPU 模式、SERIAL 模式，详细资料请参考 UG290, Gowin FPGA 产品编程配置手册。

4 器件订货信息

4.1 器件命名

图 4-1 器件命名方法示例–ES

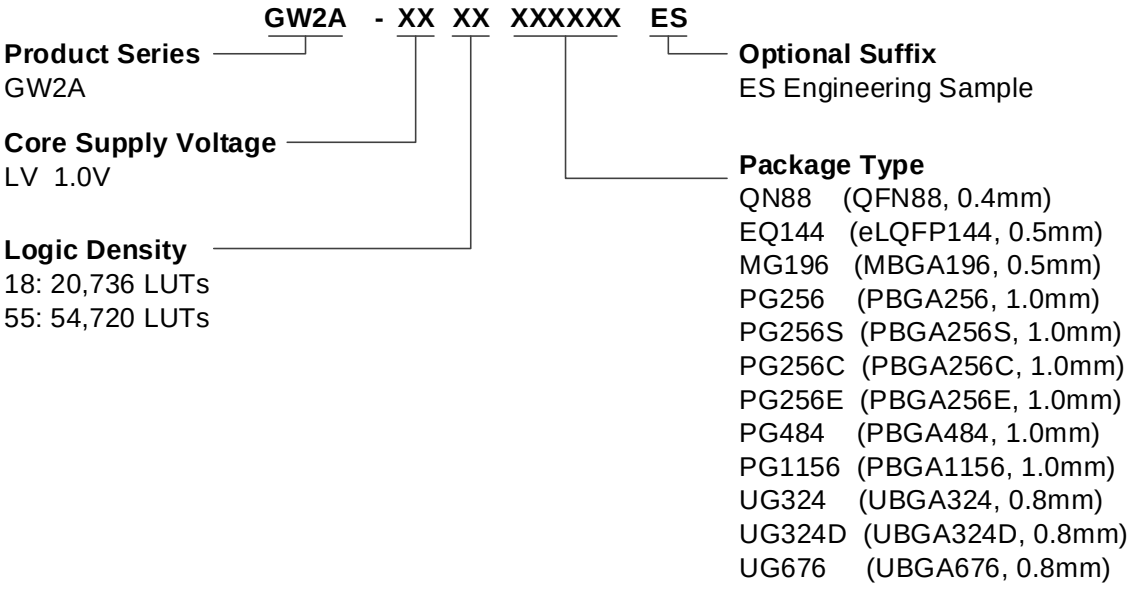
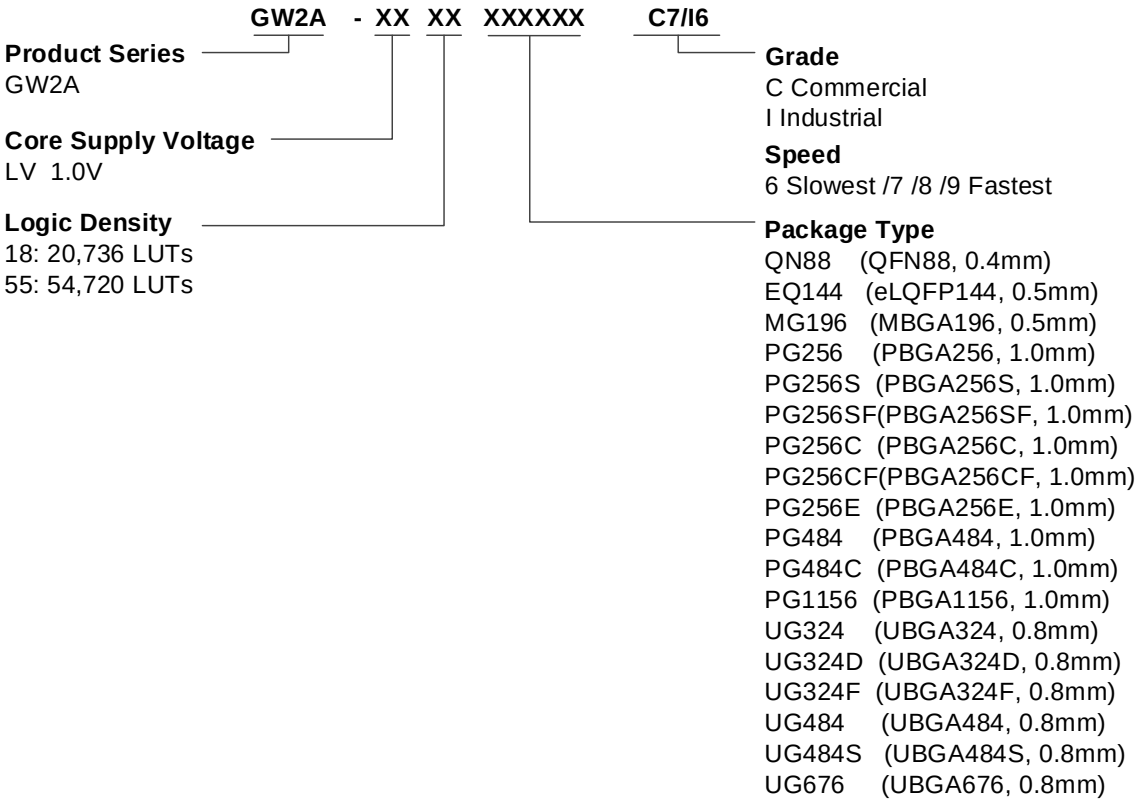


图 4-2 器件命名方法示例–Production



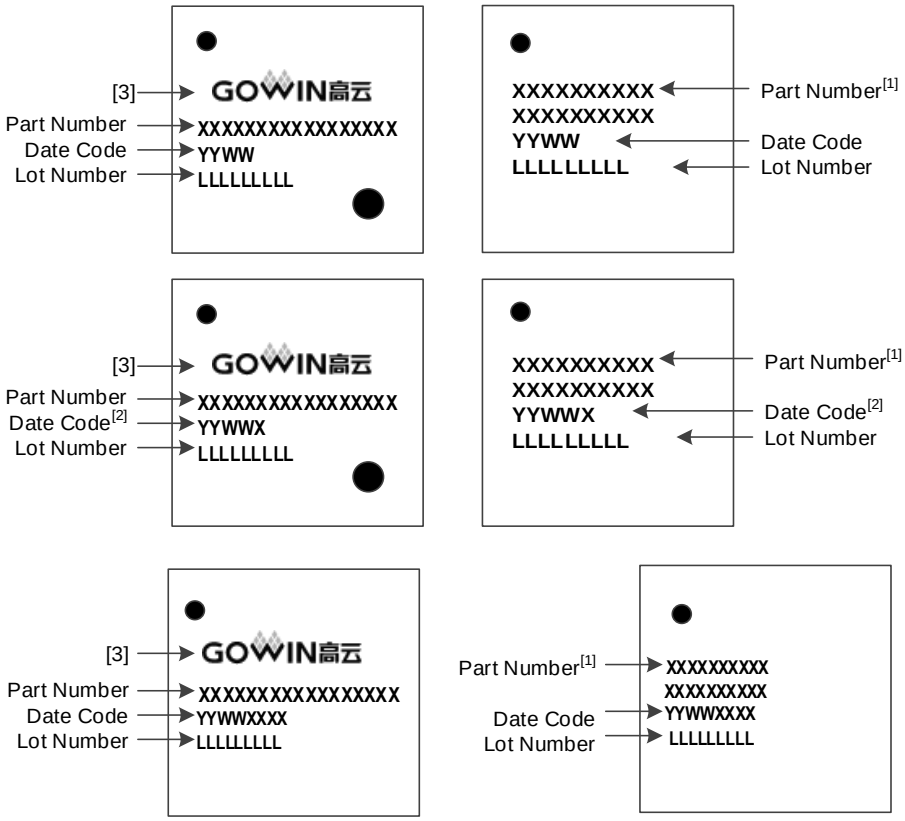
注！

- 关于详细的封装类型及管脚数量请参考 1.2 产品信息列表。
- 相同速度等级的小蜜蜂®(LittleBee®)家族器件和晨熙®家族器件速度不同。
- 高云器件速度等级采用双标标识，如 C7/I6，C6/I5 等。芯片筛选采用的是工业级标准，所以同一芯片可以同时满足工业应用(I)和商业应用(C)。工业级最高温度 100℃，商业级最高温度 85℃，所以同一芯片如在商业级应用中满足速度等级 7，在工业级应用中速度等级则为 6。

4.2 器件封装标识示例

高云半导体产品在芯片表面印制了器件信息，示例如图 4-3 所示。

图 4-3 器件封装标识示例



注！

- [1]上图右图中第一行与第二行均为“Part Number”。
- [2] X 版本器件的 Date Code 后增加一位版本标识“X”。
- [3]具体器件的封装标识是否带高云 Logo 与封装形式、封装尺寸及 Part Number 长度有关，上图仅为封装标识的示例。

5 关于本手册

5.1 手册内容

GW2A 系列 FPGA 产品数据手册主要包括高云半导体 GW2A 系列 FPGA 产品特性概述、产品资源信息、内部结构介绍、电气特性、编程接口时序以及器件订货信息，帮助用户快速了解高云半导体 GW2A 系列 FPGA 产品特性，有助于器件选型及使用。

5.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- UG290，Gowin FPGA 产品编程配置手册
- UG111，GW2A 系列 FPGA 产品封装与管脚手册
- UG110，GW2A-18 器件 Pinout 手册
- UG113，GW2A-55 器件 Pinout 手册

5.3 术语、缩略语

表 5-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 5-1 术语、缩略语

术语、缩略语	全称	含义
ALU	Arithmetic Logic Unit	算术逻辑单元
BSRAM	Block Static Random Access Memory	块状静态随机存储器
CFU	Configurable Function Unit	可配置功能单元
CLS	Configurable Logic Section	可配置功能块
CRU	Configurable Routing Unit	可编程布线单元
DCS	Dynamic Clock Selector	动态时钟选择器
DP	True Dual Port 16K BSRAM	16K 双端口 BSRAM
DQCE	Dynamic Quadrant Clock Enable	动态象限时钟使能
DSP	Digital Signal Processing	数字信号处理
EQ144	ELQFP144	ELQFP144 封装
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable IO	Gowin 可编程通用管脚
IOB	Input/Output Block	输入输出模块
LUT4	4-input Look-up Table	4 输入查找表
LUT5	5-input Look-up Table	5 输入查找表
LUT6	6-input Look-up Table	6 输入查找表
LUT7	7-input Look-up Table	7 输入查找表
LUT8	8-input Look-up Table	8 输入查找表
MG	MBGA	MBGA 封装
PG	PBGA	PBGA 封装
PLL	Phase-locked Loop	锁相环
QN	QFN	QFN 封装
REG	Register	寄存器
SDP	Semi Dual Port 16K BSRAM	16K 伪双端口 BSRAM
SP	Single Port 16K BSRAM	16K 单端口 BSRAM
SSRAM	Shadow Static Random Access Memory	分布式静态随机存储器
TDM	Time Division Multiplexing	时分复用
UG	UBGA	UBGA 封装

5.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel：+86 755 8262 0391

GOWIN高云

智慧逻辑 定制未来