

Arora V FPGA 产品概述

高云半导体 Arora V FPGA 产品是高云半导体晨熙家族第五代产品，采用先进的 22 纳米 SRAM 技术，集成 12.5Gbps 高速 SerDes 接口、PCIe 硬核、MIPI D-PHY 和 C-PHY 硬核、最新一代的嵌入式 ARM®内核处理器 Cortex-M4 / RiscV AE350_SOC、PSRAM 及 NOR FLASH 存储芯片、支持 DDR3 接口，提供多种管脚封装形式，适用于低功耗、高性能及兼容性设计等应用场合。

Arora V FPGA 产品目前包括 GW5A 系列、GW5AT 系列、GW5AS 系列、GW5AST 系列、GW5AR 系列、GW5ART 系列、GW5ANT 系列及 GW5ANRT 系列，涵盖 15K、25K、45K、60K、75K 和 138K LUT 器件产品。

- GW5A 系列：支持 MIPI D-PHY 硬核，目前包括 25K、60K 及 138K LUT 器件。
- GW5AT 系列：支持多种协议的 12.5Gbps SERDES，PCIe 硬核，MIPI D-PHY 和 C-PHY 硬核。目前包括 15K、60K、75K 和 138K LUT 器件。
- GW5AS 系列：GW5AS-25 集成最新一代的嵌入式 ARM®内核处理器 Cortex-M4 及 MIPI D-PHY 硬核。GW5AS-138 集成 RiscV AE350_SOC 硬核处理器及 MIPI D-PHY 硬核。
- GW5AST 系列：集成 RiscV AE350_SOC 硬核处理器，同时支持多种协议的 12.5Gbps SERDES，PCIe 硬核，和 MIPI D-PHY 硬核。目前支持 138K LUT 器件。
- GW5AR 系列：支持 MIPI D-PHY 硬核及 PSRAM 存储芯片。目前支持 25K LUT 器件。
- GW5ART 系列：支持多种协议的 12.5Gbps SERDES，PCIe 硬核，MIPI D-PHY 和 C-PHY 硬核及 PSRAM 存储芯片。目前支持 15K LUT 器件。
- GW5ANT 系列：支持多种协议的 12.5Gbps SERDES，PCIe 硬核，MIPI D-PHY 和 C-PHY 硬核及 NOR FLASH 存储芯片。目前支持 15K LUT 器件。
- GW5ANRT 系列：支持多种协议的 12.5Gbps SERDES，PCIe 硬核，MIPI D-PHY 和 C-PHY 硬核，PSRAM 存储芯片及 NOR FLASH 存储芯

片。目前支持 15K LUT 器件。

高云半导体同时提供面向市场自主研发的新一代 FPGA 硬件开发环境，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

Arora V FPGA 器件的更多详细信息请参考以下数据手册：

- [DS981, Arora V 138K & 75K FPGA 产品数据手册](#)
- [DS1225, Arora V 60K FPGA 产品数据手册](#)
- [DS1103, Arora V 25K FPGA 产品数据手册](#)
- [DS1118, Arora V 15K FPGA 产品数据手册](#)

特性

- 采用 22nm SRAM 工艺，支持 0.9V/1.0V/1.2V 核电压
- 多达 138K 4 输入 LUT(LUT4)，支持分布式存储器
- 支持多种模式的块状静态随机存储器，单模块最高可配置 36Kbits
- 全新架构高性能 DSP 模块，支持 27 x 18、12 x 12 及 27 x 36 位的乘法运算和 48 位累加器
- 支持 270 Mbps 到 12.5G bps SerDes 自定义协议，以及 10G 以太网等多种传输协议
- 支持 PCIe 硬核，符合 PCIe 3.0 基本规范
- 支持 MIPI D-PHY 和 C-PHY 硬核
- 集成最新一代的嵌入式 ARM® 内核处理器 Cortex-M4 / 集成 RiscV AE350_SOC
- 集成 PSRAM 及 NOR FLASH 存储芯片
- 集成全新灵活的多通道过采样 ADC、SARADC 及 ADC sensor
- 支持多种 SDRAM 接口，最高支持 DDR3 1333 Mbps
- 支持多种 I/O 电平标准
- 支持全局时钟网络(GCLK)、锁相环 (PLL)、高速时钟 HCLK 和 DDR 存储器接口数据脉冲时钟 DQS 等时钟资源
- 支持多种配置模式，支持背景升级、比特流文件加密和安全位设置及 SEU 检测和校验功能、支持 OTP
- 提供多种管脚封装形式，均为无铅工艺封装

产品资源及封装信息

GW5A 系列

表 1 GW5A 系列产品信息列表

| 器件 | GW5A-25 | GW5A-60 | GW5A-138 |
|-----------------------------|--------------------------------------|---|-----------------------------------|
| 逻辑单元(LUT4) | 23040 | 59904 | 138240 |
| 寄存器(REG) | 23040 | 59904 | 138240 |
| 分布式静态随机存储器 SSRAM(Kb) | 180 | 468 | 1080 |
| 块状静态随机存储器 BSRAM(Kb) | 1008 | 2124 | 6120 |
| 块状静态随机存储器数目 BSRAM(个) | 56 | 118 | 340 |
| DSP (27-bit x 18-bit) | 28 | 118 | 298 |
| 最多锁相环 ^[1] (PLLs) | 6 | 8 | 12 |
| 全局时钟 | 16 | 16 | 16 |
| 高速时钟 | 16 | 20 | 24 |
| LVDS Gbps | 1.25 | 1.25 | 1.25 |
| DDR3 Mbps | 1066 | 1333 | 1333 |
| MIPI DPHY 硬核 | 2.5Gbps (RX/TX), 4 数据通道 1 时钟通道 | 2.5Gbps (RX/TX), 4 数据通道 1 时钟通道 | 2.5Gbps (RX) 8 数据通道, 2 时钟通道 |
| MIPI C-PHY 硬核 | - | 2.5Gbps (=5.75Gbps,RX/TX), 3 三线数据通道 | - |
| ADC | 1 | 2 | 2 |
| GPIO Bank 数 | 8 ^[2] | 11 | 6 |
| 最大 GPIO 数 | 239 | 320 | 312 |
| 核电压 | 0.9V/1.0V/1.2V ^[3] | 0.9V/1.0V/1.2V ^[3] | 0.9V/1.0V |

注!

- ^[1]不同封装支持的锁相环数量不同，此处为最大值。
- ^[2]除 GPIO Bank 外，还包含一个 JTAG Bank，含 4 个 I/O，一个 Config Bank，含 1 个 I/O。
- ^[3]EV 版本内置 LDO，VCC 可支持 1.2V。

表 2 GW5A-25 封装信息

| 封装 | 间距(mm) | 尺寸 (mm) | GW5A-25 | |
|--------|--------|------------|----------------------|--------------------------------|
| | | | I/O (True LVDS Pair) | MIPI D-PHY 硬核 |
| LQ100 | 0.5 | 14 x 14 | 80 (36) | - |
| LQ144 | 0.5 | 20 x 20 | 109 (50) | - |
| MG121N | 0.5 | 6 x 6 | 82 (36) | RX/TX, 可配置 4 数据通道 1 时钟通道 |
| MG196S | 0.5 | 8 x 8 | 114 (53) | - |
| PG196S | 1.0 | 15 x 15 | 110 (48) | RX/TX, 可配置 4 数据通道 1 时钟通道 |
| PG256C | 1.0 | 17 x 17 | 191 (90) | - |
| PG256 | 1.0 | 17 x 17 | 184 (88) | RX/TX, 可配置 4 数据通道 1 时钟通道 |
| PG256S | 1.0 | 17 x 17 | 194 (93) | - |
| UG225S | 0.8 | 13 x 13 | 168 (80) | - |
| UG256C | 0.8 | 14 x 14 | 191 (90) | - |
| UG324 | 0.8 | 15 x 15 | 222 (104) | RX/TX, 可配置 4 数据通道 1 时钟通道 |
| UG324F | 0.8 | 15 x 15 | 223 (108) | RX/TX, 可配置 4 数据通道 1 时钟通道 |
| UG324S | 0.8 | 15 x 15 | 239 (116) | - |

表 3 GW5A-60 封装信息

| 封装 | | | 间距 (mm) | 尺寸 (mm) | GW5A-60 | | |
|--------|------|-----------|------------|------------|----------------------------|------------------|------------------|
| 名称 | 类型 | 描述 | | | 用户 I/O (True LVDS Pair) | MIPI D-PHY 硬核 | MIPI C-PHY 硬核 |
| UG324A | UBGA | Wire Bond | 0.8 | 15x15 | 222(106) | - | - |
| UG324S | UBGA | Wire Bond | 0.8 | 15x15 | 226(110) | - | - |

表 4 GW5A-138 封装信息

| 封装 | 间距(mm) | 尺寸 (mm) | GW5A-138 | |
|--------|--------|------------|----------------------|------------------|
| | | | I/O (True LVDS Pair) | MIPI D-PHY 硬核 |
| UG324A | 0.8 | 15 x 15 | 221 (106) | - - |

GW5AT 系列

表 5 GW5AT 系列产品信息列表

| 器件 | GW5AT-15 | GW5AT-60 | GW5AT-75 | GW5AT-138 |
|-----------------------------|--|--|-----------------------------------|-----------------------------------|
| 逻辑单元(LUT4) | 15120 | 59904 | 86688 | 138240 |
| 寄存器(REG) | 15120 | 59904 | 86688 | 138240 |
| 分布式静态随机存储器 SSRAM(Kb) | 118.125 | 468 | 677 | 1080 |
| 块状静态随机存储器 BSRAM(Kb) | 630 | 2124 ^[4] | 4608 | 6120 |
| 块状静态随机存储器 数目 BSRAM(个) | 35 | 118 ^[4] | 256 | 340 |
| DSP (27-bit x 18-bit) | 28 | 118 | 213 | 298 |
| DSP Lite | 12 | - | - | - |
| 最多锁相环 ^[1] (PLLs) | 2 | 8 | 12 | 12 |
| 全局时钟 | 16 | 16 | 16 | 16 |
| 高速时钟 | 2 | 20 | 24 | 24 |
| Transceivers ^[2] | 4 | 4 | 8 | 8 |
| Transceivers 速率 | 270Mbps-12.5Gbps | 270Mbps-12.5Gbps | 270Mbps-12.5Gbps | 270Mbps-12.5Gbps |
| PCIe 3.0 硬核 | 1, x1, x2, x4 PCIe 3.0 | 1, x1, x2, x4 PCIe 3.0 | 1, x1, x2, x4, x8 PCIe 3.0 | 1, x1, x2, x4, x8 PCIe 3.0 |
| LVDS Gbps | 1.25 | 1.25 | 1.25 | 1.25 |
| DDR3 Mbps | - | 1333 | 1333 | 1333 |
| MIPI D-PHY 硬核 | 2.5Gbps (RX/TX), 4 数据通道, 1 时钟通道 | 2.5Gbps (RX/TX), 4 数据通道, 1 时钟通道 | 2.5Gbps (RX) 8 数据通道, 2 时钟通道 | 2.5Gbps (RX) 8 数据通道, 2 时钟通道 |
| MIPI C-PHY 硬核 | 2.5Gspss (=5.75Gbps,RX/TX), 3 三线数据通道 | 2.5Gspss (=5.75Gbps,RX/TX), 3 三线数据通道 | - | - |
| ADC | 1 | 2 | 2 | 2 |
| GPIO Bank 数 | 4 | 11 | 6 | 6 |
| 最大 GPIO 数 ^[5] | 53 | 320 | 312 | 312 |
| 核电压 | 0.9V/1.0V ^[6] | 0.9V/1.0V/1.2V ^[3] | 0.9V/1.0V ^[6] | 0.9V/1.0V ^[6] |

注!

- ^[1]不同封装支持的锁相环数量不同，此处为最大值。
- ^[2]不同的封装支持的 Transceiver 数量不同，此处为最大值。
- ^[3] EV 版本内置 LDO，VCC 可支持 1.2V。
- ^[4] GW5AT-60 ES 版本器件支持 72 个 BSRAM，容量为 1296Kb。
- ^[5]最大 GPIO 数是指器件在不受封装限制的情况下可以提供的最大 GPIO 数量。具体封装中可用的最大用户 I/O 数量请参考表 6、表 7、表 8 及表 9。

- ^[1]建议 Vcc 使用 0.9V, 1.0V 易增加功耗。

表 6 GW5AT-138 器件封装信息

| 封装 | | | 间距 (mm) | 尺寸 (mm) | GW5AT-138 | | |
|---------|--------|-----------|------------|------------|-------------------------|-----------------------------|-------------------------|
| 名称 | 类型 | 描述 | | | I/O (True LVDS Pair) | Transceivers ^[1] | MIPI D-PHY 硬核 |
| FPG676A | FCPBGA | Flip Chip | 1.0 | 27 x 27 | 311 (150) | 8 | RX 8 数据通道, 2 时钟通道 |
| PG676A | PBGA | Wire Bond | 1.0 | 27 x 27 | 311 (150) | 8 | RX 8 数据通道, 2 时钟通道 |
| PG484A | PBGA | Wire Bond | 1.0 | 23 x 23 | 291 (143) | 4 | - |
| PG484 | PBGA | Wire Bond | 1.0 | 23 x 23 | 271 (133) | 4 | RX 8 数据通道, 2 时钟通道 |
| UG324A | UBGA | Wire Bond | 0.8 | 15x15 | 141 (68) | 4 | RX 8 数据通道, 2 时钟通道 |

注!

- ^[1] PBGA 封装中 Transceivers 的速率最高可以达到 10.3125 Gbps, 当速率超过 8 Gbps 时, 只支持板上互联, 不支持背板应用。
- ^[1] FCPBGA 封装中 Transceivers 的速率最高可以达到 12.5 Gbps。

表 7 GW5AT-75 器件封装信息

| 封装 | | | 间距 (mm) | 尺寸 (mm) | GW5AT-75 | | |
|-------|------|-----------|------------|------------|-------------------------|-----------------------------|-------------------------|
| 名称 | 类型 | 描述 | | | I/O (True LVDS Pair) | Transceivers ^[1] | MIPI D-PHY 硬核 |
| UG484 | UBGA | Wire Bond | 0.8 | 19x19 | 311 (150) | 8 | RX 8 数据通道, 2 时钟通道 |

注!

^[1]UBGA 封装中 Transceivers 的速率最高可以达到 10.3125 Gbps, 当速率超过 8 Gbps 时, 只支持板上互联, 不支持背板应用。

表 8 GW5AT-60 器件封装信息

| 封装 | | | 间距 (mm) | 尺寸 (mm) | GW5AT-60 | | | |
|--------|------|-----------|------------|------------|-------------------------|-----------------------------|----------------------------|------------------------|
| 名称 | 类型 | 描述 | | | I/O (True LVDS Pair) | Transceivers ^[1] | MIPI D-PHY 硬核 | MIPI C-PHY 硬核 |
| PG484A | PBGA | Wire Bond | 1.0 | 23x23 | 297(143) | 4 | - | - |
| UG225 | UBGA | Wire Bond | 0.8 | 13x13 | 113(53) | 4 | RX/TX 4 数据通道, 1 时钟通道 | RX/TX 3 个三线数据 通道 |
| UG324S | UBGA | Wire Bond | 0.8 | 15x15 | 198(98) | 4 | - | - |

注!

^[1]UBGA 封装中 Transceivers 的速率最高可以达到 10.3125 Gbps, 当速率超过 8 Gbps 时,

只支持板上互联, 不支持背板应用。

表 9 GW5AT-15 器件封装信息

| 封装 | | | 间距 (mm) | 尺寸 (mm) | GW5AT-15 | | | |
|-------|----------|--------------|------------|------------|-------------------------|----------------------------------|----------------------------|------------------------|
| 名称 | 类型 | 描述 | | | I/O (True LVDS Pair) | Transce-i Vers ^[1] | MIPI D-PHY 硬核 | MIPI C-PHY 硬核 |
| MG132 | MBG A | Wire Bond | 0.5 | 8 x 8 | 53 (25) | 4 | RX/TX 4 数据通道, 1 时钟通道 | RX/TX 3 个三线数据 通道 |

注!

^[1]MBGA 封装中 Transceivers 的速率最高可以达到 10.3125 Gbps, 当速率超过 8 Gbps 时, 只支持板上互联, 不支持背板应用。

GW5AS 系列

表 10 GW5AS-25 产品信息列表

| 器件 | GW5AS-25 | GW5AS-138 |
|-----------------------------|--------------------------------------|-----------------------------------|
| 逻辑单元(LUT4) | 23040 | 138240 |
| 寄存器(REG) | 23040 | 138240 |
| 分布式静态随机存储器 SSRAM(Kb) | 180 | 1080 |
| 块状静态随机存储器 BSRAM(Kb) | 1008 | 6120 |
| 块状静态随机存储器数目 BSRAM(个) | 56 | 340 |
| Flash (bits) | 1 M | — |
| 硬核处理器 | Cortex-M4 | RiscV AE350_SOC |
| DSP (27-bit x 18-bit) | 28 | 298 |
| 最多锁相环 ^[1] (PLLs) | 6 | 12 |
| 全局时钟 | 16 | 16 |
| 高速时钟 | 16 | 24 |
| LVDS Gbps | 1.25 | 1.25 |
| DDR3 Mbps | 1066 | 1333 |
| MIPI DPHY 硬核 | 2.5Gbps (Rx/Tx), 4 数据通道 1 时钟通道 | 2.5Gbps (RX) 8 数据通道, 2 时钟通道 |
| ADC ^[2] | FPGA: 1 Cortex-M4: 3 | 2 |
| GPIO Bank 数 | 8 ^[3] | 6 |
| 最大 I/O 数 | 239 | 312 |
| 核电压 | 0.9V/1.0V/1.2V ^[4] | 0.9V/1.0V |

注!

- ^[1]不同封装支持的锁相环数量不同, 此处为最大值。
- ^[2]GW5AS-25 器件中, FPGA 内嵌 1 个 ADC, Cortex-M4 系统内嵌 3 个 ADC。

- 除 GPIO Bank 外，还包含一个 JTAG Bank，含 4 个 I/O，一个 Config Bank，含 1 个 I/O。
- ^[4] GW5AS-25 器件 EV 版本内置 LDO，VCC 可支持 1.2V。

表 11 GW5AS-25 器件封装信息

| 封装 | | | 间距 (mm) | 尺寸 (mm) | GW5AS-25 | |
|-------|------|-----------|------------|------------|---------------------|-------------------------------|
| 名称 | 类型 | 描述 | | | I/O(True LVDS Pair) | MIPI D-PHY 硬核 |
| UG256 | UBGA | Wire Bond | 0.8 | 14x14 | 144 (68) | RX/TX，可配置 4 数据通道 1 时钟通道 |

表 12 GW5AS-138 器件封装和最大用户 I/O 信息

| 封装 | | | 间距 (mm) | 尺寸 (mm) | GW5AS-138 | |
|--------|------|-----------|------------|------------|----------------------|---------------|
| 名称 | 类型 | 描述 | | | I/O (True LVDS Pair) | MIPI D-PHY 硬核 |
| UG324A | UBGA | Wire Bond | 0.8 | 15 x 15 | 222 (106) | — |

GW5AST 系列

表 13 GW5AST 产品信息列表

| | |
|-----------------------------|-----------------------------------|
| 器件 | GW5AST-138 |
| 逻辑单元(LUT4) | 138240 |
| 寄存器(REG) | 138240 |
| 分布式静态随机存储器 SSRAM(Kb) | 1080 |
| 块状静态随机存储器 BSRAM(Kb) | 6120 |
| 块状静态随机存储器数目 BSRAM(个) | 340 |
| DSP (27-bit x 18-bit) | 298 |
| 最多锁相环 ^[1] (PLLs) | 12 |
| 全局时钟 | 16 |
| 高速时钟 | 24 |
| Transceivers | 8 |
| Transceivers 速率 | 270Mbps-12.5Gbps |
| PCIe 3.0 硬核 | 1, x1, x2, x4, x8 PCIe 3.0 |
| LVDS Gbps | 1.25 |
| DDR3 Mbps | 1333 |
| MIPI DPHY 硬核 | 2.5Gbps (RX) 8 数据通道, 2 时钟通道 |
| 硬核处理器 | RiscV AE350_SOC |
| ADC | 2 |
| GPIO Bank 数 | 6 |
| 最大 I/O 数 | 312 |
| 核电压 | 0.9V/1.0V |

注!

^[1] 不同封装支持的锁相环数量不同，此处为最大值。

表 14 GW5AST 系列 FPGA 产品封装和最大用户 I/O 信息

| 封装 | | | 间距 (mm) | 尺寸 (mm) | GW5AST-138 | | |
|---------|--------|-----------|------------|------------|-------------------------|-----------------------------|-------------------------|
| 名称 | 类型 | 描述 | | | I/O (True LVDS Pair) | Transceivers ^[1] | MIPI D-PHY 硬核 |
| FPG676A | FCPBGA | Flip Chip | 1.0 | 27 x 27 | 312 (150) | 8 | RX 8 数据通道, 2 时钟通道 |
| PG676A | PBGA | Wire Bond | 1.0 | 27 x 27 | 312 (150) | 8 | RX 8 数据通道, 2 时钟通道 |
| PG484A | PBGA | Wire Bond | 1.0 | 23 x 23 | 297 (143) | 4 | — |

GW5AR 系列

表 15 GW5AR 产品信息列表

| 器件 | GW5AR-25 |
|-----------------------------|--------------------------------------|
| 逻辑单元(LUT4) | 23040 |
| 寄存器(REG) | 23040 |
| 分布式静态随机存储器 SSRAM(Kb) | 180 |
| 块状静态随机存储器 BSRAM(Kb) | 1008 |
| 块状静态随机存储器数目 BSRAM(个) | 56 |
| PSRAM(颗) | 2 |
| 单颗 PSRAM(bits) | 8M x 8bits |
| DSP (27-bit x 18-bit) | 28 |
| 最多锁相环 ^[1] (PLLs) | 6 |
| 全局时钟 | 16 |
| 高速时钟 | 16 |
| LVDS Gbps | 1.25 |
| DDR3 Mbps | 1066 |
| MIPI DPHY 硬核 | 2.5Gbps (RX/TX), 4 数据通道 1 时钟通道 |
| ADC | 1 |
| GPIO Bank 数 | 8 ^[2] |
| 最大 GPIO 数 | 239 |
| 核电压 | 0.9V/1.0V |

注！

- ^[1]不同封装支持的锁相环数量不同，此处为最大值。
- ^[2]除 GPIO Bank 外，还包含一个 JTAG Bank，含 4 个 I/O，一个 Config Bank，含 1 个 I/O。

表 16 GW5AR 系列 FPGA 产品封装信息

| 封装 | 间距(mm) | 尺寸(mm) | GW5AR-25 | |
|--------|--------|--------|----------------------|-------------------------------|
| | | | I/O (True LVDS Pair) | MIPI D-PHY 硬核 |
| UG256P | 0.8 | 14x14 | 178 (86) | RX/TX，可配置 4 数据通道 1 时钟通道 |

GW5ART 系列

表 17 GW5ART 产品信息列表

| 器件 | GW5ART-15 |
|-----------------------------|---|
| 逻辑单元(LUT4) | 15120 |
| 寄存器(REG) | 15120 |
| 分布式静态随机存储器 SSRAM(Kb) | 118.125 |
| 块状静态随机存储器 BSRAM(Kb) | 630 |
| 块状静态随机存储器数目 BSRAM(个) | 35 |
| PSRAM(颗) | 2 (CM90P) 1 (MG132P) |
| 单颗 PSRAM(bits) | 64M |
| DSP (27-bit x 18-bit) | 28 |
| DSP Lite | 12 |
| 最多锁相环 ^[1] (PLLs) | 2 |
| 全局时钟 | 16 |
| 高速时钟 | 2 |
| Transceivers ^[2] | 4 |
| Transceivers 速率 | 270Mbps-12.5Gbps |
| PCIe3.0 硬核 | 1, x1, x2, x4 PCIe 3.0 |
| LVDS Gbps | 1.25 |
| DDR3 Mbps | 1333 |
| MIPI D-PHY 硬核 | 2.5Gbps (RX/TX), 4 数据通道, 1 时钟通道 |
| MIPI C-PHY 硬核 | 2.5Gbps (=5.75Gbps,RX/TX), 3 三线数据通道 |
| ADC | 1 |
| GPIO Bank 数 | 4 |
| 最大 GPIO 数 ^[3] | 53 |
| 核电压 | 0.9V/1.0V ^[4] |

注!

- ^[1]不同封装支持的锁相环数量不同，此处为最大值。
- ^[2]不同的封装支持的 Transceiver 数量不同，此处为最大值。
- ^[3]最大 GPIO 数是指器件在不受封装限制的情况下可以提供的最大 GPIO 数量。具体封装中可用的最大用户 I/O 数量请参考表 18。
- ^[4]建议 Vcc 使用 0.9V，1.0V 易增加功耗。

表 18 GW5ART-15 器件封装信息

| 封装 | | | 间距 (mm) | 尺寸 (mm) | GW5ART-15 | | | |
|--------|------|-----------|------------|------------|-------------------------|-----------------------------|----------------------------|--------------------|
| 名称 | 类型 | 描述 | | | I/O (True LVDS Pair) | Transceivers ^[1] | MIPI D-PHY 硬核 | MIPI C-PHY 硬核 |
| CM90P | CM | Wire Bond | 0.5 | 5.3 x 4.9 | 23 (11) | 4 | RX/TX 4 数据通道, 1 时钟通道 | — |
| CM90PF | CM | Wire Bond | 0.5 | 5.3 x 4.9 | 23 (11) | 4 | — | RX/TX 3 个三线数据通道 |
| MG132P | MBGA | Wire Bond | 0.5 | 8 x 8 | 38 (18) | 4 | RX/TX 4 数据通道, 1 时钟通道 | RX/TX 3 个三线数据通道 |

注！

^[1]MBGA 封装中 Transceivers 的速率最高可以达到 10.3125 Gbps, 当速率超过 8 Gbps 时, 只支持板上互联, 不支持背板应用。

GW5ANT 系列

表 19 GW5ANT 产品信息列表

| 器件 | GW5ANT-15 |
|-----------------------------|---|
| 逻辑单元(LUT4) | 15120 |
| 寄存器(REG) | 15120 |
| 分布式静态随机存储器 SSRAM(Kb) | 118.125 |
| 块状静态随机存储器 BSRAM(Kb) | 630 |
| 块状静态随机存储器数目 BSRAM(个) | 35 |
| NOR Flash (bits) | 8M |
| DSP (27-bit x 18-bit) | 28 |
| DSP Lite | 12 |
| 最多锁相环 ^[1] (PLLs) | 2 |
| 全局时钟 | 16 |
| 高速时钟 | 2 |
| Transceivers ^[2] | 4 |
| Transceivers 速率 | 270Mbps-12.5Gbps |
| PCIe3.0 硬核 | 1, x1, x2, x4 PCIe 3.0 |
| LVDS Gbps | 1.25 |
| DDR3 Mbps | 1333 |
| MIPI D-PHY 硬核 | 2.5Gbps (RX/TX), 4 数据通道, 1 时钟通道 |
| MIPI C-PHY 硬核 | 2.5Gbps (=5.75Gbps,RX/TX), 3 三线数据通道 |
| ADC | 1 |
| GPIO Bank 数 | 4 |
| 最大 GPIO 数 ^[3] | 53 |
| 核电压 | 0.9V/1.0V ^[4] |

注!

- ^[1]不同封装支持的锁相环数量不同，此处为最大值。
- ^[2]不同的封装支持的 Transceiver 数量不同，此处为最大值。
- ^[3]最大 GPIO 数是指器件在不受封装限制的情况下可以提供的最大 GPIO 数量。具体封装中可用的最大用户 I/O 数量请参考表 20。
- ^[4]建议 Vcc 使用 0.9V，1.0V 易增加功耗。

表 20 GW5ANT-15 器件封装信息

| 封装 | | | 间距 (mm) | 尺寸 (mm) | GW5ANT-15 | | | |
|-------|----------|--------------|------------|------------|-------------------------|----------------------------------|----------------------------|------------------------|
| 名称 | 类型 | 描述 | | | I/O (True LVDS Pair) | Transcei- Vers ^[1] | MIPI D-PHY 硬核 | MIPI C-PHY 硬核 |
| MG132 | MBG A | Wire Bond | 0.5 | 8 x 8 | 47(22) | 4 | RX/TX 4 数据通道, 1 时钟通道 | RX/TX 3 个三线数据 通道 |

注！

^[1]MBGA 封装中 TransceiVers 的速率最高可以达到 10.3125 Gbps, 当速率超过 8 Gbps 时, 只支持板上互联, 不支持背板应用。

GW5ANRT 系列

表 21 GW5ANRT 产品信息列表

| 器件 | GW5ANRT-15 |
|-----------------------------|---|
| 逻辑单元(LUT4) | 15120 |
| 寄存器(REG) | 15120 |
| 分布式静态随机存储器 SSRAM(Kb) | 118.125 |
| 块状静态随机存储器 BSRAM(Kb) | 630 |
| 块状静态随机存储器数目 BSRAM(个) | 35 |
| PSRAM(颗) | 1 |
| 单颗 PSRAM(bits) | 64M |
| NOR Flash (bits) | 8M |
| DSP (27-bit x 18-bit) | 28 |
| DSP Lite | 12 |
| 最多锁相环 ^[1] (PLLs) | 2 |
| 全局时钟 | 16 |
| 高速时钟 | 2 |
| Transceivers ^[2] | 4 |
| Transceivers 速率 | 270Mbps-12.5Gbps |
| PCIe3.0 硬核 | 1, x1, x2, x4 PCIe 3.0 |
| LVDS Gbps | 1.25 |
| DDR3 Mbps | 1333 |
| MIPI D-PHY 硬核 | 2.5Gbps (RX/TX), 4 数据通道, 1 时钟通道 |
| MIPI C-PHY 硬核 | 2.5Gbps (=5.75Gbps,RX/TX), 3 三线数据通道 |
| ADC | 1 |
| GPIO Bank 数 | 4 |
| 最大 GPIO 数 ^[3] | 53 |
| 核电压 | 0.9V/1.0V ^[4] |

注!

- ^[1]不同封装支持的锁相环数量不同，此处为最大值。
- ^[2]不同的封装支持的 Transceiver 数量不同，此处为最大值。
- ^[3]最大 GPIO 数是指器件在不受封装限制的情况下可以提供的最大 GPIO 数量。具体封装中可用的最大用户 I/O 数量请参考表 22。

- ^[4]建议 Vcc 使用 0.9V，1.0V 易增加功耗。

表 22 GW5ANRT-15 器件封装信息

| 封装 | | | 间距 (mm) | 尺寸 (mm) | GW5ANRT-15 | | | |
|--------|----------|--------------|------------|------------|-------------------------|----------------------------------|----------------------------|------------------------|
| 名称 | 类型 | 描述 | | | I/O (True LVDS Pair) | Transce-i Vers ^[1] | MIPI D-PHY 硬核 | MIPI C-PHY 硬核 |
| MG132P | MBG A | Wire Bond | 0.5 | 8 x 8 | 32(16) | 4 | RX/TX 4 数据通道, 1 时钟通道 | RX/TX 3 个三线数据 通道 |

注！

^[1]MBGA 封装中 Transceivers 的速率最高可以达到 10.3125 Gbps, 当速率超过 8 Gbps 时, 只支持板上互联, 不支持背板应用。

相关参考文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看 Arora V FPGA 产品更多相关文档：

- [DS981, Arora V 138K & 75K FPGA 产品数据手册](#)
- [DS1225, Arora V 60K FPGA 产品数据手册](#)
- [DS1103, Arora V 25K FPGA 产品数据手册](#)
- [DS1118, Arora V 15K FPGA 产品数据手册](#)
- [UG983, GW5AT 系列 FPGA 产品封装与管脚手册](#)
- [UG1101, GW5A 系列 FPGA 产品封装与管脚手册](#)
- [UG1102, GW5AST 系列 FPGA 产品封装与管脚手册](#)
- [UG1106, GW5AS 系列 FPGA 产品封装与管脚手册](#)
- [UG1109, GW5AR 系列 FPGA 产品封装与管脚手册](#)
- [UG1119, Arora V 15K FPGA 产品封装与管脚手册](#)
- [UG300, Arora V 存储器\(BSRAM & SSRAM\)用户指南](#)
- [UG303, Arora V 可配置功能单元\(CFU\)用户指南](#)
- [UG304, Arora V 可编程通用管脚\(GPIO\)用户指南](#)
- [UG305, Arora V 数字信号处理\(DSP\)模块用户指南](#)
- [UG306, Arora V 时钟资源\(Clock\)用户指南](#)
- [UG296, Arora V Hardened MIPI D-PHY 用户指南](#)
- [UG297, Arora V SEU Handler 用户指南](#)
- [UG299, Arora V 模拟数字转换器\(ADC\)用户指南](#)
- [UG984, GW5AT & GW5AST 系列 FPGA 产品原理图指导手册](#)
- [UG984, GW5AT & GW5AST 系列 FPGA 产品原理图指导手册](#)
- [UG704, Arora V 138K & 75K FPGA 产品编程配置手册](#)
- [UG718, Arora V 60K FPGA 产品编程配置手册](#)
- [UG714, Arora V 25K FPGA 产品编程配置手册](#)
- [UG982, GW5AT-138 器件 Pinout 手册](#)
- [UG986, GW5AST-138 器件 Pinout 手册](#)
- [UG1107, GW5AS-138 器件 Pinout 手册](#)
- [UG1221, GW5AT-75 器件 Pinout 手册](#)
- [UG1222, GW5AT-60 器件 Pinout 手册](#)
- [UG1229, GW5A-60 器件 Pinout 手册](#)
- [UG985, GW5A-25 器件 Pinout 手册](#)
- [UG1115, GW5AS-25 器件 Pinout 手册](#)

- [UG1110, GW5AR-25 器件 Pinout 手册](#)
- [UG1224, GW5AT-15 器件 Pinout 手册](#)
- [UG1120, GW5ART-15 器件 Pinout 手册](#)
- [UG1226, GW5ANT-15 器件 Pinout 手册](#)
- [UG1227, GW5ANRT-15 器件 Pinout 手册](#)

技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: 00 86 0755 82620391

版本信息

| 日期 | 版本 | 说明 |
|------------|-------|--|
| 2024/06/14 | 1.0 | 初始版本。 |
| 2024/06/28 | 1.1 | <ul style="list-style-type: none">● 新增 GW5A-60 UG324A 及 UG324S 封装。● 新增 GW5ART-15 CM90PF 封装。 |
| 2024/07/19 | 1.1.1 | <ul style="list-style-type: none">● 更新 GW5AT-138 FPG676A / PG676A / PG484A / PG484 封装信息。● 更新 GW5A-25 MG121N 封装信息。 |

版权所有 © 2024 广东高云半导体科技股份有限公司

GOWIN高云、Gowin、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。