



GW1N 系列 FPGA 产品(车规级) 数据手册

DS174-1.0, 2021-03-05

版权所有© 2021 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2021/03/05	1.0	初始版本。

目录

目录	i
图目录	iv
表目录	v
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 产品概述	3
2.1 特性概述	3
2.2 产品信息列表	5
2.3 封装信息列表	5
3 结构介绍	6
3.1 结构框图	6
3.2 可配置功能单元	7
3.2.1 可配置逻辑块	8
3.2.2 布线资源单元	9
3.3 输入输出模块	10
3.3.1 I/O 电平标准	11
3.3.2 真 LVDS 设计	15
3.3.3 I/O 逻辑	16
3.3.4 I/O 逻辑工作模式	18
3.4 块状静态随机存储器模块	18
3.4.1 简介	18
3.4.2 存储器配置模式	19
3.4.3 存储器混合数据宽度配置	21
3.4.4 字节使能功能配置	21
3.4.5 校验位功能配置	22

3.4.6 同步操作.....	22
3.4.7 上电情况.....	22
3.4.8 BSRAM 操作模式.....	22
3.4.9 时钟模式.....	23
3.5 用户闪存资源(GW1N-4).....	25
3.5.1 简介.....	25
3.5.2 端口信号.....	26
3.5.3 操作模式.....	27
3.6 数字信号处理模块.....	27
3.6.1 简介.....	27
3.6.2 DSP 操作模式配置.....	31
3.7 时钟.....	31
3.7.1 全局时钟网络.....	31
3.7.2 锁相环.....	34
3.7.3 高速时钟.....	36
3.8 长线.....	36
3.9 全局复位位.....	36
3.10 编程配置.....	36
3.10.1 SRAM 编程.....	37
3.10.2 Flash 编程.....	37
3.11 片内晶振.....	37
4 电气特性.....	39
4.1 工作条件.....	39
4.1.1 绝对最大范围.....	39
4.1.2 推荐工作范围.....	39
4.1.3 电源上升斜率.....	40
4.1.4 热插拔特性.....	40
4.1.5 POR 特性.....	40
4.2 ESD 性能.....	40
4.3 DC 电气特性.....	41
4.3.1 推荐工作范围 DC 电气特性.....	41
4.3.2 静态电流.....	42
4.3.3 编程下载电流.....	42
4.3.4 I/O 推荐工作条件.....	43
4.3.5 单端 I/O DC 电气特性.....	44
4.3.6 差分 I/O DC 电气特性.....	45

4.4 AC 开关特性.....	46
4.4.1 CFU 开关特性.....	46
4.4.2 BSRAM 开关特性.....	46
4.4.3 DSP 开关特性.....	47
4.4.4 Gearbox 开关特性.....	47
4.4.5 时钟和 I/O 开关特性.....	48
4.4.6 片内晶振开关特性.....	48
4.4.7 锁相环开关特性.....	48
4.5 用户闪存电气特性.....	49
4.5.1 DC 电气特性 ¹	49
4.5.2 时序参数 ^{[1],[5],[6]}	49
4.5.3 操作时序图（GW1N-4）.....	51
4.6 编程接口时序标准.....	52
5 器件订货信息.....	53
5.1 器件命名.....	53
5.2 器件封装标识.....	54

图目录

图 3-1 GW1N 系列 FPGA 器件结构示意图 (GW1N-4).....	6
图 3-2 CFU 结构示意图.....	8
图 3-3 CLS 中的寄存器示意图.....	9
图 3-4 IOB 结构示意图.....	10
图 3-5 GW1N-4 I/O Bank 分布示意图.....	11
图 3-6 真 LVDS 设计参考框图.....	16
图 3-7 I/O 逻辑输出示意图.....	16
图 3-8 I/O 逻辑输入示意图.....	16
图 3-9 IODELAY 示意图.....	17
图 3-10 GW1N 的 I/O 寄存器示意图.....	17
图 3-11 GW1N 的 IEM 示意图.....	18
图 3-12 单端口、伪双端口及双端口模式下的流水线模式.....	22
图 3-13 独立时钟模式.....	24
图 3-14 读写时钟模式.....	24
图 3-15 单端口时钟模式.....	25
图 3-16 用户闪存端口信号.....	26
图 3-17 DSP 宏单元.....	28
图 3-18 GCLK 象限分布示意.....	32
图 3-19 DQCE 结构示意图.....	33
图 3-20 DCS 接口示意图.....	33
图 3-21 DCS Rising Edge 模式下的时序示意图.....	33
图 3-22 DCS Falling Edge 模式下的时序示意图.....	34
图 3-23 PLL 示意图(GW1N-4).....	34
图 3-24 GW1N-4 HCLK 示意图.....	36
图 4-1 用户闪存读操作时序.....	51
图 4-2 用户闪存编程操作时序.....	52
图 4-3 用户闪存擦除操作时序.....	52
图 5-1 器件命名方法 - Production.....	53
图 5-2 器件封装标识示例.....	54

表目录

表 1-1 术语、缩略语	1
表 2-1 产品信息列表	5
表 2-2 产品封装和最大用户 I/O 信息、True LVDS 对数	5
表 3-1 CLS 中寄存器模块信号说明	9
表 3-2 GW1N 系列 FPGA 产品(车规级)支持的输出 I/O 类型及部分可选配置	12
表 3-3 GW1N 系列支持的输入 I/O 类型及部分可选配置	13
表 3-4 BSRAM 信号功能	19
表 3-5 存储器配置列表	20
表 3-6 双端口混合读写数据宽度配置列表	21
表 3-7 伪双端口混合读写数据宽度配置列表	21
表 3-8 时钟模式配置列表	23
表 3-9 用户闪存模块信号说明	26
表 3-10 用户模式真值表	27
表 3-11 DSP 端口描述	29
表 3-12 内部寄存器描述	29
表 3-13 PLL 端口定义	34
表 3-14 GW1N-4 片内晶振的部分输出频率选项	37
表 4-1 绝对最大范围	39
表 4-2 推荐工作范围	39
表 4-3 电源上升斜率	40
表 4-4 热插拔特性	40
表 4-5 POR 电压参数	40
表 4-6 GW1N ESD - HBM	40
表 4-7 GW1N ESD - CDM	41
表 4-8 推荐工作范围条件下 DC 电气特性	41
表 4-9 静态电流	42
表 4-10 编程下载电流	42
表 4-11 I/O 推荐工作条件	43
表 4-12 单端 I/O DC 电气特性	44

表 4-13 差分 I/ODC 电气特性	45
表 4-14 CFU 内部时序参数	46
表 4-15 BSRAM 时序参数	46
表 4-16 DSP 时序参数	47
表 4-17 Gearbox 时序参数	47
表 4-18 单端 IO Fmax	47
表 4-19 外部开关特性	48
表 4-20 片内晶振特性参数	48
表 4-21 锁相环特性参数	48
表 4-22 GW1N-4 器件用户闪存 DC 电气特性	49
表 4-23 GW1N-4 器件用户闪存时序参数	50

1 关于本手册

1.1 手册内容

GW1N 系列 FPGA 产品(车规级)数据手册主要包括高云半导体 GW1N 系列 FPGA 产品(车规级)特性概述、产品资源信息、内部结构介绍、电气特性、编程接口时序以及器件订货信息。帮助用户快速了解高云半导体 GW1N 系列 FPGA 产品(车规级)以及特性，有助于器件选型及使用。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. [UG290, Gowin FPGA 产品编程配置手册](#)
2. [UG103, GW1N 系列 FPGA 产品封装与管脚手册](#)
3. [UG105, GW1N-4 器件 Pinout 手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
FF	Flip-Flop	触发器
CFU	Configurable Function Unit	可配置功能单元
CLS	Configurable Logic Section	可配置逻辑块
CRU	Configurable Routing Unit	可编程布线单元
LUT4	4-input Look-up Tables	4 输入查找表
LUT5	5-input Look-up Tables	5 输入查找表
LUT6	6-input Look-up Tables	6 输入查找表

术语、缩略语	全称	含义
LUT7	7-input Look-up Tables	7 输入查找表
LUT8	8-input Look-up Tables	8 输入查找表
REG	Register	寄存器
ALU	Arithmetic Logic Unit	算术逻辑单元
IOB	Input/Output Block	输入输出模块
SSRAM	Shadow Static Random Access Memory	分布式静态随机存储器
BSRAM	Block Static Random Access Memory	块状静态随机存储器
SP	Single Port 16K BSRAM	16K 单端口 BSRAM
SDP	Semi Dual Port 16K BSRAM	16K 伪双端口 BSRAM
DP	True Dual Port 16K BSRAM	16K 双端口 BSRAM
DSP	Digital Signal Processing	数字信号处理
DQCE	Dynamic Quadrant Clock Enable	动态象限时钟使能
DCS	Dynamic Clock Selector	动态时钟选择器
PLL	Phase-locked Loop	锁相环
GPIO	Gowin Programmable I/O	Gowin 可编程通用管脚
QN88	QFN88	QFN88 封装
PG256	PBGA256	PBGA256 封装
TDM	Time Division Multiplexing	时分复用

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 产品概述

高云半导体 GW1N 系列 FPGA 产品(车规级)是高云半导体小蜜蜂[®](LittleBee[®])家族第一代产品, 具有较丰富的逻辑资源, 支持多种 I/O 电平标准, 内嵌块状静态随机存储器、数字信号处理模块、锁相环资源, 此外, 内嵌 Flash 资源, 是一款具有非易失性的 FPGA 产品, 具有低功耗、瞬时启动、低成本、高安全性、产品尺寸小、封装类型丰富、使用方便灵活等特点。

高云半导体提供面向市场自主研发的新一代 FPGA 硬件开发环境, 支持 GW1N 系列 FPGA 产品(车规级), 能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

2.1 特性概述

- 用户闪存资源 (GW1N-4)
 - 10,000 次写寿命周期
 - 超过 10 年的数据保存能力(+85°C)
 - 数据位宽: 32
 - 行存储容量: 256-Byte
 - 页擦除能力: 2,048-Byte
 - 字编程时间: $\leq 16\mu\text{s}$
 - 页擦除时间: $\leq 120\text{ms}$
- 低功耗
 - 55nm 嵌入式闪存工艺
 - LV 版本: 支持 1.2V 核电压
 - UV 版本: 支持器件 $V_{\text{CC}}/V_{\text{CC0}}/V_{\text{CCx}}$ 统一供电
 - 支持时钟动态打开/关闭
- 支持多种 I/O 电平标准
 - LVCMOS33/25/18/15/12; LVTTTL33, SSTL33/25/18 I, SSTL33/25/18 II, SSTL15; HSTL18 I, HSTL18 II, HSTL15 I; PCI, LVDS25, RSDS, LVDS25E, BLVDSE, MLVDSE, LVPECLE, RSDSE

- 提供输入信号去迟滞选项
- 支持 4mA、8mA、16mA、24mA 等驱动能力
- 提供输出信号 Slew Rate 选项
- 提供输出信号驱动电流选项
- 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项
- 支持热插拔
- 高性能 DSP 模块
 - 高性能数字信号处理能力
 - 支持 9 x 9, 18 x 18, 36 x 36bit 的乘法运算和 54bit 累加器
 - 支持多个乘法器级联
 - 支持寄存器流水线和旁路功能
 - 预加运算实现滤波器功能
 - 支持桶形移位寄存器
- 丰富的基本逻辑单元
 - 4 输入 LUT(LUT4)
 - 双沿触发器
 - 支持移位寄存器和分布式存储器
- 支持多种模式的静态随机存储器
 - 支持双端口、单端口以及伪双端口模式
 - 支持字节写使能
- 灵活的 PLL 资源
 - 实现时钟的倍频、分频和相移
 - 全局时钟网络资源
- 内置 Flash 编程
 - 瞬时启动
 - 支持安全位操作
 - 支持 AUTO BOOT 和 DUAL BOOT 编程模式
- 编程配置模式
 - 支持 JTAG 配置模式
 - B 版本/C 版本器件支持 JTAG 透明传输
 - 支持多达 7 种 GowinCONFIG 配置模式: AUTOBOOT、SSPI、MSPI、CPU、SERIAL、DUAL BOOT、I²C Slave

2.2 产品信息列表

表 2-1 产品信息列表

器件	GW1N-4
逻辑单元(LUT4)	4,608
寄存器	3,456
分布式静态随机存储器 SSRAM(bits)	0
块状静态随机存储器 BSRAM(bits)	180K
块状静态随机存储器数目 BSRAM(个)	10
用户闪存(bits)	256K
乘法器(18 x 18 Multiplier)	16
锁相环(PLLs)	2
I/O Bank 总数	4
最大 I/O 数	218
核电压 (LV 版本)	1.2V
核电压 (UV 版本)	2.5V/3.3V

2.3 封装信息列表

表 2-2 产品封装和最大用户 I/O 信息、True LVDS 对数

封装	间距(mm)	尺寸(mm)	GW1N-4
QN88	0.4	10 x 10	70 (11)
PG256	1.0	17 x 17	207 (32)

注！

- JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况，但当 mode[2:0]=001 时，JTAGSEL_N 管脚与 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）可以同时设置为 GPIO，此时最大用户 I/O 数加 1。详细信息请参考 [UG103, GW1N 系列 FPGA 产品\(车规级\)封装与管脚手册](#)。
- 本手册中 GW1N 系列 FPGA 产品(车规级)封装命名采用缩写的方式，详细信息请参见 5.1 器件命名。

3 结构介绍

3.1 结构框图

图 3-1 GW1N 系列 FPGA 器件结构示意图 (GW1N-4)

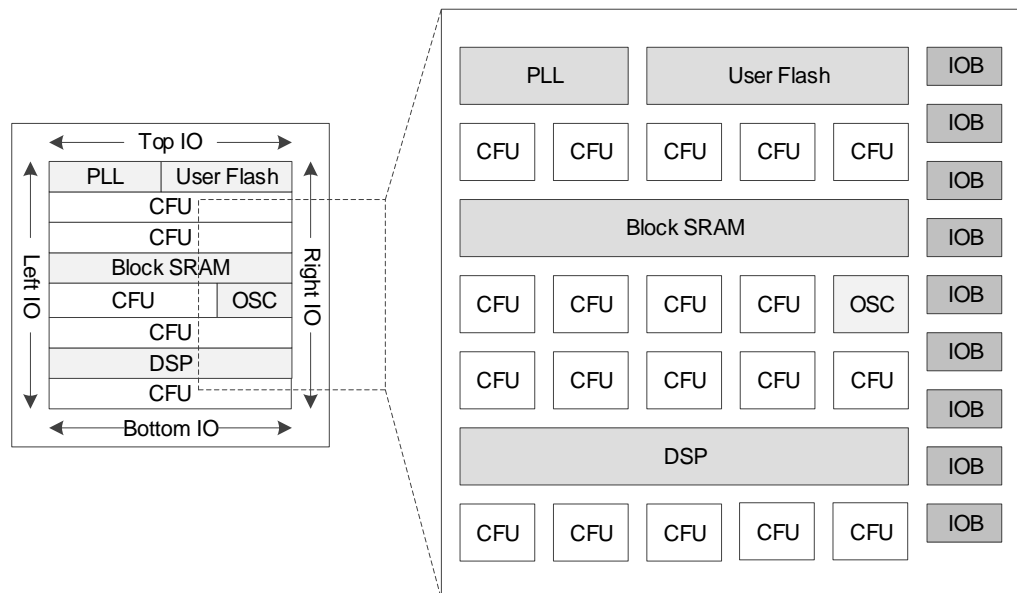


图 3-1 为 GW1N 系列 FPGA 器件结构示意图，器件内部是一个逻辑单元阵列，外围是输入输出模块(IOB)，器件内嵌了静态随机存储器 (BSRAM) 模块、数字信号处理模块 DSP、PLL 资源、片内晶振和用户闪存资源 User Flash，支持瞬时启动功能。内部资源数量详细信息请参见表 2-1。

GW1N 系列 FPGA 产品(车规级)基本的组成部分为可配置功能单元 (CFU, Configurable Logic Unit)。在器件内部按照行、列式矩阵排列，不同容量的器件行数和列数不同。可配置功能单元 (CFU) 可以配置成查找表 (LUT4) 模式和算术逻辑模式。详细资料请参见 3.2 可配置功能单元。

GW1N 系列 FPGA 产品(车规级)的 I/O 资源分布在器件外围，以 Bank 为单位划分。I/O 资源支持多种电平标准，支持普通工作模式、SDR 工作模式和通用 DDR 模式。详细资料请参见 3.3 输入输出模块。

GW1N 系列 FPGA 产品(车规级)的块状静态随机存储器 (BSRAM) 在

器件内部按照行排列。一个 BSRAM 的容量大小为 18Kbits，支持多种配置模式和操作模式。详细资料请参见 [3.4 块状静态随机存储器模块](#)。

GW1N 系列 FPGA 产品(车规级)内嵌了用户闪存资源，掉电数据不会丢失。详细信息请参见 [3.5 用户闪存资源\(GW1N-4\)](#)。

GW1N-4 器件中内嵌了数字信号处理模块 DSP。每个 DSP 包含两个宏单元，每个宏单元包含两个前加法器(pre-adders)，两个 18 位的乘法器(multipliers)和一个三输入的算术/逻辑运算单元(ALU54)。详细资料请参见 [3.6 数字信号处理模块](#)。

GW1N 系列 FPGA 产品(车规级)内嵌了锁相环 PLL 资源。高云半导体 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。同时产品内嵌可编程片内晶振，详细资料请参见 [3.7 时钟](#)及 [3.11 片内晶振](#)。

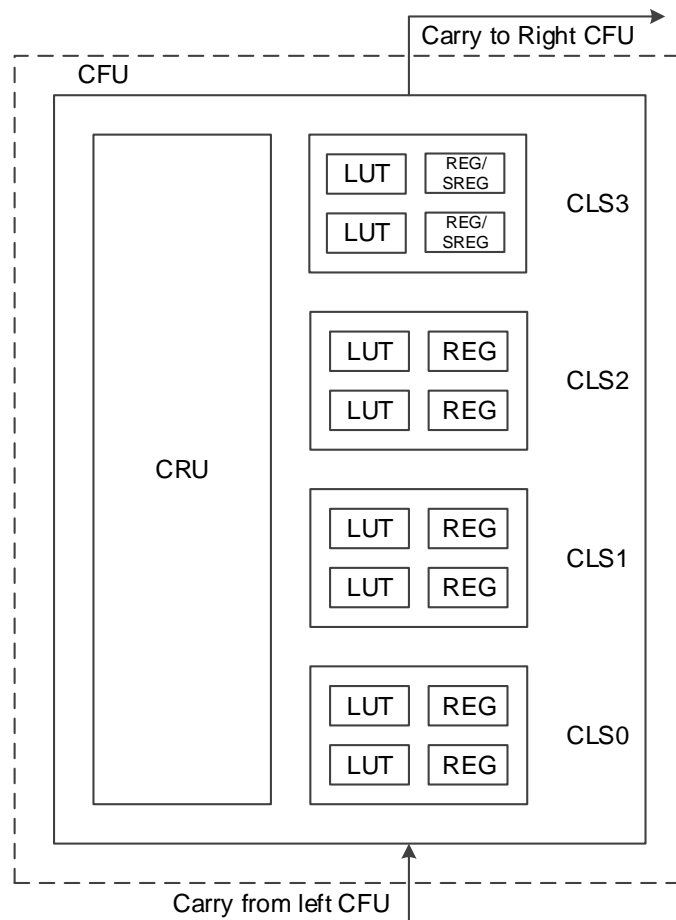
此外，FPGA 器件内置了丰富的可编程布线单元(CRU, Configurable Routing Unit)，为 FPGA 内部的所有资源提供连接关系。可配置功能单元(CFU)和 IOB 内部都分布着布线资源，连通了 CFU 内部资源和 IOB 内部的逻辑资源。布线资源可通过高云半导体 FPGA 软件自动生成。此外，GW1N 系列 FPGA 产品(车规级)还提供了丰富的专用时钟网络资源，长线资源，全局复位，以及编程选项等。详细资料请参见 [3.7 时钟](#)、[3.8 长线](#)、[3.9 全局复位](#)。

3.2 可配置功能单元

可配置功能单元(CFU)和可配置逻辑单元(CLU)是构成高云半导体 FPGA 产品内核的两种基本单元，每个基本单元可由四个可配置逻辑块(CLS)以及相应的可配置布线单元(CRU)组成，其中三个可配置逻辑块各包含两个四输入查找表(LUT)和两个寄存器(REG)，另外一个可配置逻辑块只包含两个四输入查找表，如图 3-2 所示。

CLU 中的可配置逻辑块不能配置为静态随机存储器，可配置为基本查找表、算术逻辑单元和只读存储器。CFU 中的可配置逻辑块可根据应用场景配置成基本查找表、算术逻辑单元、静态随机存储器和只读存储器四种工作模式。本节以 CFU 为例进行介绍。

图 3-2 CFU 结构示意图



注！

SREG 需要特殊的软件支持。如有需要，请联系高云半导体技术支持或当地办事处。

3.2.1 可配置逻辑块

可配置逻辑块支持基本查找表和算术逻辑模式：

- 基本查找表模式

每个查找表可以被配置为一个 4 输入查找表(LUT4)，可配置逻辑单元可实现高阶查找表功能：

- 一个可配置逻辑块可配置成一个 5 输入查找表(LUT5)。
- 两个可配置逻辑块可配置成一个 6 输入查找表(LUT6)。
- 四个可配置逻辑块可配置成一个 7 输入查找表(LUT7)。
- 八个可配置逻辑块(两个 CLU)可配置成一个 8 输入查找表(LUT8)。

- 算术逻辑模式

结合进位链，查找表可配置成算术逻辑模式(ALU)，用作实现以下功能：

- 加法/减法运算
- 计数器，包括加计数器和减计数器

- 比较器，包括大于比较、小于比较和不相等比较
- 乘法器

寄存器

可配置逻辑块(CLS0~CLS2)中各含两个寄存器(REG)，如图 3-3 所示。

图 3-3 CLS 中的寄存器示意图

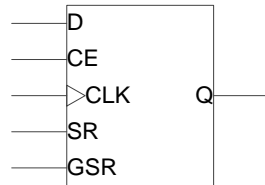


表 3-1 CLS 中寄存器模块信号说明

信号名	I/O	描述
D	I	寄存器数据输入 ^[1]
CE	I	CLK 使能信号，可配置为高电平使能或低电平使能 ^[2]
CLK	I	时钟信号，可配置为上升沿触发或下降沿触发 ^[2]
SR	I	本地置复位输入，可配置为如下功能 ^[2] : <ul style="list-style-type: none"> ● 同步复位 ● 同步置位 ● 异步复位 ● 异步置位 ● 无本地置复位
GSR ^{[3],[4]}	I	全局复置位，可配置为如下功能 ^[4] : <ul style="list-style-type: none"> ● 异步复位 ● 异步置位 ● 无全局复置位
Q	O	寄存器输出

注！

- [1]信号 D 的来源可以选择同一可配置逻辑块中任一查找表的输出，也可以选择来自于 CRU 的输入。因此在查找表被占用的情况下，寄存器仍可以单独使用。
- [2]CFU 中可配置逻辑块的 CE/CLK/SR 均可独立配置选择。
- [3]在 GW1N 系列 FPGA 产品(车规级)内部，GSR 通过直连线连接，不通过 CRU。
- [4]SR 与 GSR 同时有效时 GSR 有较高的优先级。

3.2.2 布线资源单元

布线资源单元 CRU 的功能主要包括两个方面：

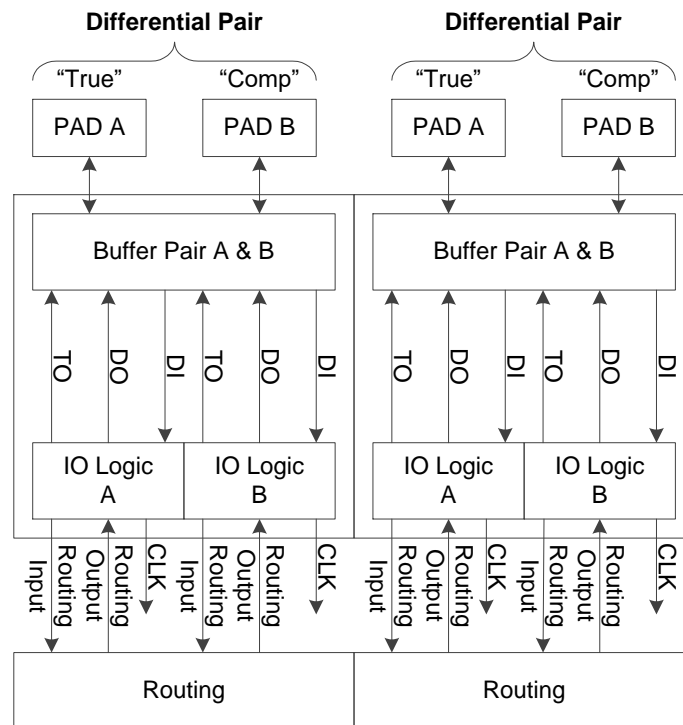
- 输入选择功能：为 CFU 的输入信号提供输入源选择。

- 布线资源功能：为 CFU 的输入/输出信号提供连接关系，包括 CFU 内部连接、CFU 之间连接以及 CFU 和 FPGA 内部其它功能模块之间的连接。

3.3 输入输出模块

GW1N 系列 FPGA 产品(车规级)的 IOB 主要包括 I/O Buffer、I/O 逻辑以及相应的布线资源单元三个部分。如图 3-4 所示为两个 IOB 的结构示意图，每个 IOB 单元包括了两个 I/O 管脚(标记为 A 和 B)，它们可以配置成一组差分信号对，也可以作为单端信号分别配置。

图 3-4 IOB 结构示意图



GW1N 系列 FPGA 产品(车规级)中 IOB 的功能特点：

- 基于 Bank 的 V_{CC0} 机制。
- 支持 LVCMOS、PCI、LVTTTL、LVDS、SSTL 以及 HSTL 等多种电平标准
- 提供输入信号去迟滞选项。
- 提供输出信号驱动电流选项。
- 提供输出信号 Slew Rate 选项。
- 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项。
- 支持热插拔。
- I/O 逻辑支持普通模式、SDR 模式以及 DDR 等多种模式。

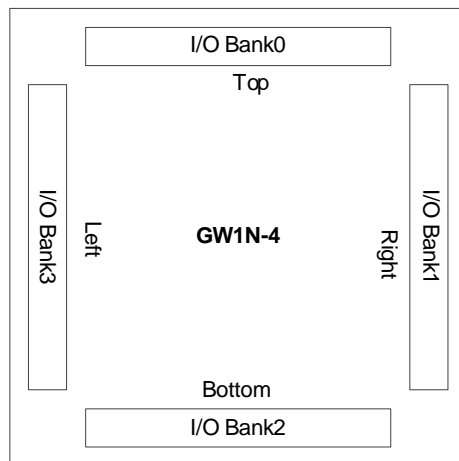
3.3.1 I/O 电平标准

GW1N 系列 FPGA 产品(车规级)每个 Bank 支持单独供电, 有独立的电源 V_{CC0} 。

为支持 SSTL, HSTL 等 I/O 输入标准, 每个 Bank 还提供一个独立的参考电压(V_{REF}), 用户可以选择使用 IOB 内置的 V_{REF} 源(等于 $0.5 \cdot V_{CC0}$), 也可选择外部的 V_{REF} 输入(使用 Bank 中任意一个 I/O 管脚作为外部 V_{REF} 输入)。

GW1N-4 的 I/O 包括 4 个 Bank, 如图 3-5 所示。

图 3-5 GW1N-4 I/O Bank 分布示意图



GW1N 系列 FPGA 产品(车规级)分为 LV 及 UV 版本。

LV 版本器件支持 1.2V V_{CC} 供电电压, 可以满足用户低功耗的需求。 V_{CC0} 根据需要可在 1.2V、1.5V、1.8V、2.5V、3.3V 电压中灵活设置。 V_{CCX} 支持 2.5V 或 3.3V 供电电压。

UV 版本器件方便用户实现单一电源供电, 内部集成了线性稳压器, 内核电压支持 1.8V、2.5V、3.3V 供电电压。

注!

- 可编程通用管脚 (GPIO) 默认状态是三态输入弱上拉。
- 不同版本器件的推荐工作电压请参考 4.1 工作条件。

不同的 I/O 输出/输入标准对 V_{CCO} 的要求如表 3-2 及表 3-3 所示。

表 3-2 GW1N 系列 FPGA 产品(车规级)支持的输出 I/O 类型及部分可选配置

I/O Type (输出)	单端/差分	Bank V_{CCO} (V)	输出驱动能力(mA)
LVDS25	差分 (TLVDS)	2.5/3.3	3.5/2.5/2/1.25
RSDS	差分 (TLVDS)	2.5/3.3	2
MINILVDS	差分 (TLVDS)	2.5/3.3	2
PPLVDS	差分 (TLVDS)	2.5/3.3	3.5
LVDS25E	差分	2.5	8
BLVDS25E	差分	2.5	16
MLVDS25E	差分	2.5	16
RSDS25E	差分	2.5	8
LVPECL33E	差分	3.3	16
HSTL18D_I	差分	1.8	8
HSTL18D_II	差分	1.8	8
HSTL15D_I	差分	1.5	8
SSTL15D	差分	1.5	8
SSTL18D_I	差分	1.8	8
SSTL18D_II	差分	1.8	8
SSTL25D_I	差分	2.5	8
SSTL25D_II	差分	2.5	8
SSTL33D_I	差分	3.3	8
SSTL33D_II	差分	3.3	8
LVC MOS12D	差分	1.2	6/2
LVC MOS15D	差分	1.5	8/4
LVC MOS18D	差分	1.8	8/12/4
LVC MOS25D	差分	2.5	8/16/12/4
LVC MOS33D	差分	3.3	8/16/12/4
HSTL15_I	单端	1.5	8
HSTL18_I	单端	1.8	8
HSTL18_II	单端	1.8	8
SSTL15	单端	1.5	8

I/O Type (输出)	单端/差分	Bank V _{CCO} (V)	输出驱动能力(mA)
SSTL18_I	单端	1.8	8
SSTL18_II	单端	1.8	8
SSTL25_I	单端	2.5	8
SSTL25_II	单端	2.5	8
SSTL33_I	单端	3.3	8
SSTL33_II	单端	3.3	8
LVC MOS12	单端	1.2	4,8
LVC MOS15	单端	1.5	4,8
LVC MOS18	单端	1.8	4,8,12
LVC MOS25	单端	2.5	4,8,12,16
LVC MOS33/ LVTTTL33	单端	3.3	4,8,12,16,24
PCI33	单端	3.3	N/A

表 3-3 GW1N 系列支持的输入 I/O 类型及部分可选配置

I/O Type(输入)	单端/差分	Bank V _{CCO} (V)	HYSTERESIS (支持去迟滞选项)	是否需要 V _{REF}
LVDS25	差分 (TLVDS)	2.5/3.3	否	否
RS DS	差分 (TLVDS)	2.5/3.3	否	否
MINILVDS	差分 (TLVDS)	2.5/3.3	否	否
PPLVDS	差分 (TLVDS)	2.5/3.3	否	否
LVDS25E	差分	2.5/3.3	否	否
BLVDS25E	差分	2.5/3.3	否	否
MLVDS25E	差分	2.5/3.3	否	否
RS DS25E	差分	2.5/3.3	否	否
LVPECL33E	差分	3.3	否	否
HSTL18D_I	差分	1.8/2.5/3.3	否	否
HSTL18D_II	差分	1.8/2.5/3.3	否	否
HSTL15D_I	差分	1.5/1.8/2.5/3.3	否	否
SSTL15D	差分	1.5/1.8/2.5/3.3	否	否
SSTL18D_I	差分	1.8/2.5/3.3	否	否
SSTL18D_II	差分	1.8/2.5/3.3	否	否

I/O Type(输入)	单端/差分	Bank V _{cco} (V)	HYSTERESIS (支持去迟滞选项)	是否需要 V _{REF}
SSTL25D_I	差分	2.5/3.3	否	否
SSTL25D_II	差分	2.5/3.3	否	否
SSTL33D_I	差分	3.3	否	否
SSTL33D_II	差分	3.3	否	否
LVC MOS12D	差分	1.2/1.5/1.8/2.5/3.3	否	否
LVC MOS15D	差分	1.5/1.8/2.5/3.3	否	否
LVC MOS18D	差分	1.8/2.5/3.3	否	否
LVC MOS25D	差分	2.5/3.3	否	否
LVC MOS33D	差分	3.3	否	否
HSTL15_I	单端	1.5 或 1.5/1.8/2.5/3.3 ^[1]	否	是
HSTL18_I	单端	1.8 或 1.8/2.5/3.3 ^[2]	否	是
HSTL18_II	单端	1.8 或 1.8/2.5/3.3 ^[2]	否	是
SSTL15	单端	1.5 或 1.5/1.8/2.5/3.3 ^[1]	否	是
SSTL18_I	单端	1.8 或 1.8/2.5/3.3 ^[2]	否	是
SSTL18_II	单端	1.8 或 1.8/2.5/3.3 ^[2]	否	是
SSTL25_I	单端	2.5 或 2.5/3.3 ^[3]	否	是
SSTL25_II	单端	2.5 或 2.5/3.3 ^[3]	否	是
SSTL33_I	单端	3.3	否	是
SSTL33_II	单端	3.3	否	是
LVC MOS12	单端	1.2/1.5/1.8/2.5/3.3	是	否
LVC MOS15	单端	1.2/1.5/1.8/2.5/3.3	是	否
LVC MOS18	单端	1.2/1.5/1.8/2.5/3.3	是	否
LVC MOS25	单端	1.2/1.5/1.8/2.5/3.3	是	否
LVC MOS33/ LVTT L33	单端	1.2/1.5/1.8/2.5/3.3	是	否
PCI33	单端	3.3	是	否
LVC MOS33OD25	单端	2.5	否	否
LVC MOS33OD18	单端	1.8	否	否
LVC MOS33OD15	单端	1.5	否	否

I/O Type(输入)	单端/差分	Bank V _{CCO} (V)	HYSTERESIS (支持去迟滞选项)	是否需要 V _{REF}
LVC MOS25OD18	单端	1.8	否	否
LVC MOS25OD15	单端	1.5	否	否
LVC MOS18OD15	单端	1.5	否	否
LVC MOS15OD12	单端	1.2	否	否
LVC MOS25UD33	单端	3.3	否	否
LVC MOS18UD25	单端	2.5	否	否
LVC MOS18UD33	单端	3.3	否	否
LVC MOS15UD18	单端	1.8	否	否
LVC MOS15UD25	单端	2.5	否	否
LVC MOS15UD33	单端	3.3	否	否
LVC MOS12UD15	单端	1.5	否	否
LVC MOS12UD18	单端	1.8	否	否
LVC MOS12UD25	单端	2.5	否	否
LVC MOS12UD33	单端	3.3	否	否

Note!

- [1]当 V_{REF} 为 INTERNAL 时, 该 I/O 类型的 V_{CCO} 为 1.5V; 当 V_{REF} 为 VREF1_LOAD 时, V_{CCO} 为 1.5 V /1.8 V /2.5 V /3.3 V。
- [2]当 V_{REF} 为 INTERNAL 时, 该 I/O 类型的 V_{CCO} 为 1.8V; 当 V_{REF} 为 VREF1_LOAD 时, V_{CCO} 为 1.8 V /2.5 V /3.3 V。
- [3]当 V_{REF} 为 INTERNAL 时, 该 I/O 类型的 V_{CCO} 为 2.5V; 当 V_{REF} 为 VREF1_LOAD 时, V_{CCO} 为 2.5V /3.3 V。

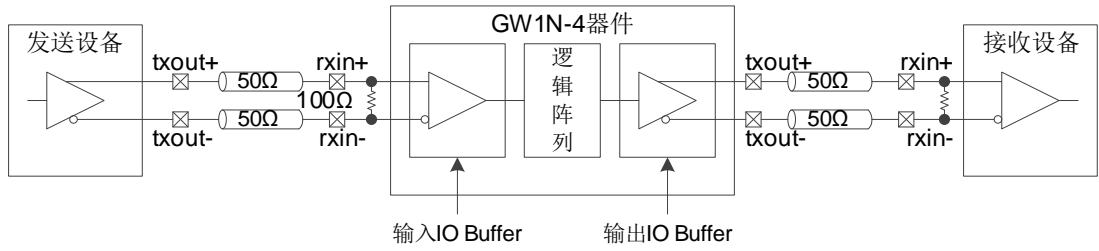
3.3.2 真 LVDS 设计

GW1N 系列 FPGA 产品 (车规级) 支持真 LVDS 输出, 但是不支持内部 100 欧姆输入差分匹配电阻。不支持真 LVDS 输出的 Bank 支持内部 100 欧姆输入差分匹配电阻。此外, GW1N 系列 FPGA 产品 (车规级) 还支持 LVDS25E、MLVDS25E、BLVDS25E 等电平类型, 详细资料请参见 [UG289, Gowin 可编程通用管脚 \(GPIO\) 用户指南](#)。

真 LVDS 的分布详细资料请参见 [UG105, GW1N-4 器件 Pinout 手册](#)。

LVDS 的输入端 I/O 需要外部的 100 欧姆终端电阻做匹配, 设计参考如图 3-6 所示。

图 3-6 真 LVDS 设计参考框图



LVDS25E、MLVDS25E、BLVDS25E 等差分 I/O 终端匹配电阻网络请参见 UG289, *Gowin 可编程通用管脚 (GPIO) 用户指南*。

3.3.3 I/O 逻辑

图 3-7 为 GW1N 系列 FPGA 产品(车规级)的 I/O 逻辑的输出部分。

图 3-7 I/O 逻辑输出示意图

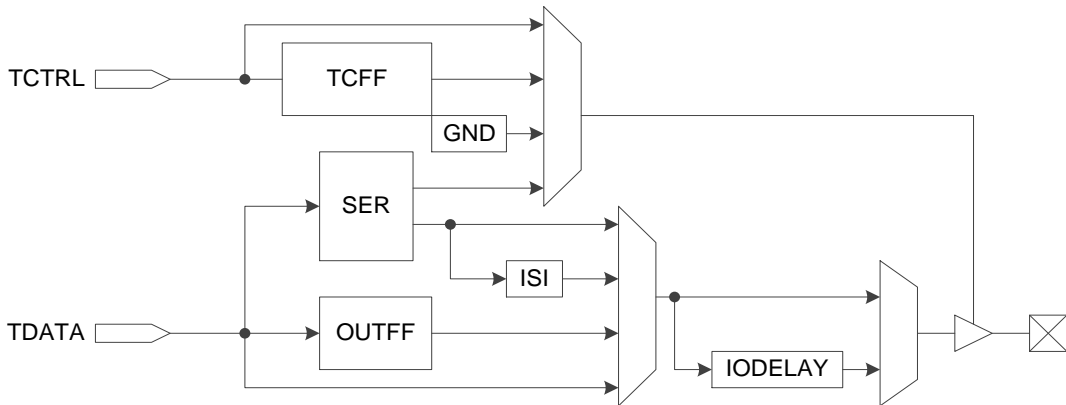
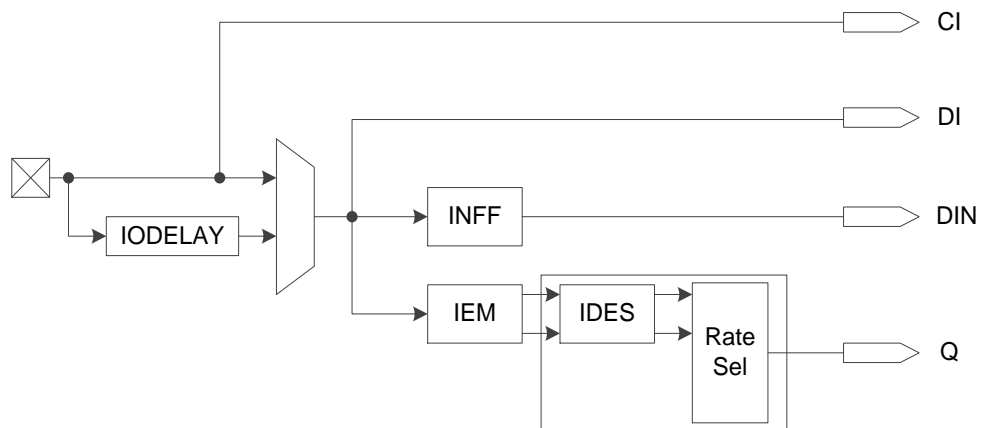


图 3-8 为 GW1N 系列 FPGA 产品(车规级)的 I/O 逻辑的输入部分。

图 3-8 I/O 逻辑输入示意图



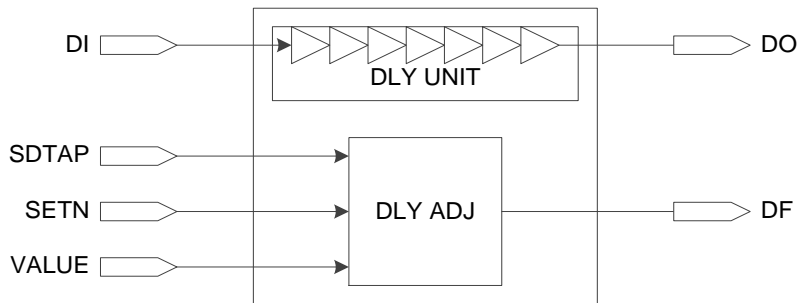
GW1N 系列 FPGA 产品(车规级)的 I/O 逻辑的组成模块说明如下：

延迟模块

图 3-9 为延迟模块 IODELAY。GW1N 系列 FPGA 产品(车规级)的每个

I/O 都包含 IODELAY 模块，总共提供 128(0~127)步的延迟，一步的延迟时间约为 30 ps。

图 3-9 IODELAY 示意图



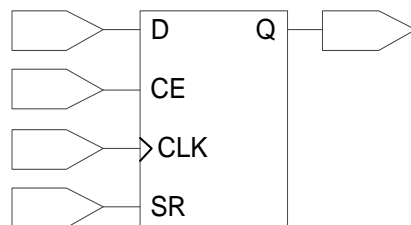
有两种控制延迟的方式：

- 静态控制；
- 动态控制，可与 IEM 模块一起使用来调节动态取样窗口，IODELAY 不能同时用于输入和输出。

I/O 寄存器

图 3-10 为 GW1N 系列 FPGA 产品(车规级)的 I/O 寄存器模块。GW1N 系列 FPGA 产品(车规级)的每个 I/O 都提供可编程输入寄存器 INFF、输出寄存器 OUTFF 和高阻控制寄存器 TCFF。

图 3-10 GW1N 的 I/O 寄存器示意图



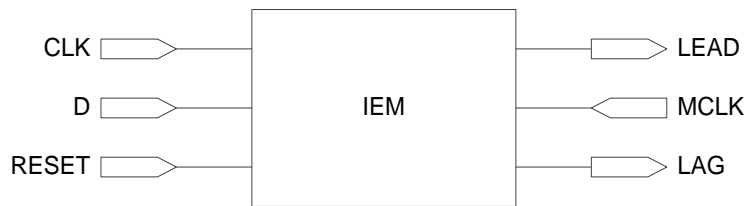
注！

- CE 可以编程为低电平有效(0: enable)或高电平有效(1: enable)。
- CLK 可以编程为上升沿触发或下降沿触发。
- SR 可以编程为同步/异步的 SET/RESET 或无效(disable)。
- 寄存器可以编程为寄存器(register)或锁存器(latch)。

取样模块

取样模块(IEM)是用来取样数据边沿，用于通用 DDR 模式，如图 3-11 所示。

图 3-11 GW1N 的 IEM 示意图



解串器 DES 模块

每个输入的 I/O 逻辑提供了简单的解串器 DES，丰富了 I/O 资源应用方式。

串化器 SER 模块

每个输出的 I/O 逻辑提供了简单的串化器 SER 模块，丰富了 I/O 资源应用方式。

3.3.4 I/O 逻辑工作模式

GW1N 系列 FPGA 产品(车规级)的 I/O 逻辑支持多种工作模式。每一种工作模式下，I/O(或 I/O 差分信号对)又可以配置成输出信号、输入信号、INOUT 信号及三态输出信号(带三态控制的输出信号)。

GW1N-4 的管脚 IOL10(A,B,C...J)和 IOR10(A,B,C...J)不支持 IO 逻辑，其他管脚支持 I/O 逻辑。

关于 I/O 逻辑工作模式的详细信息，请参考 [UG289, Gowin 可编程通用管脚\(GPIO\)用户指南](#)。

3.4 块状静态随机存储器模块

3.4.1 简介

GW1N 系列 FPGA 产品(车规级)提供了丰富的块状静态随机存储器资源。这些存储器资源按照模块排列，以行的形式，分布在整个 FPGA 阵列中。因此称为块状静态随机存储器 (BSRAM)。每个 BSRAM 可配置最高 18,432bits(18Kbits)。提供的操作模式包括：单端口模式 Single Port，双端口模式 Dual Port，伪双端口模式 Semi Dual Port，只读存储器模式。在表 3-4 中列出了 BSRAM 的信号及功能描述。

丰富的块状静态随机存储器资源为用户的高性能设计提供了保障。以下是 BSRAM 提供的各种功能：

- 1 个模块最大容量为 18,432bits
- 时钟频率达到 190MHz
- 单端口模式 Single Port
- 双端口模式 Dual Port
- 伪双端口模式 Semi Dual Port

- 提供校验位 Parity Bits
- 提供只读存储器模式 ROM
- 数据宽度从 1 位到 36 位
- 多时钟操作模式 Mixed Clock Mode
- 多数据宽度模式 Mixed Data Width Mode
- 在双字节以上的数据宽度支持字节使能功能 Enable Byte
- 正常读写 Normal Read and Write Mode
- 先读后写 Read-before-write Mode
- 通写 Write-through Mode

表 3-4 BSRAM 信号功能

端口名称	方向	描述
DIA	I	A 端口数据输入信号
DIB	I	B 端口数据输入信号
ADA	I	A 端口地址信号
ADB	I	B 端口地址信号
CEA	I	A 端口时钟使能信号
CEB	I	B 端口时钟使能信号
RESETA	I	A 端口寄存器复位信号
RESETB	I	B 端口寄存器复位信号
WREA	I	A 端口读/写使能信号
WREB	I	B 端口读/写使能信号
BLKSELA BLKSELB	I	存储单元块选择信号
CLKA	I	A 端口读/写时钟信号
CLKB	I	B 端口读/写时钟信号
OCEA	I	A 端口输出寄存器时钟使能信号
OCEB	I	B 端口输出寄存器时钟使能信号
DOA	O	数据输出 A 端口
DOB	O	数据输出 B 端口

3.4.2 存储器配置模式

GW1N 系列 FPGA 产品(车规级)的块状静态随机存储器可支持多种的数据宽度，如表 3-5 所示。

表 3-5 存储器配置列表

单端口模式	双端口模式	伪双端口模式	只读模式
16K x 1	16K x 1	16K x 1	16K x 1
8K x 2	8K x 2	8K x 2	8K x 2
4K x 4	4K x 4	4K x 4	4K x 4
2K x 8	2K x 8	2K x 8	2K x 8
1K x 16	1K x 16	1K x 16	1K x 16
512 x 32	-	512 x 32	512 x 32
2K x 9	2K x 9	2K x 9	2K x 9
1K x 18	1K x 18	1K x 18	1K x 18
512 x 36	-	512 x 36	512 x 36

单端口模式

在单端口模式, BSRAM 可以在一个时钟沿对 BSRAM 进行读或写操作。在写操作中, 被写入的数据会传到 BSRAM 的输出。支持正常读写模式 (Normal-Write Mode) 和通写模式 (Write-through Mode)。当输出寄存器旁路 (Bypass) 时, 新数据出现在同一个时钟的上升沿。

关于单端口模式的端口框图及相关描述请参考 [UG285, Gowin 存储器 \(BSRAM & SSRAM\) 用户指南](#)。

双端口模式

BSRAM 支持双端口模式, 可对两个端口做如下操作:

- 两个端口同时读操作
- 两个端口同时写操作
- 任何一个端口的读和写

关于双端口模式的端口示意图及相关描述请参考 [UG285, Gowin 存储器 \(BSRAM & SSRAM\) 用户指南](#)。

伪双端口模式

伪双端口可支持同时的读和写操作。但是对同一个端口不能做读写操作, 只支持 A 端口写, B 端口读。

关于伪双端口模式的端口示意图及相关描述请参考 [UG285, Gowin 存储器 \(BSRAM & SSRAM\) 用户指南](#)。

只读模式

BSRAM 可配置成只读存储器模式。用户可通过存储器初始化文件, 通过编程端口来初始化只读存储器。用户需要提供 ROM 中的内容, 编入初始化文件中。在器件上电编程时来完成初始化操作。

每个 BSRAM 可配置成一个 16Kbits ROM。关于只读模式的端口示意图及详细描述请参考 [UG285, Gowin 存储器\(BSRAM & SSRAM\)用户指南](#)。

3.4.3 存储器混合数据宽度配置

GW1N 系列 FPGA 产品(车规级)的块状静态随机存储器模块可支持混合数据线宽度操作。在双端口模式和伪双端口模式下，读和写的数据宽度可以不同，但需要按照表 3-6 和表 3-7 的配置来应用。

表 3-6 双端口混合读写数据宽度配置列表

读端口	写端口						
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	2K x 9	1K x 18
16K x 1	*	*	*	*	*		
8K x 2	*	*	*	*	*		
4K x 4	*	*	*	*	*		
2K x 8	*	*	*	*	*		
1K x 16	*	*	*	*	*		
2K x 9						*	*
1K x 18						*	*

注！

标注为“*”的表示支持的模式。

表 3-7 伪双端口混合读写数据宽度配置列表

读端口	写端口								
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	512 x 32	2K x 9	1K x 18	512 x 36
16K x 1	*	*	*	*	*	*			
8K x 2	*	*	*	*	*	*			
4K x 4	*	*	*	*	*	*			
2K x 8	*	*	*	*	*	*			
1K x 16	*	*	*	*	*	*			
512x32	*	*	*	*	*	*			
2K x 9							*	*	*
1K x 18							*	*	*

注！

标注为“*”的表示支持的模式。

3.4.4 字节使能功能配置

BSRAM 支持字节使能 (byte-enable) 功能。可以遮蔽输入数据，只让

被选择到的字节写入。而被遮蔽的数据能继续保留。读/写使能信号(WREA, WREB), 及 byte-enable 参数选项用于控制 BSRAM 的写操作。

3.4.5 校验位功能配置

所有的块状静态随机存储器模块 BSRAM 内置了校验位的配置。每个字节的第 9 位可用来做校验位, 也可以用来存储数据。

3.4.6 同步操作

- 所有的块状静态随机存储器模块的输入寄存器支持同步写入;
- 输出寄存器可用作流水线寄存器提高用户的设计性能;
- 输出寄存器可旁路 bypass-able。

3.4.7 上电情况

BSRAM 支持上电时静态随机存储器初始化。在上电过程中, BSRAM 处于待机状态, 所有数据输出为 0。此状态也适用于只读存储器模式 ROM。

3.4.8 BSRAM 操作模式

BSRAM 支持 5 种操作模式, 包括 2 种读操作模式(旁路模式 Bypass Mode, 流水线读模式 PipelineRead Mode)和 3 种写操作模式(正常写模式: Normal-write Mode, 通写模式: Write-through Mode, 先读后写模式: Read-before-write Mode)。

读操作模式

从 BSRAM 读出数据通过输出寄存器输出或不通过输出寄存器输出。

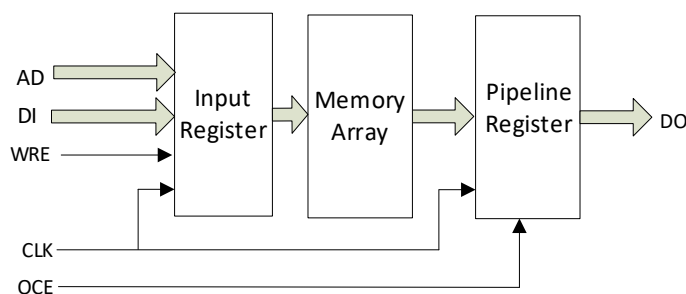
流水线模式

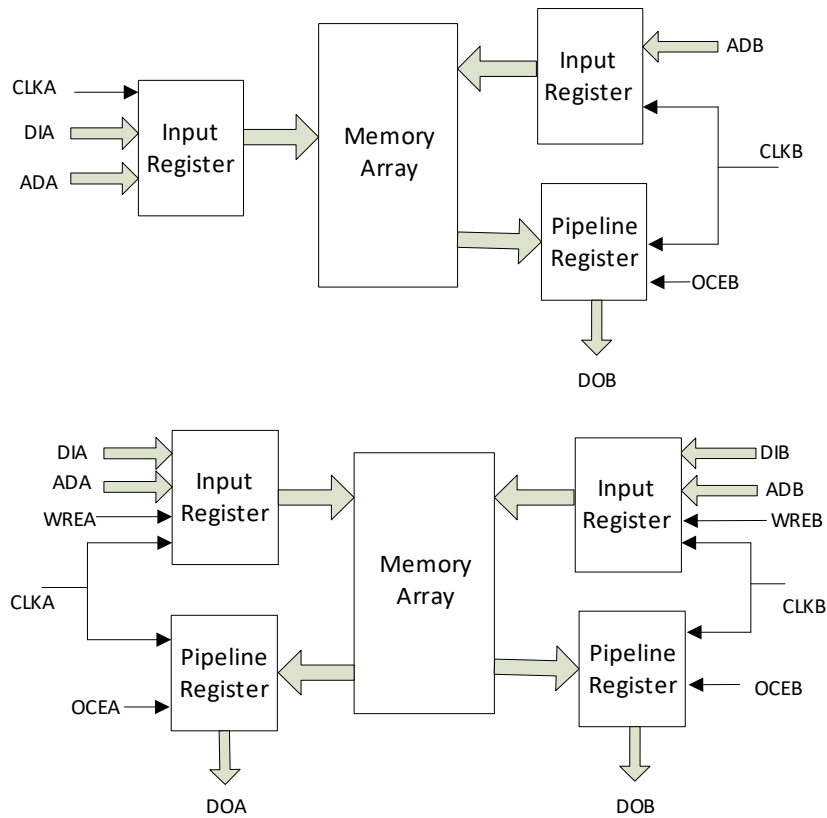
在同步写入存储器时, 使用输出寄存器。此模式可支持数据宽度最大 36 位。

旁路模式

不使用输出寄存器, 数据保留在存储器(Memory Array)的输出。

图 3-12 单端口、伪双端口及双端口模式下的流水线模式





写操作模式

正常写模式

对一个端口进行正常写操作，此端口的输出数据不变。写入数据不会出现在读端口。

通写模式

在此模式下，对一个端口进行写操作时，写入数据会出现在此端口的输出。

先读后写模式

在此模式下，对一个端口进行写操作时，原来的数据会出现在此端口的输出，写入数据会存入相应单元。

3.4.9 时钟模式

表 3-8 中列出了不同 BSRAM 模式下可使用的时钟模式：

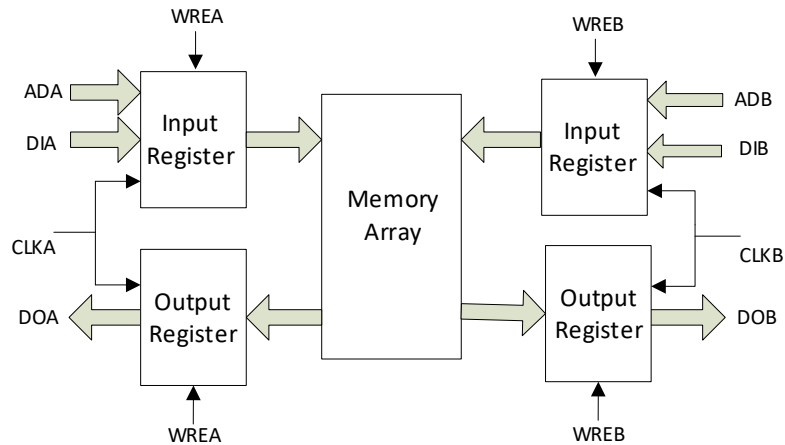
表 3-8 时钟模式配置列表

时钟模式	双端口模式 ^[1]	伪双端口模式	单端口模式
独立时钟模式	Yes	No	No
读/写时钟模式	Yes	Yes	No
单端口时钟模式	No	No	Yes

独立时钟模式

图 3-13 显示了在双端口模式下的独立时钟使用模式，每个端口各有一个独立时钟。CLKA 信号控制了端口 A 的所有寄存器，CLKB 信号控制了端口 B 的所有寄存器。

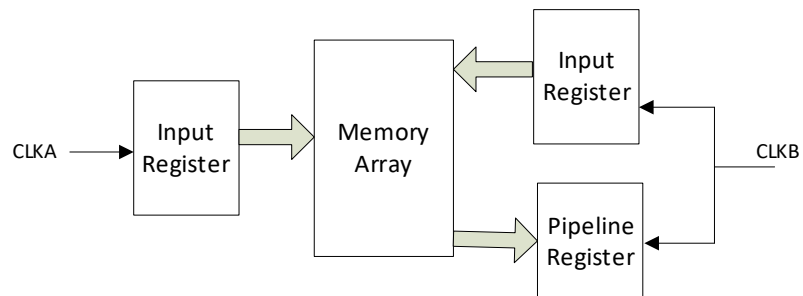
图 3-13 独立时钟模式



读写时钟模式

图 3-14 显示了在伪双端口模式下的读写时钟使用模式。每个端口各有一个时钟。写时钟(CLKA)信号控制了端口 A 的写入数据、写地址和读/写使能信号。读时钟(CLKB)信号控制了端口 B 的读出数据、读地址和读使能信号。

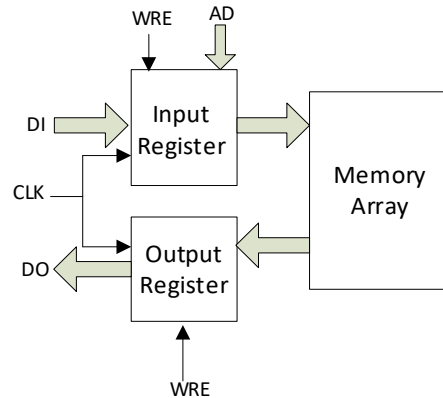
图 3-14 读写时钟模式



单端口时钟模式

图 3-15 显示了单端口时钟模式。

图 3-15 单端口时钟模式



3.5 用户闪存资源(GW1N-4)

3.5.1 简介

GW1N-4 器件提供用户闪存资源(User Flash)，资源容量为 256Kbits。用户闪存资源由行存储和列存储单元组成，一行由 64 个列存储单元组成，列存储单元的容量为 32bits，行存储单元的容量为 $64 \times 32 = 2048$ bits。擦除操作支持页擦除，一页的容量为 2048 字节，即一页包含 8 行。特性如下所示：

- 10,000 次写寿命周期
- 超过 10 年的数据保存能力(+85°C)
- 数据位宽：32
- GW1N-4 容量：128 行*64 列*32 = 256Kbits
- 页擦除能力：2,048 字节
- 快速页擦除/字编程操作
- 时钟频率：40MHz
- 字编程时间：≤16μs
- 页擦除时间：≤120ms
- 电流
 - 读电流/持续时间：2.19mA/25ns (V_{CC}) & 0.5mA/25ns (V_{CCX})(MAX)
 - 编程/擦除操作：12/12mA(MAX)

3.5.2 端口信号

图 3-16 为用户闪存模块信号框图：

图 3-16 用户闪存端口信号

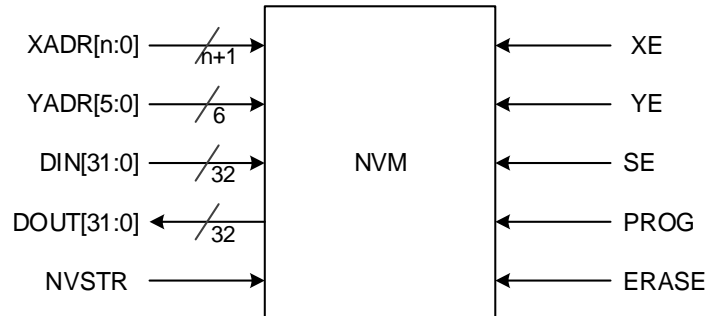


表 3-9 用户闪存模块信号说明

管脚名称 ^[1]	方向	描述
XADR[n:0] ^[2]	I	X 地址总线，访问行地址，其中 XADR[n:3]用于选择某一页，XADR[2:0]用于选择一页中的某一行，一页由 8 行组成，一行由 64 列组成。 GW1N-4: 共 128 行，n=6
YADR[5:0] ^[2]	I	Y 地址总线，用于选择一行存储单元中的某一行，一行由 64 列组成。
DIN[31:0]	I	数据输入总线。
DOUT[31:0]	O	数据输出总线。
XE ^[2]	I	X 地址使能信号，当 XE 为 0 的时候，所有的行地址均不使能。
YE ^[2]	I	Y 地址使能信号，当 YE 为 0 的时候，所有列地址均不使能。
SE ^[2]	I	检测放大器使能信号，高电平有效。
ERASE	I	擦除信号，高电平有效。
PROG	I	编程信号，高电平有效。
NVSTR	I	Flash 数据存储信号，高电平有效。

注！

- [1]控制信号、地址信号和数据信号端口名称。
- [2]只有当 XE=YE=V_{CC} 并且 SE 满足脉冲时序要求 (T_{pws}, T_{nws}) 的时候，读操作才是有效的。读出的数据的地址是由 XADR[5:0]和 YADR[5:0]确定的。

3.5.3 操作模式

表 3-10 用户模式真值表

模式	XE	YE	SE	PROG	ERASE	NVSTR
读模式	H	H	H	L	L	L
编程模式	H	H	L	H	L	H
页擦除模式	H	L	L	L	H	H

注！

“H”和“L”表示高电平和低电平。

3.6 数字信号处理模块

3.6.1 简介

GW1N-4 器件中具有丰富的 DSP 模块资源。高云半导体的 DSP 解决方案可满足用户的高性能数字信号处理需求，如 FIR、FFT 设计等。DSP 具有时序性能稳定、资源利用率高、功耗低等优点。

DSP 支持下列功能：

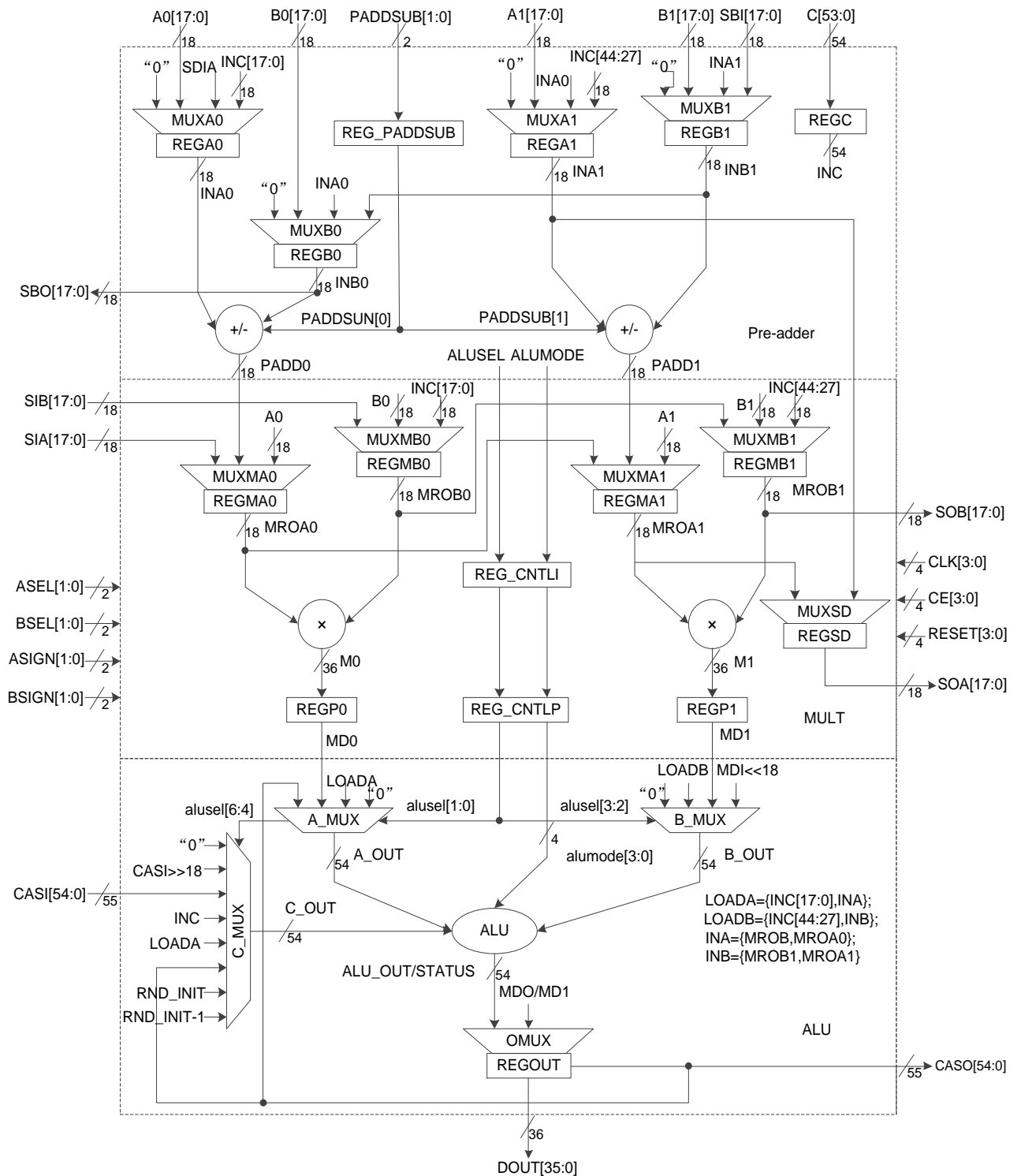
- 3 种宽度乘法器（9-bit, 18-bit, 36-bit）
- 54-bit 的算术/逻辑运算单元
- 多个乘法器可级联以增加数据宽度
- 桶形移位器(Barrel Shifter)
- 通过反馈信号做自适应滤波(Adaptive filtering through signal feedback)
- 运算可以自动取正(Computing with options of rounding to positive number or prime number)
- 支持寄存器输出和旁路输出

宏单元

GW1N 的 DSP 模块排列以行的形式分布在整个 FPGA 阵列中。每个 DSP 模块占用 9 个 CFU 的位置。每个 DSP 包含两个宏单元，每个宏单元包含两个前加法器(pre-adders)，两个 18 位的乘法器(multipliers)，和一个三输入的算术/逻辑运算单元(ALU54)。

图 3-17 显示了一个宏单元的结构。

图 3-17 DSP 宏单元



DSP 模块端口描述如表 3-11 所示，内部寄存器如表 3-12 所示。

表 3-11 DSP 端口描述

端口名称	I/O 类型	说明
A0[17:0]	I	18-bit 数据输入 A0
B0[17:0]	I	18-bit 数据输入 B0
A1[17:0]	I	18-bit 数据输入 A1
B1[17:0]	I	18-bit 数据输入 B1
C[53:0]	I	54-bit 数据输入 C
SIA[17:0]	I	移位数据输入 A，用于级联连接。输入信号 SIA 直接连接到先前相邻的 DSP 模块的输出信号 SOA，DSP 模块内部从 SIA 到 SOA 的延迟时间是一个时钟周期
SIB[17:0]	I	移位数据输入 B，用于级联连接。输入信号 SIB 直接连接到先前相邻的 DSP 模块的输出信号 SOB，DSP 模块内部从 SIB 到 SOB 的延迟时间是一个时钟周期
SBI[17:0]	I	前加器逻辑移位输入，反向
CASI[54:0]	I	来自前一个 DSP 模块的 ALU 输入，用于级联连接
ASEL[1:0]	I	前加器或乘法器的 A 输入源选择
BSEL[1:0]	I	乘法器的 B 输入源选择
ASIGN[1:0]	I	输入信号 A 符号位
BSIGN[1:0]	I	输入信号 B 符号位
PADDSUB[1:0]	I	前加器的操作控制信号，用于前加器逻辑加减法选择
CLK[3:0]	I	时钟输入
CE[3:0]	I	时钟使能信号
RESET[3:0]	I	同步/异步，复位信号
SOA[17:0]	O	移位数据输出 A
SOB[17:0]	O	移位数据输出 B
SBO[17:0]	O	前加器逻辑移位输出，反向方向
DOUT[35:0]	O	DSP 输出数据
CASO[54:0]	O	ALU 输出到下一个 DSP 模块进行级联连接，最高位符号扩展

表 3-12 内部寄存器描述

寄存器	说明及相关属性
A0 register	A0 输入寄存器
A1 register	A1 输入寄存器
B0 register	B0 输入寄存器
B1 register	B1 输入寄存器

寄存器	说明及相关属性
C register	C输入寄存器
P1_A0 register	左乘数A0输入寄存器
P1_A1 register	右乘数A1输入寄存器
P1_B0 register	左乘数B0输入寄存器
P1_B1 register	右乘数B1输入寄存器
P2_0 register	左乘数流水线输入寄存器
P2_1 register	右乘数流水线输入寄存器
OUT register	DOOUT输出寄存器
OPMODE register	操作模式控制寄存器
SOA register	寄存器 SOA 的移位输出

前加器

DSP 宏单元包含两个前加器，实现预加、预减和移位功能。

前加器位于宏单元的最前端，有两个输入端：

- 并行 18-bit 输入 B 或 SBI；
- 并行 18-bit 输入 A 或 SIA。

注！

每个输入端都支持寄存器模式和旁路模式。

高云半导体 FPGA 产品的前加器可以作为功能模块单独使用，支持 9-bit 位宽和 18-bit 位宽。

乘法器

乘法器(multipliers)位于前加器之后，用来实现乘法运算。乘法器可以配置为 9 x 9、18 x 18、36 x 18 或 36 x 36，输入端和输出端均支持寄存器模式和旁路模式。一个宏单元支持的配置模式包括：

- 一个 18 x 36 乘法器
- 两个 18 x 18 乘法器
- 四个 9 x 9 乘法器

注！

两个宏单元可以配置成一个 36 x 36 乘法器。

算术运算单元

每个 DSP 宏单元包含一个 54 位 ALU54，是对乘法器功能的进一步加强，输入端和输出端均支持寄存器模式和旁路模式。支持的功能包括：

- 乘法器输出数据/0、数据 A 和数据 B 的加法/减法运算；
- 乘法器输出数据/0、数据 B 和进位 C 的加法/减法运算；
- 数据 A、数据 B 和进位 C 的加法/减法运算。

3.6.2 DSP 操作模式配置

- 乘法器(multiplier)模式
- 乘法累加器(accumulator)模式
- 乘法求和累加器模式

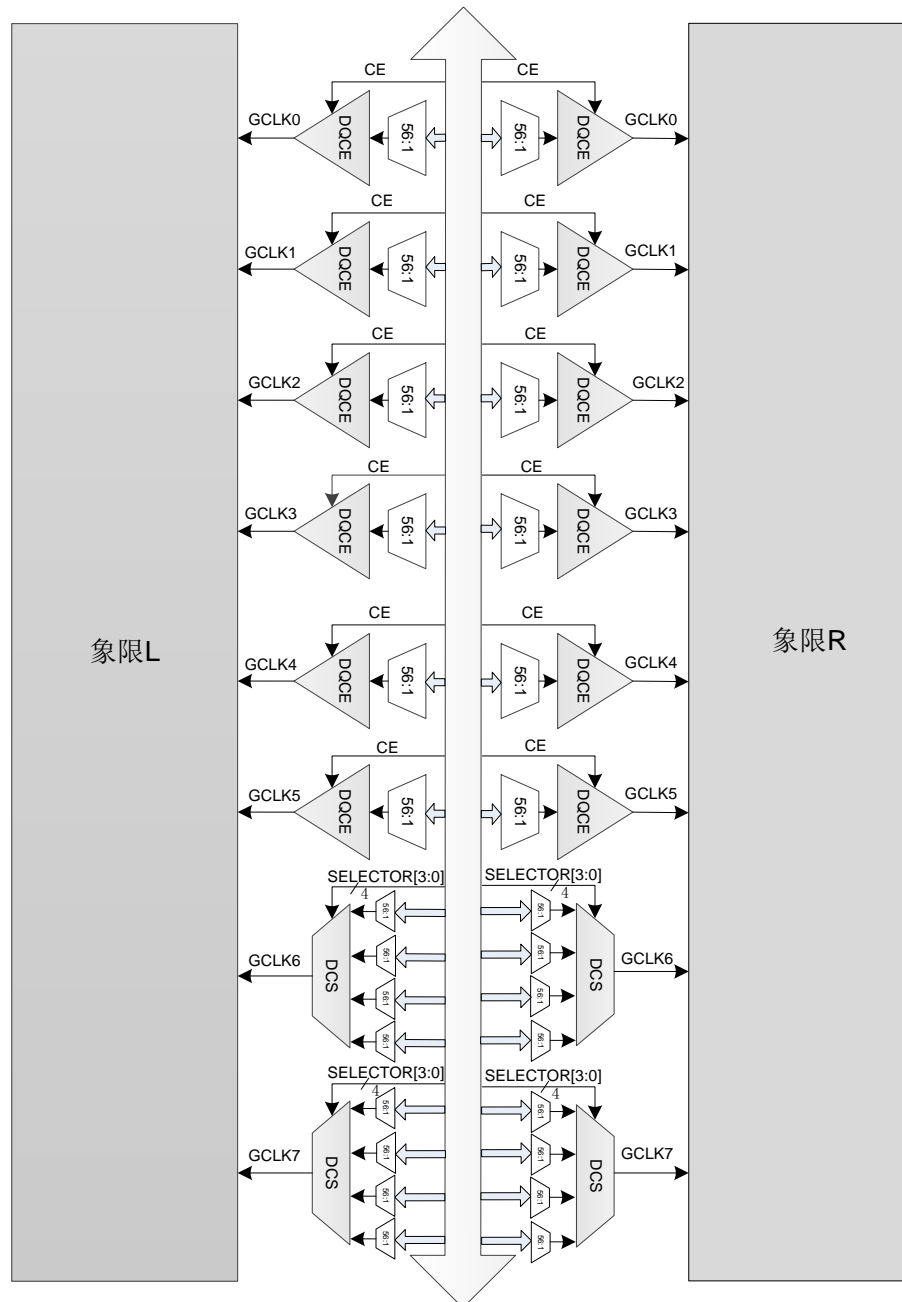
3.7 时钟

时钟资源及布线对 FPGA 高性能的应用至关重要。GW1N 系列 FPGA 产品(车规级)提供了专用全局时钟网络(GCLK)，直接连接到器件的所有资源。除了 GCLK 资源,还提供了高速时钟 HCLK 资源。此外,还提供了锁相环(PLL)等时钟资源。

3.7.1 全局时钟网络

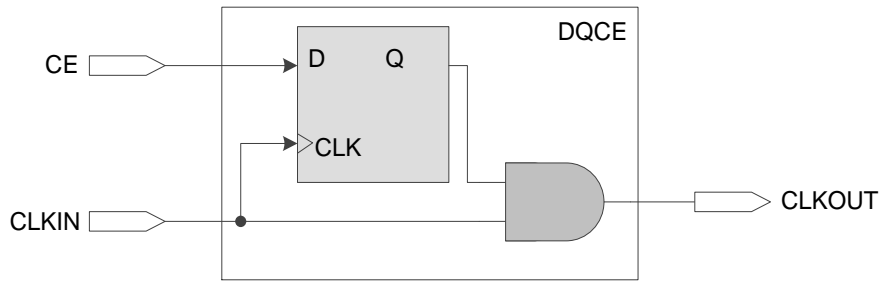
GCLK 在器件中按象限分布,分成 L、R 两个象限,每个象限提供 8 个 GCLK 网络。GCLK 的可选时钟源包括专用的时钟输入管脚和普通布线资源,使用专用的时钟输入管脚具有更好的时钟性能。

图 3-18 GCLK 象限分布示意



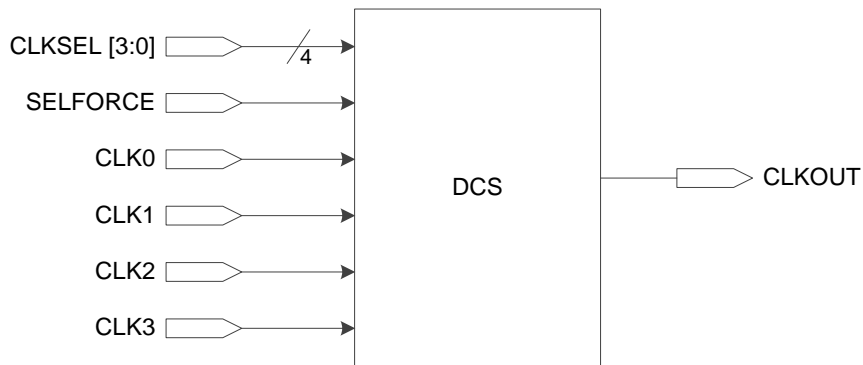
通过 DQCE(Dynamic Quadrant Clock Enable)可动态打开/关闭 GCLK0~GCLK5。关闭 GCLK0~GCLK5 时钟，GCLK0~GCLK5 驱动的内部逻辑不再翻转，从而降低了器件的总体功耗。

图 3-19 DQCE 结构示意图



每个象限的 GCLK6~GCLK7 由 DCS(Dynamic Clock Selector)控制，如图 3-20 所示，内部逻辑可以通过 CRU 在四个时钟输入之间动态选择，输出不带毛刺的时钟。

图 3-20 DCS 接口示意图

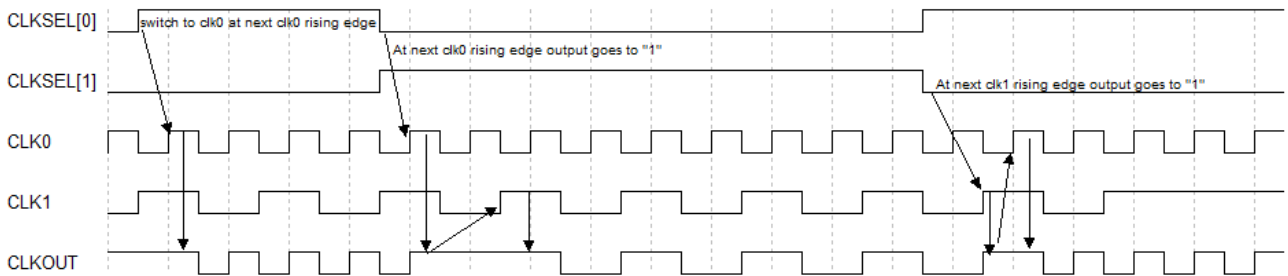


DCS 可以配置为以下几种模式：

1. DCS Rising Edge 模式

即在当前选择时钟的上升沿后转入常量 1，在新选择时钟的上升沿后转入新时钟，如图 3-21 所示。

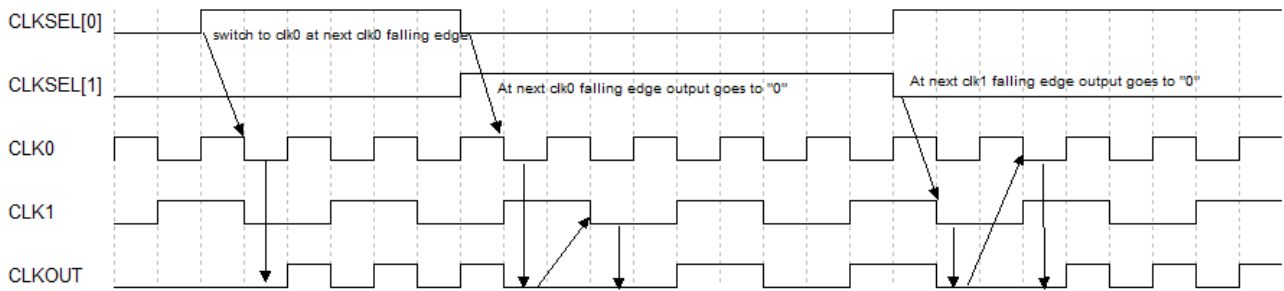
图 3-21 DCS Rising Edge 模式下的时序示意图



2. DCS Falling Edge 模式

即在当前选择时钟的下降沿后转入常量 0，在新选择时钟的下降沿后转入新时钟，如图 3-22 所示。

图 3-22 DCS Falling Edge 模式下的时序示意图



3. Clock Buffer 模式

此模式下，DCS 简化为普通的 Clock buffer。

3.7.2 锁相环

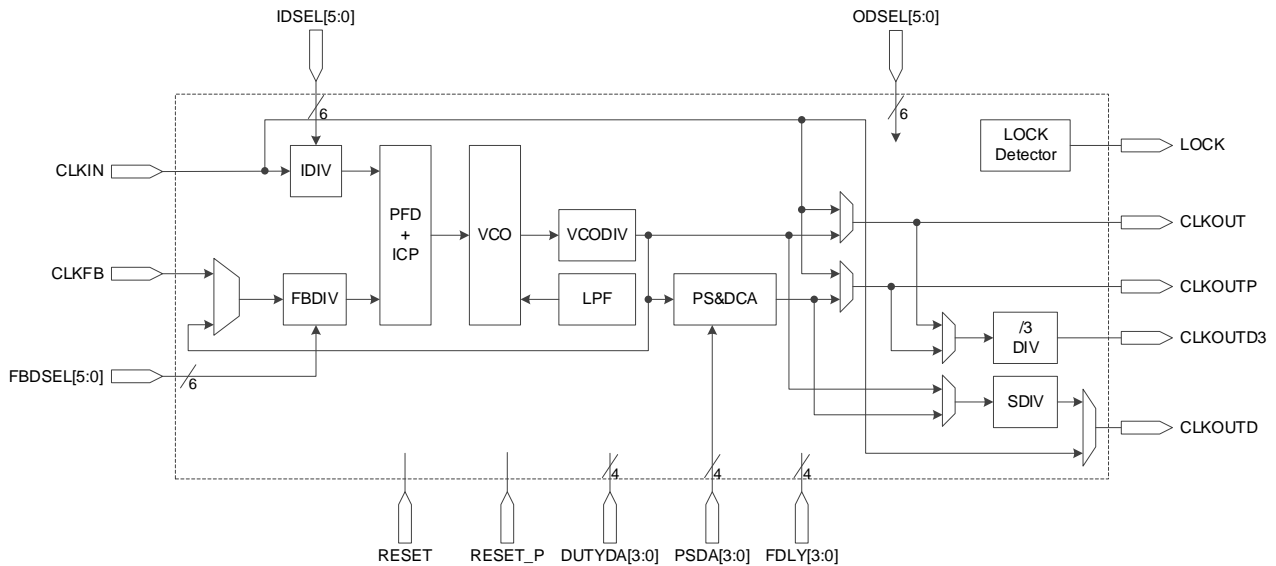
锁相环路是一种反馈控制电路，简称锁相环(PLL, Phase-locked Loop)。利用外部输入的参考时钟信号控制环路内部振荡信号的频率和相位。

GW1N 的 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。

GW1N-4

PLL 模块的结构框图如图 3-23 所示。

图 3-23 PLL 示意图(GW1N-4)



PLL 端口定义如表 3-13 所示。

表 3-13 PLL 端口定义

端口名称	信号	描述
CLKIN	输入	参考时钟输入
CLKFB	输入	反馈时钟输入

端口名称	信号	描述
RESET	输入	PLL 全部复位
RESET_P	输入	PLL 关断 (Power Down) 信号
IDSEL [5: 0]	输入	动态控制 IDIV 值, 范围 1~64
FBDSEL [5: 0]	输入	动态控制 FB DIV 值, 范围 1~64
PSDA [3: 0]	输入	动态相位控制(上升沿有效)
DUTYDA [3: 0]	输入	动态占空比控制(下降沿有效)
FDLY [3: 0]	输入	CLKOUTP 动态延迟控制
CLKOUT	输出	无相位和占空比调整的时钟输出
CLKOUTP	输出	有相位和占空比调整的时钟输出
CLKOUTD	输出	来自 CLKOUT 或 CLKOUTP 分频时钟 (由 SDIV 分频器控制)
CLKOUTD3	输出	来自 CLKOUT 或 CLKOUTP 的分频时钟(由 DIV3 分频器控制, DIV3 分频值固定为 3)
LOCK	输出	PLL 锁定指示: 1: 锁定; 0: 失锁

PLL 的参考时钟信号可以通过外部 PLL 时钟管脚输入, 也可以是通过绕线过去的全局时钟信号、高速时钟信号或普通数据信号。PLL 的反馈信号可以是外部 PLL 反馈信号的管脚的输入, 也可以是通过绕线过去的全局时钟信号、高速时钟信号或普通数据信号。

GW1N-4 器件的 PLL 性能请参考表 4-21 锁相环特性参数。

PLL 可对输入时钟 CLKIN 进行频率调整(倍频和分频), 计算公式如下:

1. $f_{CLKOUT} = (f_{CLKIN} * FB DIV) / IDIV$
2. $f_{VCO} = f_{CLKOUT} * ODIV$
3. $f_{CLKOUTD} = f_{CLKOUT} / SDIV$
4. $f_{PFD} = f_{CLKIN} / IDIV = f_{CLKOUT} / FB DIV$

注!

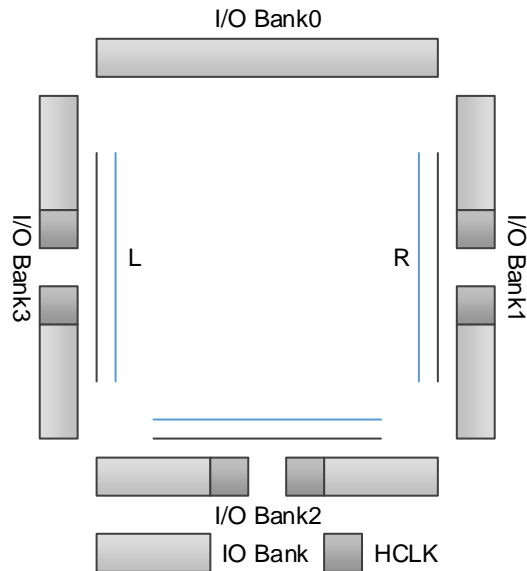
- f_{CLKIN} 为输入时钟 CLKIN 频率。
- f_{CLKOUT} 为 CLKOUT 和 CLKOUTP 时钟频率。
- $f_{CLKOUTD}$ 为 CLKOUTD 时钟频率, CLKOUTD 为 CLKOUT 分频后的时钟。
- f_{PFD} 为 PFD 鉴相频率, f_{PFD} 最小值不小于 3MHz。

即可通过调整 IDIV、FB DIV、ODIV、SDIV 来得到期望频率的时钟信号。

3.7.3 高速时钟

GW1N 系列 FPGA 产品(车规级)的高速时钟 HCLK 可以支持 I/O 完成高性能数据传输，是专门针对源时钟同步的数据传输接口而设计的，如图 3-24 所示。

图 3-24 GW1N-4 HCLK 示意图



3.8 长线

作为对 CRU 的有效补充，GW1N 系列 FPGA 产品(车规级)提供了灵活丰富的长线资源，适用于时钟、时钟使能、置复位或其它高扇出的信号。

3.9 全局复置位

GW1N 系列 FPGA 产品(车规级)中包含一个专用的全局复置位网络，直接连接到器件的内部逻辑，可用作异步/同步复位或异步/同步置位，CFU 和 I/O 中的寄存器均可以独立配置。

3.10 编程配置

GW1N 系列 FPGA 产品(车规级)支持 SRAM 编程和 Flash 编程。Flash 编程模式既支持片内 Flash 编程也支持片外 Flash 编程。GW1N 器件支持 DUAL BOOT 模式，为用户提供了一种备份选择，用户可以根据自身需要将配置数据备份在外部 Flash 中。

GW1N 系列 FPGA 产品(车规级)除了支持业界通用的 JTAG 配置模式外，还支持高云半导体特有的 GowinCONFIG 配置模式，支持多达 7 种模式：AUTO BOOT、SSPI、MSPI、DUAL BOOT、SERIAL、CPU 和 I2C Slave。所有器件均支持 JTAG 和 AUTO BOOT 模式。详细资料请参见 [UG290, Gowin FPGA 产品编程配置手册](#)。

3.10.1 SRAM 编程

GW1N 系列 FPGA 产品(车规级)的 SRAM 编程,每次上电后需要重新下载配置数据。

3.10.2 Flash 编程

Flash 编程的配置数据存放在片内 Flash 单元。上电后,配置数据从片内 Flash 单元传送到 SRAM 配置单元。在上电后的几个毫秒内就可以完成数据的配置,这种配置方式也称为“快速启动/瞬时启动”。

GW1N 系列 FPGA 产品(车规级)B 版本器件增加了 JTAG 透明传输的特性,即器件支持在不影响现有工作状态的情况下通过 JTAG 接口编程片内 Flash 或外部 Flash 的操作,编程过程中器件可以按照原有的配置正常工作,编程完成后,低电平触发 RECONFIG_N 即可完成在线升级。此特性适合应用于在线时间长但又需要不定期升级的场所。

GW1N 系列 FPGA 产品(车规级)还支持外部 Flash 编程模式和双启动模式,详细资料请参见 [UG290, Gowin FPGA 产品编程配置手册](#)。

3.11 片内晶振

GW1N 系列 FPGA 产品(车规级)内嵌了一个可编程片内晶振,支持 2.5MHz 到 125MHz 的时钟频率范围。片内晶振提供可编程的用户时钟,时钟精度可达±5%,编程过程中为 MSPI 编程模式提供时钟源。

片内晶振还可以为用户设计提供时钟源,通过配置工作参数,可以获得多达 64 种时钟频率。

GW1N-4 器件的片内晶振输出时钟频率计算公式为:

$$f_{\text{out}}=210\text{MHz}/\text{Param}。$$

注!

除数 Param 为配置参数,范围为 2~128,只支持偶数。

表 3-14 列举了片内晶振的部分频率,如默认频率、最大频率和某些参数的输出小数的频率。

表 3-14 GW1N-4 片内晶振的部分输出频率选项

模式	频率	模式	频率	模式	频率
0	2.1MHz ^[1]	8	6.6MHz	16	13.1MHz
1	4.6MHz	9	7MHz	17	15MHz
2	4.8MHz	10	7.5MHz	18	17.5MHz
3	5MHz	11	8.1MHz	19	21MHz
4	5.3MHz	12	8.8MHz	20	26.3MHz
5	5.5MHz	13	9.5MHz	21	35MHz

模式	频率	模式	频率	模式	频率
6	5.8MHz	14	10.5MHz	22	52.5MHz
7	6.2MHz	15	11.7MHz	23	105MHz ^[2]

注！

- [1]默认输出频率
- [2]不适用于 MSPI 编程模式

4 电气特性

注！

建议在推荐的工作条件及工作范围内使用高云半导体器件，超出工作条件及工作范围的数据仅供参考，高云半导体不保证所有器件都能在超出工作条件及工作范围的情况下正常工作。

4.1 工作条件

4.1.1 绝对最大范围

表 4-1 绝对最大范围

名称	描述	最小值	最大值
V _{CC}	LV 版本核电压	-0.5V	1.32V
	UV 版本核电压	-0.5V	3.75V
V _{CCO}	I/O Bank 电压	-0.5V	3.75V
V _{CCX}	辅助电压	-0.5V	3.75V
Storage Temperature	储存温度	-65℃	+150℃
Junction Temperature	结温	-40℃	+125℃

4.1.2 推荐工作范围

表 4-2 推荐工作范围

名称	描述	最小值	最大值
V _{CC}	LV 版本核电压	1.14V	1.26V
	UV 版本核电压	1.71V	3.465V
V _{CCO}	I/O Bank 电压	1.14V	3.465V
V _{CCX}	辅助电压	2.375V	3.465V
T _{JAUT}	结温(车规级)	-40℃	+105℃

注！

- 某些封装中 V_{CC0} 和 V_{CCX} 可能共用一个管脚, 这种情况下必须要优先满足 V_{CCX} 的要求。
- 详细的器件供电电压信息请参考 [UG105, GW1N-4 器件 Pinout 手册](#)。

4.1.3 电源上升斜率

表 4-3 电源上升斜率

名称	描述	器件	最小值	典型值	最大值
T_{RAMP}	内核电压上升斜率 (Power supply ramp rates for all power supplies)				
		GW1N-4	0.6mV/ μ s	-	6mV/ μ s
T_{RAMP_VCCX}	VCCX 上升斜率	GW1N	0.6mV/ μ s	-	10mV/us
T_{RAMP_VCCIO}	VCCIO 上升斜率	GW1N	0.6mV/ μ s	-	10mV/us

4.1.4 热插拔特性

表 4-4 热插拔特性

名称	描述	条件	I/O 类型	最大值
I_{HS}	输入漏电流 (Input or I/O leakage current)	$0 < V_{IN} < V_{IH}(MAX)$	I/O	150uA
I_{HS}	输入漏电流 (Input or I/O leakage current)	$0 < V_{IN} < V_{IH}(MAX)$	TDI, TDO, TMS, TCK	120uA

4.1.5 POR 特性

表 4-5 POR 电压参数

名称	描述	名称	最小值	最大值
POR 电压值	上电复位触发电平 Power on reset voltage of Vcc	VCC	0.75	1
		VCCX	1.8	2
		VCCIO	0.85	0.98

4.2 ESD 性能

表 4-6 GW1N ESD - HBM

器件	GW1N-4
PG256	HBM>1,000V
QN88	HBM>1,000V

表 4-7 GW1N ESD - CDM

器件	GW1N-4
PG256	CDM>500V
QN88	CDM>500V

4.3 DC 电气特性

4.3.1 推荐工作范围 DC 电气特性

表 4-8 推荐工作范围条件下 DC 电气特性

名称	描述	条件	最小值	典型值	最大值
I_{IL}, I_{IH}	I/O 输入漏电流 (Input or I/O leakage)	$V_{CCO} < V_{IN} < V_{IH}(MAX)$	-	-	210 μ A
		$0V < V_{IN} < V_{CCO}$	-	-	10 μ A
I_{PU}	I/O 上拉电流 (I/O Active Pull-up Current)	$0 < V_{IN} < 0.7V_{CCO}$	-30 μ A	-	-150 μ A
I_{PD}	I/O 下拉电流 (I/O Active Pull-down Current)	$V_{IL}(MAX) < V_{IN} < V_{CCO}$	30 μ A	-	150 μ A
I_{BHLS}	总线保持低电平时 持续电流 (Bus Hold Low Sustaining Current)	$V_{IN} = V_{IL}(MAX)$	30 μ A	-	-
I_{BHHS}	总线保持高电平时 持续电流 (Bus Hold High Sustaining Current)	$V_{IN} = 0.7V_{CCO}$	-30 μ A	-	-
I_{BHLO}	总线保持低电平时 过载电流 (Bus Hold Low Overdrive Current)	$0 \leq V_{IN} \leq V_{CCO}$	-	-	150 μ A
I_{BHHO}	总线保持高电平时 过载电流 (Bus Hold High Overdrive Current)	$0 \leq V_{IN} \leq V_{CCO}$	-	-	-150 μ A
V_{BHT}	总线保持触发点时 电压(Bus hold trip points)		$V_{IL}(MAX)$	-	$V_{IH}(MIN)$

名称	描述	条件	最小值	典型值	最大值
C1	I/O 电容 (I/O Capacitance)			5pF	8pF
V _{HYST}	输入迟滞 (Hysteresis for Schmitt Trigger inputs)	V _{CCO} =3.3V, Hysteresis= Large	-	482mV	-
		V _{CCO} =2.5V, Hysteresis= Large	-	302mV	-
		V _{CCO} =1.8V, Hysteresis= Large	-	152mV	-
		V _{CCO} =1.5V, Hysteresis= Large	-	94mV	-
		V _{CCO} =3.3V, Hysteresis= Small	-	240mV	-
		V _{CCO} =2.5V, Hysteresis= Small	-	150mV	-
		V _{CCO} =1.8V, Hysteresis= Small	-	75mV	-
		V _{CCO} =1.5V, Hysteresis= Small	-	47mV	-

4.3.2 静态电流

表 4-9 静态电流

器件	名称	描述	器件类型	典型值 (mA)	最大值 (mA)
GW1N-4	I _{CC}	Core 电源电流 (V _{CC} =1.2V)	LV/UV	2.8	-
	I _{CCX}	V _{CCX} 电源电流(V _{CCX} =3.3V)	LV/UV	1.15	-
	I _{CCO}	I/O Bank 电源电流(V _{CCO} =2.5V)	LV/UV	0.55	-

4.3.3 编程下载电流

表 4-10 编程下载电流

器件	描述	器件类型	典型值 (mA)	最大值 (mA)
GW1N-4	编程 Flash 时 Core 电源电流(V _{CC} =1.2V)	LV 版本	-	-
	编程 Flash 时 V _{CCX} 电源电流(V _{CCX} =3.3V)	LV 版本	-	-
	编程 Flash 时 I/O Bank 电源电流(V _{CCO} =2.5V)	LV 版本	-	-

4.3.4 I/O 推荐工作条件

表 4-11 I/O 推荐工作条件

名称	输出对应的 $V_{CCO}(V)$			输入对应的 $V_{REF}(V)$		
	最小值	典型值	最大值	最小值	典型值	最大值
LVTTTL33	3.135	3.3	3.465	-	-	-
LVC MOS33	3.135	3.3	3.465	-	-	-
LVC MOS25	2.375	2.5	2.625	-	-	-
LVC MOS18	1.71	1.8	1.89	-	-	-
LVC MOS15	1.425	1.5	1.575	-	-	-
LVC MOS12	1.14	1.2	1.26	-	-	-
SSTL15	1.425	1.5	1.575	0.68	0.75	0.9
SSTL18_I	1.71	1.8	1.89	0.833	0.9	0.969
SSTL18_II	1.71	1.8	1.89	0.833	0.9	0.969
SSTL25_I	2.375	2.5	2.645	1.15	1.25	1.35
SSTL25_II	2.375	2.5	2.645	1.15	1.25	1.35
SSTL33_I	3.135	3.3	3.465	1.3	1.5	1.7
SSTL33_II	3.135	3.3	3.465	1.3	1.5	1.7
HSTL18_I	1.71	1.8	1.89	0.816	0.9	1.08
HSTL18_II	1.71	1.8	1.89	0.816	0.9	1.08
HSTL15	1.425	1.5	1.575	0.68	0.75	0.9
PCI33	3.135	3.3	3.465	-	-	-
LVPECL33E	3.135	3.3	3.465	-	-	-
MLVDS25E	2.375	2.5	2.625	-	-	-
BLVDS25E	2.375	2.5	2.625	-	-	-
RSDS25E	2.375	2.5	2.625	-	-	-
LVDS25E	2.375	2.5	2.625	-	-	-
SSTL15D	1.425	1.5	1.575	-	-	-
SSTL18D_I	1.71	1.8	1.89	-	-	-
SSTL18D_II	1.71	1.8	1.89	-	-	-
SSTL25D_I	2.375	2.5	2.625	-	-	-
SSTL25D_II	2.375	2.5	2.625	-	-	-
SSTL33D_I	3.135	3.3	3.465	-	-	-
SSTL33D_II	3.135	3.3	3.465	-	-	-

名称	输出对应的 $V_{CCO}(V)$			输入对应的 $V_{REF}(V)$		
	最小值	典型值	最大值	最小值	典型值	最大值
HSTL15D	1.425	1.575	1.89	-	-	-
HSTL18D_I	1.71	1.8	1.89	-	-	-
HSTL18D_II	1.71	1.8	1.89	-	-	-

4.3.5 单端 I/O DC 电气特性

表 4-12 单端 I/O DC 电气特性

名称	V_{IL}		V_{IH}		V_{OL} (Max)	V_{OH} (Min)	I_{OL} (mA)	I_{OH} (mA)
	Min	Max	Min	Max				
LVCMOS33 LVTTTL33	-0.3V	0.8V	2.0V	3.6V	0.4V	$V_{CCO}-0.4V$	4	-4
							8	-8
							12	-12
							16	-16
							24	-24
					0.2V	$V_{CCO}-0.2V$	0.1	-0.1
LVCMOS25	-0.3V	0.7V	1.7V	3.6V	0.4V	$V_{CCO}-0.4V$	4	-4
							8	-8
							12	-12
							16	-16
LVCMOS18	-0.3V	$0.35 \cdot V_{CCO}$	$0.65 \cdot V_{CCO}$	3.6V	0.4V	$V_{CCO}-0.4V$	4	-4
							8	-8
							12	-12
LVCMOS15	-0.3V	$0.35 \cdot V_{CCO}$	$0.65 \cdot V_{CCO}$	3.6V	0.4V	$V_{CCO}-0.4V$	4	-4
							8	-8
LVCMOS12	-0.3V	$0.35 \cdot V_{CCO}$	$0.65 \cdot V_{CCO}$	3.6V	0.4V	$V_{CCO}-0.4V$	2	-2
							6	-6
PCI33	-0.3V	$0.3 \cdot V_{CCO}$	$0.5 \cdot V_{CCO}$	3.6V	$0.1 \cdot V_{CCO}$	$0.9 \cdot V_{CCO}$	1.5	-0.5
SSTL33_I	-0.3V	$V_{REF}-0.2V$	$V_{REF}+0.2V$	3.6V	0.7	$V_{CCO}-1.1V$	8	-8

名称	V_{IL}		V_{IH}		V_{OL} (Max)	V_{OH} (Min)	I_{OL} (mA)	I_{OH} (mA)
	Min	Max	Min	Max				
SSTL25_I	-0.3V	$V_{REF}-0.18V$	$V_{REF}+0.18V$	3.6V	0.54V	$V_{CCO}-0.62V$	8	-8
SSTL25_II	-0.3V	$V_{REF}-0.18V$	$V_{REF}+0.18V$	3.6V	NA	NA	NA	NA
SSTL18_II	-0.3V	$V_{REF}-0.125V$	$V_{REF}+0.125V$	3.6V	NA	NA	NA	NA
SSTL18_I	-0.3V	$V_{REF}-0.125V$	$V_{REF}+0.125V$	3.6V	0.40V	$V_{CCO}-0.40V$	8	-8
SSTL15	-0.3V	$V_{REF}-0.1V$	$V_{REF}+0.1V$	3.6V	0.40V	$V_{CCO}-0.40V$	8	-8
HSTL18_I	-0.3V	$V_{REF}-0.1V$	$V_{REF}+0.1V$	3.6V	0.40V	$V_{CCO}-0.40V$	8	-8
HSTL18_II	-0.3V	$V_{REF}-0.1V$	$V_{REF}+0.1V$	3.6V	NA	NA	NA	NA
HSTL15_I	-0.3V	$V_{REF}-0.1V$	$V_{REF}+0.1V$	3.6V	0.40V	$V_{CCO}-0.40V$	8	-8
HSTL15_II	-0.3V	$V_{REF}-0.1V$	$V_{REF}+0.1V$	3.6V	NA	NA	NA	NA

4.3.6 差分 I/O DC 电气特性

表 4-13 差分 I/ODC 电气特性

名称	描述	测试条件	最小	典型	最大	单位
V_{INA}, V_{INB}	输入电压(Input Voltage)		0	-	2.4	V
V_{CM}	共模输入电压 (Input Common Mode Voltage)	Half the Sum of the Two Inputs	0.05	-	2.35	V
V_{THD}	差分输入门限(Differential Input Threshold)	Difference Between the Two Inputs	± 100	-	-	mV
I_{IN}	输入电流(Input Current)	Power On or Power Off	-	-	± 10	μA
V_{OH}	输出高电平(Output High Voltage for V_{OP} or V_{OM})	$R_T = 100\Omega$	-	-	1.60	V
V_{OL}	输出低电平(Output Low Voltage for V_{OP} or V_{OM})	$R_T = 100\Omega$	0.9	-	-	V
V_{OD}	差模输出电压(Output Voltage Differential)	$(V_{OP} - V_{OM}), R_T=100\Omega$	250	350	450	mV
ΔV_{OD}	差模输出电压的变化范围 (Change in V_{OD} Between High and Low)		-	-	50	mV
V_{OS}	输出零漂(Output Voltage Offset)	$(V_{OP} + V_{OM})/2, R_T=100\Omega$	1.125	1.20	1.375	V
ΔV_{OS}	输出零漂变化(Change in V_{OS} Between High and Low)		-	-	50	mV
I_S	短路电流	$V_{OD} = 0V$ 两路输出短接	-	-	15	mA

4.4 AC 开关特性

4.4.1 CFU 开关特性

表 4-14 CFU 内部时序参数

名称	描述	速度等级		单位
		Min	Max	
t_{LUT4_CFU}	LUT4 延迟(LUT4 delay)	-	0.674	ns
t_{LUT5_CFU}	LUT5 延迟(LUT5 delay)	-	1.388	ns
t_{LUT6_CFU}	LUT6 延迟(LUT6 delay)	-	2.01	ns
t_{LUT7_CFU}	LUT7 延迟(LUT7 delay)	-	2.632	ns
t_{LUT8_CFU}	LUT8 延迟(LUT8 delay)	-	3.254	ns
t_{SR_CFU}	置位/复位到寄存器输出时间(Set/Reset to Register output)	-	1.86	ns
t_{CO_CFU}	时钟到寄存器输出时间(Clock to Register output)	-	0.76	ns

4.4.2 BSRAM 开关特性

表 4-15 BSRAM 时序参数

名称	描述	速度等级		单位
		Min	Max	
t_{COAD_BSRAM}	BSRAM 读地址/数据的时钟到输出延时 (Clock to output time of read address/data)	-	5.10	ns
t_{COOR_BSRAM}	BSRAM 输出寄存器的时钟到输出延时 (Clock to output time of output register)	-	0.56	ns

4.4.3 DSP 开关特性

表 4-16 DSP 时序参数

名称	描述	速度等级		单位
		Min	Max	
t_{COIR_DSP}	输入寄存器的时钟到输出延时 (Clock to output time of input register)	-	4.80	ns
t_{COPR_DSP}	流水寄存器的时钟到输出延时 (Clock to output time of pipeline register)	-	2.40	ns
t_{COOR_DSP}	输出寄存器的时钟到输出延时 (Clock to output time of output register)	-	0.84	ns

4.4.4 Gearbox 开关特性

表 4-17 Gearbox 时序参数

器件	名称	描述	最小值	单位
GW1N-4	F_{MAX_IDDR}	2:1 Gearbox 输入 IO 最大串行速率	1000	Mbps
	F_{MAX_IDES4}	4:1 Gearbox 输入 IO 最大串行速率	500	Mbps
	F_{MAX_IDESx}	7:1/8:1/10:1 Gearbox 输入 IO 最大串行速率	1000	Mbps
	F_{MAX_ODDR}	1:2 Gearbox 输出 IO 最大串行速率	1000	Mbps
	F_{MAX_OSER4}	1:4 Gearbox 输出 IO 最大串行速率	500	Mbps
	F_{MAX_OSERx}	1:7/1:8/1:10 Gearbox 输出 IO 最大串行速率	1000	Mbps

注!

LVDS IO 速度可以达到 1Gbps, 但是请注意 1:4 1:2 时候, 内核速度可能达不到相应的速度。

表 4-18 单端 IO Fmax

名称	Fmax	
	最小值(Mhz)	
	DriverStrength = 4mA	DriverStrength > 4mA
LVTTL33	150	300
LVC MOS33	150	300
LVC MOS25	150	300
LVC MOS18	150	300
LVC MOS15	150	200
LVC MOS12	150	150

注!

测试 loading 为 30pF 电容。

4.4.5 时钟和 I/O 开关特性

表 4-19 外部开关特性

名称	说明	器件	-5		-6		单位
			Min	Max	Min	Max	
HCLK Tree delay	TBD	TBD	TBD	TBD	TBD	TBD	
PCLK Tree delay	TBD	TBD	TBD	TBD	TBD	TBD	
Pin-LUT-Pin Delay	TBD	TBD	TBD	TBD	TBD	TBD	
IO Buffer delay	TBD	TBD	TBD	TBD	TBD	TBD	

4.4.6 片内晶振开关特性

表 4-20 片内晶振特性参数

名称	说明		最小值	典型值	最大值
f_{MAX}	晶振输出频率 (0 ~ +85°C)	GW1N-4	99.75MHz	105MHz	110.25MHz
	晶振输出频率 (-40 ~ +100°C)	GW1N-4	94.5MHz	105MHz	115.5MHz
t_{DT}	输出时钟占空比		43%	50%	57%
t_{OPJIT}	输出时钟抖动		0.01UIPP	0.012UIPP	0.02UIPP

4.4.7 锁相环开关特性

表 4-21 锁相环特性参数

器件	速度等级	名称	最小值	最大值
GW1N-4	A4	CLKIN	3MHZ	320MHZ
		PFD	3MHZ	320MHZ
		VCO	320MHZ	800MHZ
		CLKOUT	2.5MHZ	400MHZ

4.5 用户闪存电气特性

4.5.1 DC 电气特性¹

($T_J = -40\sim+100^\circ\text{C}$, $V_{CC} = 0.95\sim 1.05\text{V}$, $V_{CCX} = 1.7\sim 3.45\text{V}$, $V_{SS} = 0\text{V}$)

表 4-22 GW1N-4 器件用户闪存 DC 电气特性

名称	参数	最大值		单位	Wake-up 时间	条件
		V_{CC} ^[3]	V_{CCX}			
读模式 (w/ 25ns) ^[1]	I_{CC1} ^[2]	2.19	0.5	mA	NA	最小时钟周期, 占空比 100%, $V_{IN} = "1/0"$
写模式		0.1	12	mA	NA	-
擦除模式		0.1	12	mA	NA	-
页擦除模式		0.1	12	mA	NA	-
读模式静态电流 (25-50ns 之间)	I_{CC2}	980	25	μA	NA	$XE=YE=SE = "1"$, 在 $T=T_{acc}$ 到 $T=50\text{ns}$ 之间, I/O 的电流为 0mA。T=50ns 之后, 内部定时器关闭读模式, I/O 的电流为待机模式电流
待机模式	I_{SB}	5.2	20	μA	0	V_{SS} 、 V_{CCX} 和 V_{CC}

注!

- [1]这些数值为直流平均电流值, 峰值电流值会高于该平均电流值;
- [2] I_{CC1} 在 T_{new} 不同的时钟周期计算:
 - 不允许 $T_{new} < T_{acc}$
 - $T_{new} = T_{acc}$
 - $T_{acc} < T_{new} - 50\text{ns}$: $I_{CC1}(\text{new}) = (I_{CC1} - I_{CC2})(T_{acc}/T_{new}) + I_{CC2}$
 - $T_{new} > 50\text{ns}$: $I_{CC1}(\text{new}) = (I_{CC1} - I_{CC2})(T_{acc}/T_{new}) + 50\text{ns} * I_{CC2}/T_{new} + I_{SB}$
 - $t > 50\text{ns}$, $I_{CC2} = I_{SB}$
- [3]从 wake-up time 的零时刻开始 V_{CC} 必须大于 1.08V。

4.5.2 时序参数^{[1],[5],[6]}

($T_J = -40\sim+100^\circ\text{C}$, $V_{CC} = 0.95\sim 1.05\text{V}$, $V_{CCX} = 1.7\sim 3.45\text{V}$, $V_{SS} = 0\text{V}$)

表 4-23 GW1N-4 器件用户闪存时序参数

用户模式	参数	符号	最小值	最大值	单位
访问时间 ^[2]	WC1	$T_{acc}^{[3]}$	-	25	ns
	TC		-	22	ns
	BC		-	21	ns
	LT		-	21	ns
	WC		-	25	ns
编程/擦除到数据存储建立时间		T_{nvs}	5	-	μs
数据存储保持时间		T_{nvh}	5	-	μs
数据存储保持时间(整体擦除)		T_{nvh1}	100	-	μs
数据存储到编程建立时间		T_{pgs}	10	-	μs
编程保持时间		T_{pgh}	20	-	ns
写时间		T_{prog}	8	16	μs
写准备时间		T_{wpr}	>0	-	ns
擦除保持时间		T_{whd}	>0	-	ns
控制信号到写/擦除建立时间		T_{cps}	-10	-	ns
SE 到读操作建立时间		T_{as}	0.1	-	ns
SE 脉冲的高电平时间		T_{pws}	5	-	ns
地址/数据建立时间		T_{ads}	20	-	ns
地址/数据保持时间		T_{adh}	20	-	ns
数据保持时间		T_{dh}	0.5	-	ns
读模式地址保持时间 ^[3]	WC1	T_{ah}	25	-	ns
	TC	-	22	-	ns
	BC	-	21	-	ns
	LT	-	21	-	ns
	WC	-	25	-	ns
SE 脉冲低电平时间		T_{nws}	2	-	ns
恢复时间		T_{rcv}	10	-	μs
数据存储时间		$T_{nv}^{[4]}$	-	6	ms
擦除时间		T_{erase}	100	120	ms
整体擦除时间		T_{me}	100	120	ms
掉电到待机模式的 Wake-up 时间		T_{wk_pd}	7	-	μs

用户模式	参数	符号	最小值	最大值	单位
待机保持时间		T_{sbh}	100	-	ns
V_{CC} 建立时间		T_{ps}	0	-	ns
V_{CCX} 保持时间		T_{ph}	0	-	ns

注!

- [1]这些设定值可能会改变。
- [2]这些数值为仿真数据，在实际器件中会有改变。
- [3]在信号 XADR、YADR、XE 和 YE 信号有效后， T_{acc} 的开始时间为 SE 信号的上升沿。读取的数据 DOUT 被保存直到在下一有效读操作开始。
- [4] T_{hv} 时间为写操作开始到数据下一次擦除操作之前的累积时间，同一个地址在下一擦除之前不能被写入两次；同一个存储单元在下一擦除之前不能被写入两次。这种限制是基于安全考虑的。
- [5]所有的波形都有 1ns 的上升沿时间和 1ns 的下降沿时间。
- [6]控制信号 X、YADR、XE 和 YE 信号需要至少保持 T_{acc} 的时间， T_{acc} 从 SE 的上升沿处开始。

4.5.3 操作时序图 (GW1N-4)

图 4-1 用户闪存读操作时序

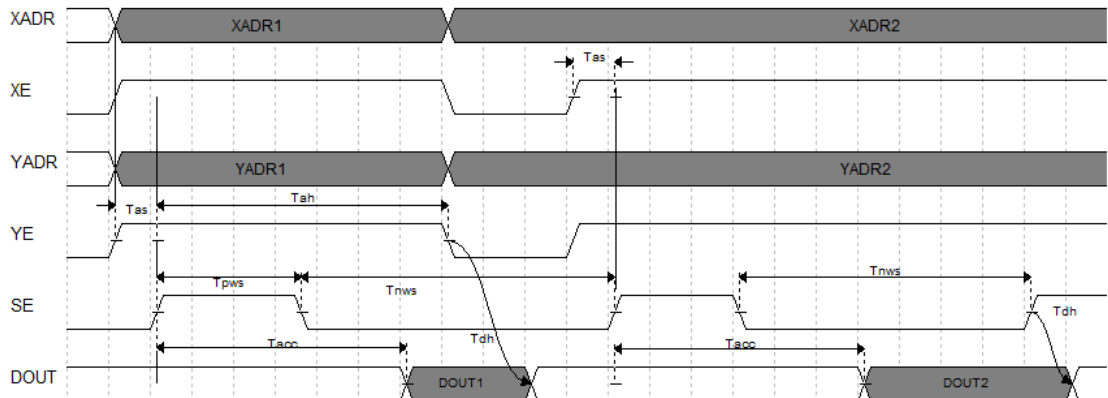


图 4-2 用户闪存编程操作时序

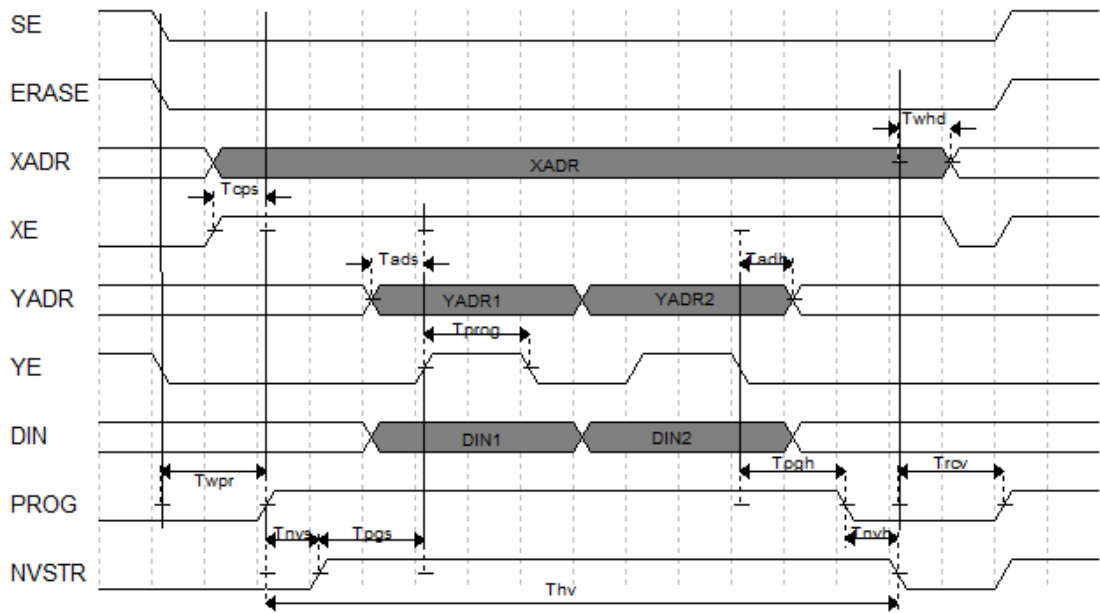
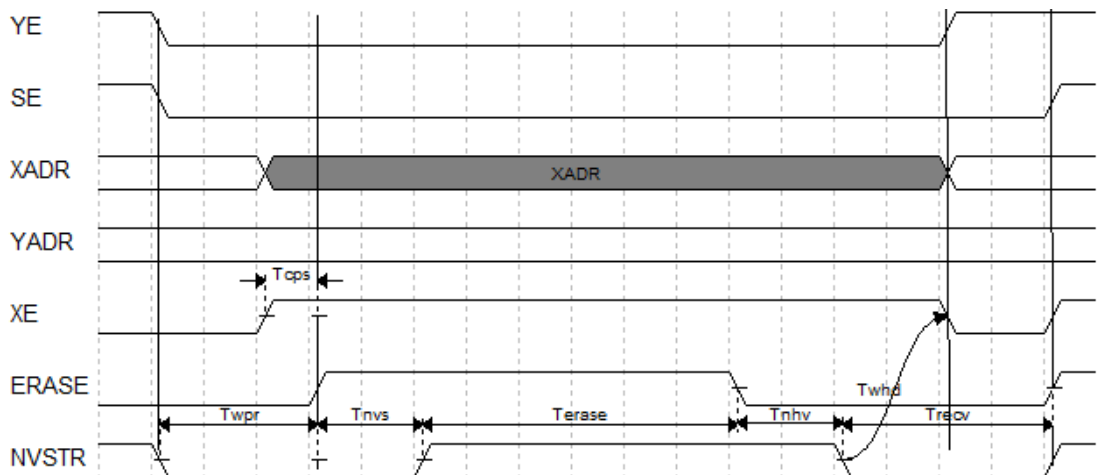


图 4-3 用户闪存擦除操作时序



4.6 编程接口时序标准

GW1N 系列 FPGA 产品(车规级)GowinCONFIG 配置模式支持多达 7 种,包括自启动模式、双启动模式、MSPI 模式、SSPI 模式、CPU 模式、SERIAL 模式、I²C Slave 模式,详细资料请参见 [UG290, Gowin FPGA 产品编程配置手册](#)。

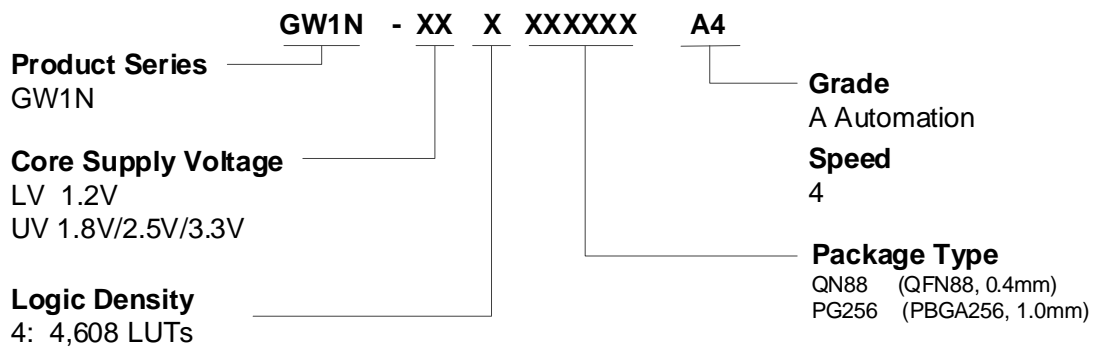
5 器件订货信息

5.1 器件命名

注!

关于器件详细的封装信息请参考 2.2 产品信息列表及 2.3 封装信息列表。

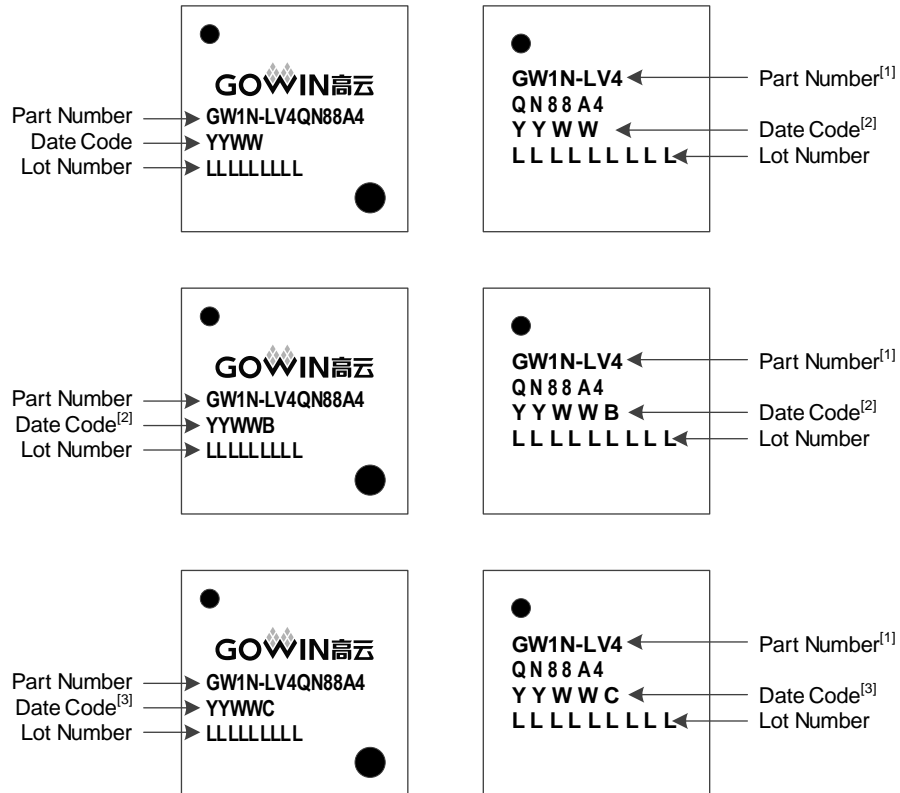
图 5-1 器件命名方法 - Production



5.2 器件封装标识

高云半导体产品在芯片表面印制了器件信息，如图 5-2 所示。

图 5-2 器件封装标识示例



注！

- [1] 上图右图中第一行与第二行均为“Part Number”；
- [2] B 版本器件的 Data Code 后增加一位版本标识“B”；
- [3] C 版本器件的 Data Code 后增加一位版本标识“C”。

