



# GW1NZ 系列 FPGA 产品 数据手册

DS841-1.4, 2019-11-06

## **版权所有© 2019 广东高云半导体科技股份有限公司**

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

日期	版本	说明
2019/01/23	1.0	初始版本。
2019/02/12	1.1	修改器件命名图示。
2019/04/03	1.2	<ul style="list-style-type: none"><li>● 更新 I/O BANK 框图；</li><li>● 增加 I3C 和 SPMI 模块描述，增加片内晶振精度的描述；</li><li>● 电气特性中的环境温度更新为结温。</li></ul>
2019/09/25	1.3	<ul style="list-style-type: none"><li>● 增加注释：GW1NZ-1 只支持差分输出，不支持差分输入；</li><li>● 修改电源上升斜率。</li></ul>
2019/11/06	1.4	更新最大 I/O 数。

# 目录

目录 .....	<b>i</b>
图目录 .....	<b>iv</b>
表目录 .....	<b>vi</b>
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 适用产品 .....	1
1.3 相关文档 .....	1
1.4 术语、缩略语 .....	2
1.5 技术支持与反馈 .....	3
<b>2 产品概述 .....</b>	<b>4</b>
2.1 特性概述 .....	4
2.2 产品信息列表 .....	6
2.3 封装信息列表 .....	6
<b>3 结构介绍 .....</b>	<b>7</b>
3.1 结构框图 .....	7
3.2 可配置功能单元 .....	8
3.2.1 查找表 .....	9
3.2.2 寄存器 .....	10
3.2.3 布线资源单元 .....	10
3.3 输入输出模块 .....	10
3.3.1 I/O 电平标准 .....	11
3.3.2 I/O 逻辑 .....	13
3.3.3 I/O 逻辑工作模式 .....	15
3.4 I3C 总线模块 .....	19
3.4.1 概述 .....	19
3.4.2 特性 .....	20
3.4.3 端口信号 .....	20
3.5 SPMI 模块 .....	22

3.5.1 概述.....	22
3.5.2 端口信号.....	22
3.6 块状静态随机存储器模块 .....	23
3.6.1 简介 .....	23
3.6.2 存储器配置模式.....	25
3.6.3 存储器混合数据宽度配置 .....	25
3.6.4 字节使能功能配置 .....	26
3.6.5 校验位功能配置.....	26
3.6.6 同步操作.....	26
3.6.7 上电情况.....	26
3.6.8 存储器操作模式.....	26
3.6.9 B-SRAM 操作模式 .....	30
3.6.10 时钟模式.....	32
3.7 用户闪存资源 .....	33
3.7.1 简介 .....	33
3.7.2 端口信号.....	34
3.7.3 操作模式.....	34
3.8 时钟.....	35
3.8.1 全局时钟网络 .....	35
3.8.2 锁相环 .....	38
3.8.3 高速时钟.....	40
3.9 长线.....	40
3.10 全局复置位 .....	40
3.11 编程配置 .....	40
3.11.1 SRAM 编程.....	41
3.11.2 Flash 编程 .....	41
3.12 片内晶振.....	41
<b>4 电气特性 .....</b>	<b>42</b>
4.1 工作条件.....	42
4.2 ESD 性能 .....	43
4.3 DC 电气特性 .....	45
4.4 开关特性.....	47
4.4.1 内部开关特性 .....	47
4.4.2 外部开关特性 .....	47
4.5 用户闪存电气特性 .....	48
4.5.1 DC 电气特性 .....	48

---

4.5.2 时序参数.....	49
4.5.3 操作时序图.....	50
4.6 编程接口时序标准.....	51
4.6.1 JTAG 模式接口时序标准.....	51
4.6.2 AUTO BOOT 模式接口时序标准.....	52
4.6.3 SSPI 模式接口时序标准.....	54
4.6.4 MSPI 模式接口时序标准.....	55
4.6.5 DUAL BOOT 模式.....	56
4.6.6 CPU 模式.....	56
4.6.7 SERIAL 模式.....	56
<b>5 器件订货信息.....</b>	<b>57</b>
5.1 器件命名.....	57
5.2 器件封装标识.....	58

# 图目录

图 3-1 GW1NZ 器件结构概念示意图 .....	7
图 3-2 CFU 结构示意图 .....	9
图 3-3 CFU 中的寄存器示意图 .....	10
图 3-4 IOB 结构示意图 .....	11
图 3-5 GW1NZ 的 I/O Bank 分布示意图 .....	12
图 3-6 I/O 逻辑输出示意图 .....	13
图 3-7 I/O 逻辑输入示意图 .....	13
图 3-8 IODELAY 示意图 .....	14
图 3-9 GW1NZ 的 I/O 寄存器示意图 .....	14
图 3-10 GW1NZ 的 IEM 示意图 .....	14
图 3-11 普通模式下的 I/O 逻辑结构示意图 .....	15
图 3-12 SDR 模式下的 I/O 逻辑结构示意图 .....	16
图 3-13 I/O 逻辑的 DDR 输入示意图 .....	16
图 3-14 I/O 逻辑的 DDR 输出示意图 .....	17
图 3-15 I/O 逻辑的 IDES4 输入示意图 .....	17
图 3-16 I/O 逻辑的 OSER4 输出示意图 .....	17
图 3-17 I/O 逻辑的 IVideo 输入示意图 .....	18
图 3-18 I/O 逻辑的 OVideo 输出示意图 .....	18
图 3-19 I/O 逻辑的 IDES8 输入示意图 .....	18
图 3-20 I/O 逻辑的 OSER8 输出示意图 .....	19
图 3-21 I/O 逻辑的 IDES10 输入示意图 .....	19
图 3-22 I/O 逻辑的 OSER10 输出示意图 .....	19
图 3-23 单端口存储模式框图 .....	27
图 3-24 双端口存储模式框图 .....	28
图 3-25 伪双端口存储模式框图 .....	28
图 3-26 只读模式存储框图 .....	29
图 3-27 单端口、伪双端口及双端口模式下的流水线模式 .....	31
图 3-28 独立时钟模式 .....	32
图 3-29 读写时钟模式 .....	32

图 3-30 单端口时钟模式 .....	33
图 3-31 GW1NZ-1 用户闪存端口信号 .....	34
图 3-32 GW1NZ-1 器件时钟资源.....	35
图 3-33 GCLK 象限分布示意 .....	36
图 3-34 DQCE 结构示意图 .....	36
图 3-35 DCS 接口示意图.....	37
图 3-36 DCS Rising Edge 模式下的时序示意图.....	37
图 3-37 DCS Falling Edge 模式下的时序示意图 .....	37
图 3-38 PLL 示意图 .....	38
图 3-39 GW1NZ-1 HCLK 示意图.....	40
图 4-1 读操作模式.....	50
图 4-2 写入操作模式 .....	50
图 4-3 擦除操作模式.....	51
图 4-4 JTAG 编程模式时序示意图 .....	51
图 4-5 重新上电时序图 .....	52
图 4-6 RECONFIG_N 触发时序图.....	53
图 4-7 SSPI 编程模式时序图 .....	54
图 4-8 MSPI 编程模式时序示意图 .....	55
图 5-1 器件命名方法-ES.....	57
图 5-2 器件命名方法-Production.....	57
图 5-3 器件封装标识.....	58



# 表目录

表 1-1 术语、缩略语 .....	2
表 2-1 产品信息列表 .....	6
表 2-2 产品封装和最大用户 I/O 信息列表 .....	6
表 3-1 CFU 中寄存器模块信号说明 .....	10
表 3-2 GW1NZ 系列 FPGA 产品支持的输出 I/O 类型及部分可选配置 .....	12
表 3-3 GW1NZ 支持的输入 I/O 类型及部分可选配置 .....	13
表 3-4 I3C 端口信号 .....	21
表 3-5 SPMI 接口信号 .....	22
表 3-6 B-SRAM 信号功能 .....	24
表 3-7 存储器配置列表 .....	25
表 3-8 双端口混合读写数据宽度配置列表 .....	25
表 3-9 伪双端口混合读写数据宽度配置列表 .....	26
表 3-10 单端口存储配置模式列表 .....	27
表 3-11 双端口存储配置模式列表 .....	28
表 3-12 伪双端口存储配置模式列表 .....	29
表 3-13 只读配置模式列表 .....	30
表 3-14 时钟模式配置列表 .....	32
表 3-15 用户闪存模块信号说明 .....	34
表 3-16 用户模式真值表 .....	34
表 3-17 PLL 端口定义 .....	39
表 3-18 片内晶振的输出频率选项 .....	41
表 4-1 绝对最大范围 .....	42
表 4-2 推荐工作范围 .....	42
表 4-3 电源上升斜率 .....	42
表 4-4 热插拔特性 .....	42
表 4-5 GW1NZ ESD - HBM .....	43
表 4-6 GW1NZ ESD - CDM .....	43
表 4-7 推荐工作范围内的直流电气特性 .....	43
表 4-8 静态电流(Static Supply Current) .....	44

---

表 4-9 I/O 推荐工作条件 .....	45
表 4-10 IOB 单端 DC 电气特性(IOB Single - Ended DC Electrical Characteristic).....	46
表 4-11 CFU 内部时序参数.....	47
表 4-12 B-SRAM 内部时序参数.....	47
表 4-13 外部开关特性.....	47
表 4-14 片内晶振输出频率.....	47
表 4-15 用户闪存 DC 电气特性.....	48
表 4-16 用户闪存时序参数.....	49
表 4-17 JTAG 编程模式时序参数.....	52
表 4-18 重新上电和 RECONFIG_N 触发时序参数 .....	53
表 4-19 SSPI 编程模式时序参数 .....	54
表 4-20 MSPI 编程模式时序参数.....	55

# 1 关于本手册

## 1.1 手册内容

GW1NZ 系列 FPGA 产品数据手册主要包括高云半导体 GW1NZ 系列 FPGA 产品特性概述、产品资源信息、内部结构介绍、电气特性、编程接口时序以及器件订货信息。帮助用户快速了解高云半导体 GW1NZ 系列 FPGA 产品以及特性，有助于器件选型及使用。

## 1.2 适用产品

本手册中描述的信息适用于以下产品：

GW1NZ 系列 FPGA 产品：GW1NZ-1。

## 1.3 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

1. GW1NZ 系列 FPGA 产品数据手册
2. Gowin FPGA 产品编程配置手册
3. GW1NZ 系列 FPGA 产品封装与管脚手册
4. GW1NZ-1 器件 Pinout 手册

## 1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

**表 1-1 术语、缩略语**

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
CFU	Configurable Functional Unit	可配置功能单元
CLS	Configurable Logic Slice	可配置逻辑片
CRU	Configurable Routing Unit	可编程绕线单元
LUT4	4-input Look Up Table	4 输入查找表
LUT5	5-input Look Up Table	5 输入查找表
LUT6	6-input Look Up Table	6 输入查找表
LUT7	7-input Look Up Table	7 输入查找表
LUT8	8-input Look Up Table	8 输入查找表
REG	Register	寄存器
ALU	Arithmetic Logic Unit	算术逻辑单元
IOB	Input/output Bank	输入输出块
B-SRAM	Block SRAM	块状静态随机存储器
SP	Signal Port	单端口
SDP	Semi Dual Port	伪双端口
DP	Dual Port	双端口
DQCE	Dynamic Quadrant Clock Enable	动态象限时钟使能
DCS	Dynamic Clock Selector	动态时钟选择器
PLL	Phase Locked Loop	锁相环
SPMI	System Power Management Interface	系统电源管理接口
CS30	WLCSP30	WLCSP30 封装
FN32	QFN32	QFN32 封装
LQ100	LQFP100	LQFP100 封装
LQ144	LQFP144	LQFP144 封装
MG160	MBGA160	MBGA160 封装
PG204	PBGA204	PBGA204 封装

## 1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail: [support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 产品概述

高云半导体 GW1NZ 系列 FPGA 产品是高云半导体小蜜蜂®(LittleBee®) 家族第一代低功耗产品，具有低功耗、低成本、瞬时启动、非易失性、高安全性、封装类型丰富、使用方便灵活等特点，可广泛应用于通信、工业控制、消费类、视频监控等领域。

高云半导体提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 GW1NZ 系列 FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

## 2.1 特性概述

- 零功耗
  - 55nm 嵌入式闪存工艺
  - LV 版本：支持 1.2V 核电压
  - ZV 版本：支持 0.9V 核电压
  - 电源管理模块
  - 支持时钟动态打开/关闭
- 电源管理模块
  - SPMI：系统电源管理接口
  - 器件内部 VCC 和 VCCM 各自独立
- 用户闪存资源
  - 64K bits
  - 数据位宽：32
  - 10,000 次写寿命周期
  - 超过 10 年的数据保存能力(+85°C)
  - 支持页擦除：一页 2048 字节
  - 读时间：最大 25ns
  - 电流
  - 读操作： 2.19mA/25ns ( $V_{CC}$ ) & 0.5mA/25ns ( $V_{CCX}$ ) (Max)
  - 写操作/擦除操作：12/12mA (Max)
  - 快速页擦除/写操作
  - 时钟频率：40MHz
  - 字写操作时间：≤16μs
  - 页擦除时间：≤120ms

- 支持多种 I/O 电平标准
  - LVCMOS33/25/18/15/12; LVTTL33, PCI,
  - LVDS25E, BLVDSE, MLVDSE, LVPECLE, RSDSE
  - 提供输入信号去迟滞选项
  - 支持 4mA、8mA、16mA、24mA 等驱动能力
  - 提供输出信号 Slew Rate 选项
  - 提供输出信号驱动电流选项
  - 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项
  - 支持热插拔
  - I3C 硬核, 支持 SDR 模式
  - 只支持差分输出, 不支持差分输入
- 丰富的基本逻辑单元
  - 4 输入 LUT(LUT4)
  - 双沿触发器
  - 支持移位寄存器
  - 支持分布式存储器
- 支持多种模式的静态随机存储器
  - 支持双端口、单端口以及伪双端口模式
  - 支持字节写使能
- 灵活的 PLL 资源
  - 实现时钟的倍频、分频和相移
  - 全局时钟网络资源
- 内置 Flash 编程
  - 瞬时启动
  - 支持安全位操作
  - 支持 AUTO BOOT 和 DUAL BOOT 编程模式
- 编程配置模式
  - 支持 JTAG 配置模式
  - 支持多达 6 种 GowinCONFIG 配置模式: AUTOBOOT、SSPI、MSPI、CPU、SERIAL、DUAL BOOT

## 2.2 产品信息列表

表 2-1 产品信息列表

器件	GW1NZ-1
逻辑单元(LUT4)	1,152
寄存器(FF)	864
分布式静态随机存储器 S-SRAM(bits)	4K
块状静态随机存储器 B-SRAM(bits)	72K
锁相环(PLLs+DLLs)	1+0
用户闪存(bits)	64K
最大 I/O 数	48
V <sub>CC</sub>	1.2V(LV 版本); 0.9V(ZV 版本)

## 2.3 封装信息列表

表 2-2 产品封装和最大用户 I/O 信息列表

封装	间距(mm)	尺寸(mm)	GW1NZ-1
FN32	0.4	4 x 4	25
CS16	0.4	1.8 x 1.8	11

注！

本手册中 GW1NZ 系列 FPGA 产品封装命名采用缩写的方式，详细信息请参考 [5.1 器件命名](#)。



# 3 结构介绍

## 3.1 结构框图

图 3-1 GW1NZ 器件结构概念示意图

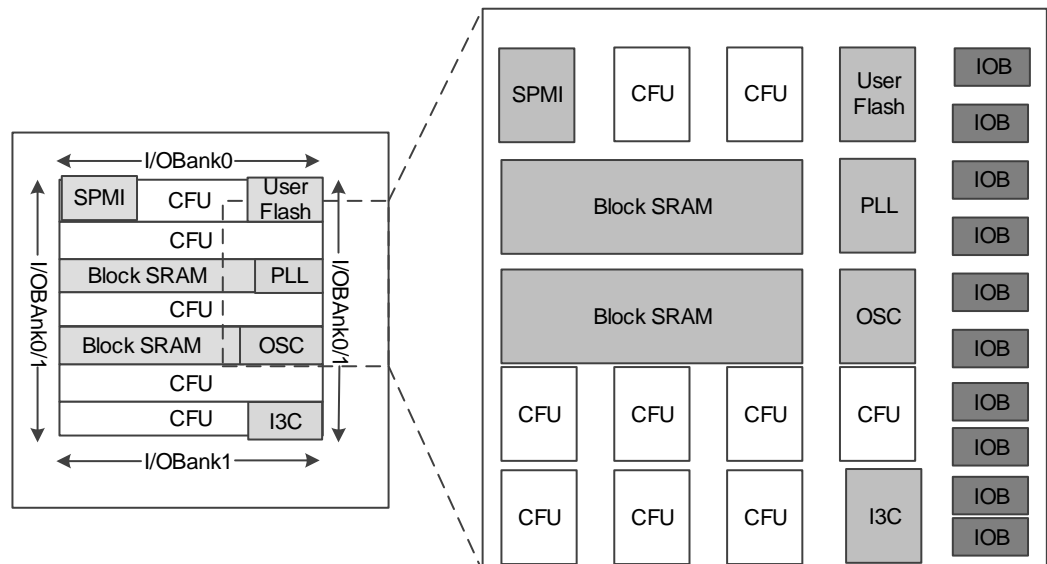


图 3-1 为 GW1NZ 系列产品结构示意图，GW1NZ 系列产品内部是一个逻辑单元阵列，外围是输入输出模块(IOB)，产品内嵌了块状静态随机存储器 (B-SRAM) 模块、数字信号处理模块 DSP、PLL 资源、片内晶振和用户闪存资源 User Flash，支持瞬时启动功能，此外，该产品内嵌了 SPMI 模块和 I3C 模块。内部资源数量详细信息请参考表 2-1。

GW1NZ 系列 FPGA 产品基本的组成部分为可配置功能单元(CFU, Configurable Logic Unit)。在器件内部按照行、列式矩阵排列。可配置功能单元 (CFU) 可以配置成查找表 (LUT4) 模式、算术逻辑模式和存储器模式。详细信息请参考 [3.2 可配置功能单元](#)。

GW1NZ 系列 FPGA 产品的 I/O 资源分布在器件外围，以 Bank 为单位划分，分别为 Bank0 和 Bank1。I/O 资源支持多种电平标准，支持普通工作模式、SDR 工作模式和通用 DDR 模式。详细信息请参考 [3.3 输入输出模块](#)。

GW1NZ 系列 FPGA 产品的块状静态随机存储器 (B-SRAM) 在器件内

部按照行排列，一个 B-SRAM 在器件内部占用 3 个 CFU 的位置。一个 B-SRAM 的容量大小为 18Kbits，支持多种配置模式和操作模式。详细信息请参考 [3.6 块状静态随机存储器模块](#)。

GW1NZ 系列 FPGA 产品内嵌了用户闪存资源，掉电数据不会丢失。详细信息请参考表 2-1。详细信息请参考 [3.7 用户闪存资源](#)。

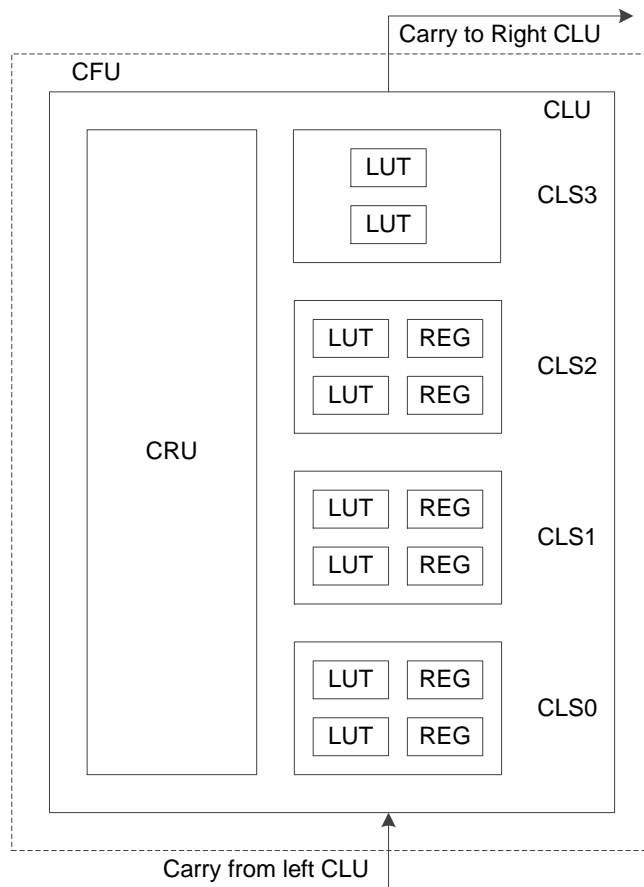
GW1NZ 系列 FPGA 产品内嵌了锁相环 PLL 资源。高云半导体 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。详细信息请参考 [3.8 时钟](#)。

此外，FPGA 器件内置了丰富的布线资源单元(CRU, Configurable Routing Unit)，为 FPGA 内部的所有资源提供连接关系。可配置功能单元 (CFU) 和 IOB 内部都分布着布线资源，连通了 CFU 内部资源和 IOB 内部的逻辑资源。布线资源可通过高云半导体 FPGA 软件自动生成。此外，GW1NZ 系列 FPGA 产品还提供了丰富的专用时钟网络资源，长线资源，全局置复位，以及编程选项等。详细信息请参考 [3.9 长线](#)、[3.10 全局复置位](#)、[3.11 编程配置](#)。

## 3.2 可配置功能单元

可配置功能单元(CFU)是构成 GW1NZ 系列 FPGA 产品的基本单元，每个 CFU 由可配置逻辑单元(CLU)和布线资源单元(CRU)组成。每个 CLU 由四个可配置功能片 CLS(Configurable Logic Slice)组成，其中可配置功能片包含查找表和寄存器，请参见图 3-2。

图 3-2 CFU 结构示意图



### 3.2.1 查找表

查找表支持基本查找表、算术逻辑和只读存储器（ROM）工作模式：

- 基本查找表模式

每个查找表可以被配置为一个 4 输入查找表(LUT4)，可实现高阶查找表功能：

- 一个可配置功能片可配置成一个 5 输入查找表(LUT5)；
- 两个可配置功能片可配置成一个 6 输入查找表(LUT6)；
- 四个可配置功能片可配置成一个 7 输入查找表(LUT7)；
- 八个可配置功能片(两个 CFU)可配置成一个 8 输入查找表(LUT8)。

- 算术逻辑模式

结合进位链，查找表可配置成算术逻辑模式(ALU)，用作实现以下功能：

- 加法/减法运算
- 计数器，包括加计数器和减计数器
- 比较器，包括大于比较、小于比较和不相等比较
- 乘法器

- 存储器模式

- 在此模式下，可用可配置逻辑单元构成 16 x 4 位的分布式静态随机存储器（S-SRAM）或只读存储器。

- 高云半导体 FPGA 软件支持读入初始化文件的方式实现静态随机存储器（S-SRAM）的初始化。只读存储器的数据在对器件编程时完成输入。

### 3.2.2 寄存器

可配置功能片(CLS0~CLS2)各含两个寄存器(REG)，如图 3-3 所示。

图 3-3 CFU 中的寄存器示意图

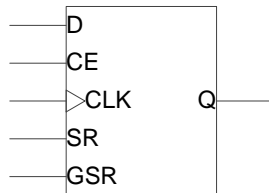


表 3-1 CFU 中寄存器模块信号说明

信号名	I/O	描述
D	I	寄存器数据输入 <sup>1</sup>
CE	I	CLK 使能信号，可配置为高电平使能或低电平使能 <sup>2</sup>
CLK	I	时钟信号，可配置为上升沿触发或下降沿触发 <sup>2</sup>
SR	I	本地置复位输入，可配置为如下功能 <sup>2</sup> ： <ul style="list-style-type: none"> <li>● 同步复位</li> <li>● 同步置位</li> <li>● 异步复位</li> <li>● 异步置位</li> <li>● 无本地置复位</li> </ul>
GSR <sup>3,4</sup>	I	全局复置位，可配置为如下功能 <sup>4</sup> ： <ul style="list-style-type: none"> <li>● 异步复位</li> <li>● 异步置位</li> <li>● 无全局复置位</li> </ul>
Q	O	寄存器输出

注！

- [1]信号 D 的来源可以选择同一可配置功能片中任一查找表的输出，也可以选择来自于 CRU 的输入。因此在查找表被占用的情况下，寄存器仍可以单独使用。
- [2]CFU 中可配置功能片的 CE/CLK/SR 均可独立配置选择。
- [3]在 GW1NZ 系列 FPGA 产品内部，GSR 通过直连线连接，不通过 CRU。
- [4]SR 与 GSR 同时有效时 GSR 有较高的优先级。

### 3.2.3 布线资源单元

布线资源单元 CRU 的功能主要包括两个方面：

- 输入选择功能：为 CFU 的输入信号提供输入源选择；
- 布线资源功能：为 CFU 的输入/输出信号提供连接关系，包括 CFU 内部连接、CFU 之间连接以及 CFU 和 FPGA 内部其它功能模块之间的连接。

## 3.3 输入输出模块

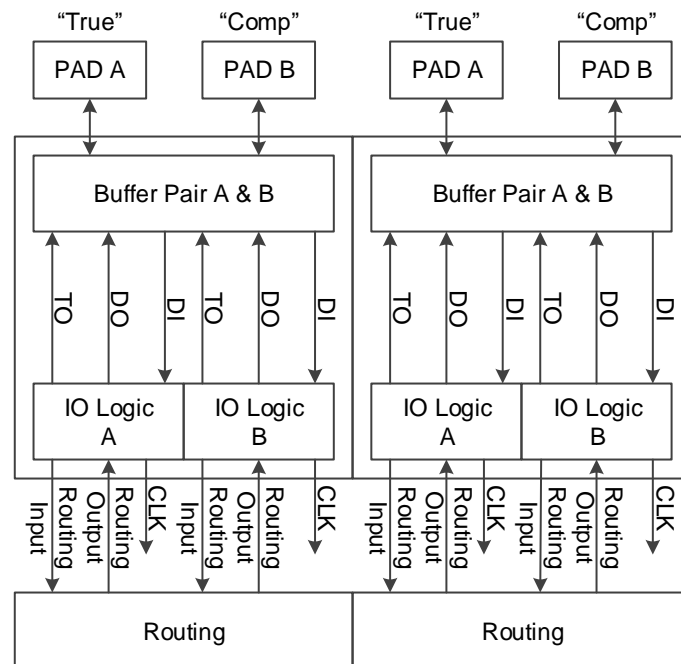
GW1NZ 系列 FPGA 产品的 IOB 主要包括 I/O Buffer、I/O 逻辑以及相应的布线资源单元三个部分。如图 3-4 所示，每个 IOB 单元包括了两个 I/O 管

脚(标记为 A 和 B)，作为输入时，它们配置成单端信号<sup>1</sup>；作为输出时，它们可以配置成一组输出差分信号对，也可以作为单端信号分别配置。

注！

[1]GW1NZ-1 器件 IO 只支持差分输出，不支持差分输入。

图 3-4 IOB 结构示意图



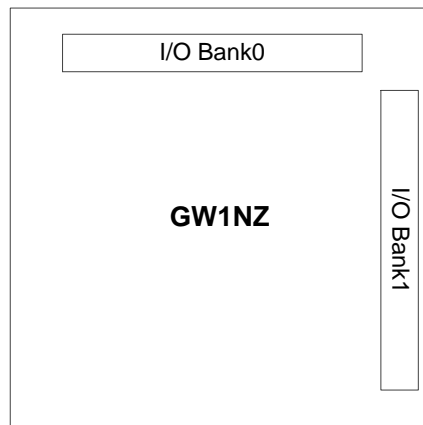
GW1NZ 系列 FPGA 产品中 IOB 的功能特点：

- 基于 Bank 的  $V_{CC0}$  机制
- 支持 LVCMOS、PCI、LVTTL 等多种电平标准
- 提供输入信号去迟滞选项
- 提供输出信号驱动电流选项
- 提供输出信号 Slew Rate 选项
- 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项
- 支持热插拔
- I/O 逻辑支持普通模式、SDR 模式以及 DDR 等多种模式
- 内嵌 I3C 硬核，支持 SDR 模式
- 只支持差分输出，不支持差分输入

### 3.3.1 I/O 电平标准

GW1NZ 系列 FPGA 产品的 I/O 包括 Bank0 和 Bank1，如图 3-5 所示，每个 Bank 有独立的 I/O 电源  $V_{CC0}$ 。 $V_{CC0}$  可以设置为 3.3V、2.5V、1.8V、1.5V 或 1.2V。

图 3-5 GW1NZ 的 I/O Bank 分布示意图



GW1NZ 系列 FPGA 产品支持 LV 版本和 ZV 版本, LV 版本器件支持 1.2V 核供电电压, 可以满足用户低功耗的需求, ZV 版本器件支持 0.9V 核供电电压, 可以实现零功耗。I/O Bank 供电电压  $V_{CC0}$  根据需要可在 1.2V、1.5V、1.8V、2.5V、3.3V 电压中灵活设置。辅助电压  $V_{CCX}$  支持 1.8V、2.5V 和 3.3V。

注!

空白芯片默认的系统管脚状态是弱上拉。

不同的 I/O 输出标准对  $V_{CC0}$  的要求如表 3-2 所示。

表 3-2 GW1NZ 系列 FPGA 产品支持的输出 I/O 类型及部分可选配置

I/O 输出标准	单端/差分	Bank $V_{CC0}$ (V)	输出驱动能力(mA)
LVTTTL33	单端	3.3	4,8,12,16,24
LVC MOS33	单端	3.3	4,8,12,16,24
LVC MOS25	单端	2.5	4,8,12,16
LVC MOS18	单端	1.8	4,8,12
LVC MOS15	单端	1.5	4,8
LVC MOS12	单端	1.2	4,8
PCI33	单端	3.3	N/A
LVPECL33E	差分	3.3	16
MLVDS25E	差分	2.5	16
BLVDS25E	差分	2.5	16
RS DS25E	差分	2.5	8
LVDS25E	差分	2.5	8

表 3-3 GW1NZ 支持的输入 I/O 类型及部分可选配置

I/O 输入标准	单端/差分	Bank $V_{CC0}(V)$	支持去迟滞选项	是否需要 $V_{REF}$
LVTTL33	单端	1.5/1.8/2.5/3.3	是	否
LVCMOS33	单端	1.5/1.8/2.5/3.3	是	否
LVCMOS25	单端	1.5/1.8/2.5/3.3	是	否
LVCMOS18	单端	1.5/1.8/2.5/3.3	是	否
LVCMOS15	单端	1.2/1.5/1.8/2.5/3.3	是	否
LVCMOS12	单端	1.2/1.5/1.8/2.5/3.3	是	否
PCI33	单端	3.3	是	否

### 3.3.2 I/O 逻辑

图 3-6 为 GW1NZ 系列 FPGA 产品的 I/O 逻辑的输出部分。

图 3-6 I/O 逻辑输出示意图

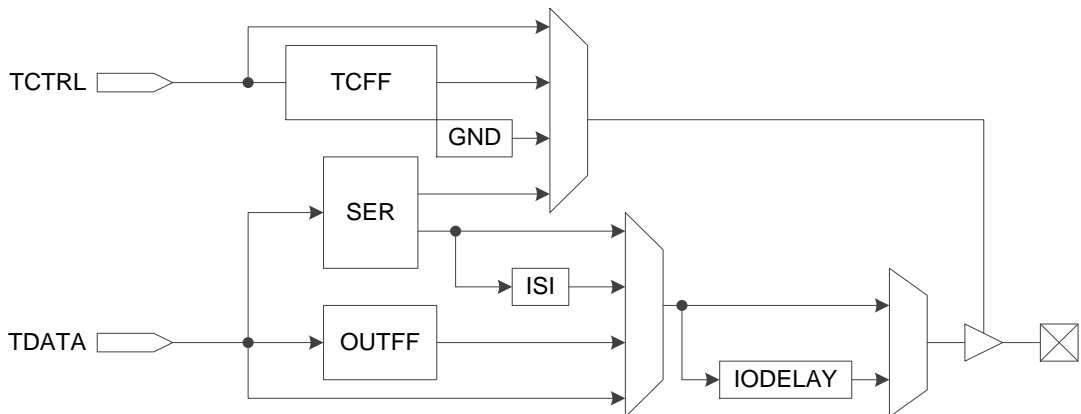
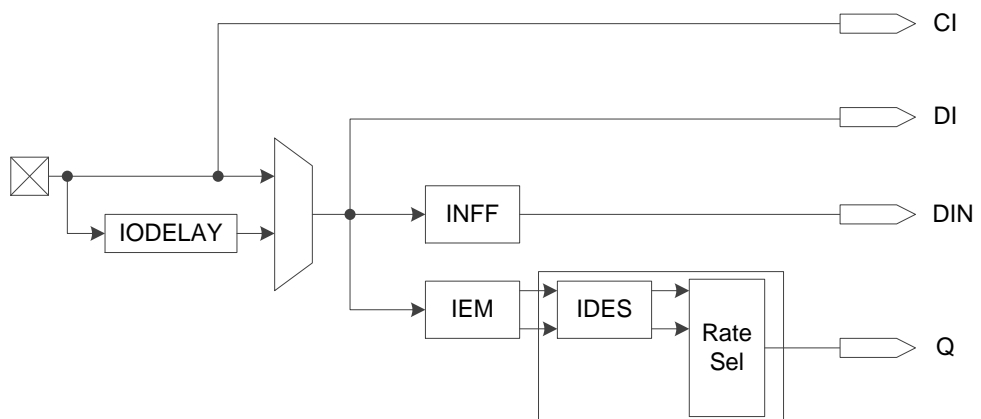


图 3-7 为 GW1NZ 系列 FPGA 产品的 I/O 逻辑的输入部分。

图 3-7 I/O 逻辑输入示意图



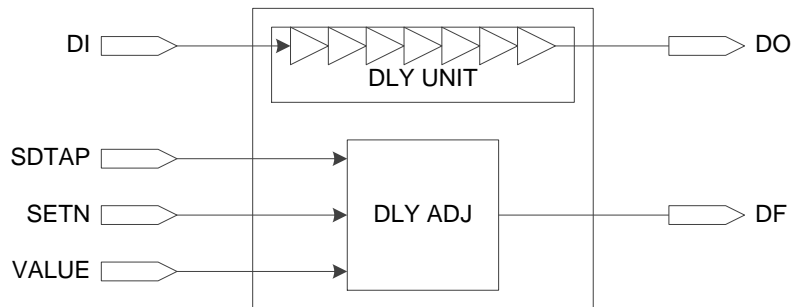
GW1NZ 系列 FPGA 产品的 I/O 逻辑的组成模块说明如下：

#### 延迟模块

图 3-8 为延迟模块 IODELAY。GW1NZ 系列 FPGA 产品的每个 I/O 都包

含 IODELAY 模块，总共提供 128(0~127)步的延迟，一步的延迟时间约为 30 ps。

图 3-8 IODELAY 示意图



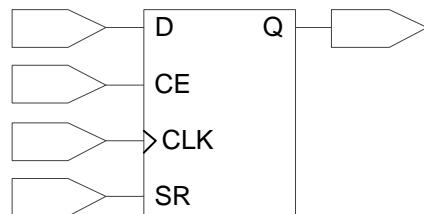
有两种控制延迟的方式：

- 静态控制
- 动态控制，可与 IEM 模块一起使用来调节动态取样窗口，IODELAY 不能同时用于输入和输出。

### I/O 寄存器

图 3-9 为 GW1NZ 系列 FPGA 产品的 I/O 寄存器模块。GW1NZ 系列 FPGA 产品的每个 I/O 都提供可编程输入寄存器 INFF、输出寄存器 OUTFF 和高阻控制寄存器 TCFF。

图 3-9 GW1NZ 的 I/O 寄存器示意图



注！

- CE 可以编程为低电平有效(0: enable)或高电平有效(1: enable)。
- CLK 可以编程为上升沿触发或下降沿触发。
- SR 可以编程为同步/异步的 SET/RESET 或无效(disable)。
- 寄存器可以编程为寄存器(register)或触发器(latch)。

### 取样模块

取样模块(IEM)是用来取样数据边沿，用于通用 DDR 模式。如图 3-10 所示。

图 3-10 GW1NZ 的 IEM 示意图





### 解串器 DES 及跨时钟域转换模块

每个输入的 I/O 逻辑提供了简单的解串器 DES，丰富了 I/O 资源应用方式。

### 串化器 SER 模块

每个输出的 I/O 逻辑提供了简单的串化器 SER 模块，丰富了 I/O 资源应用方式。

## 3.3.3 I/O 逻辑工作模式

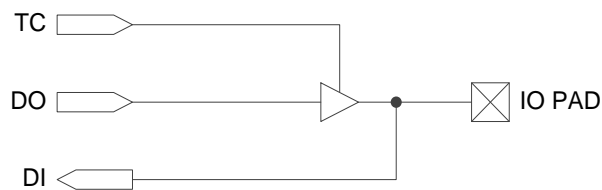
GW1NZ 系列 FPGA 产品的 I/O 逻辑支持多种工作模式。每一种工作模式下，I/O 可以配置成输出信号、输入信号、INOUT 信号及三态输出信号(带三态控制的输出信号)。

GW1NZ-1 的管脚 IOR6(A,B,C....J)不支持 IO 逻辑。

### 普通模式

普通模式下的 I/O 逻辑如图 3-11 所示，此模式下信号 TC、DO 以及 DI 直接通过 CRU 与器件内部连接。

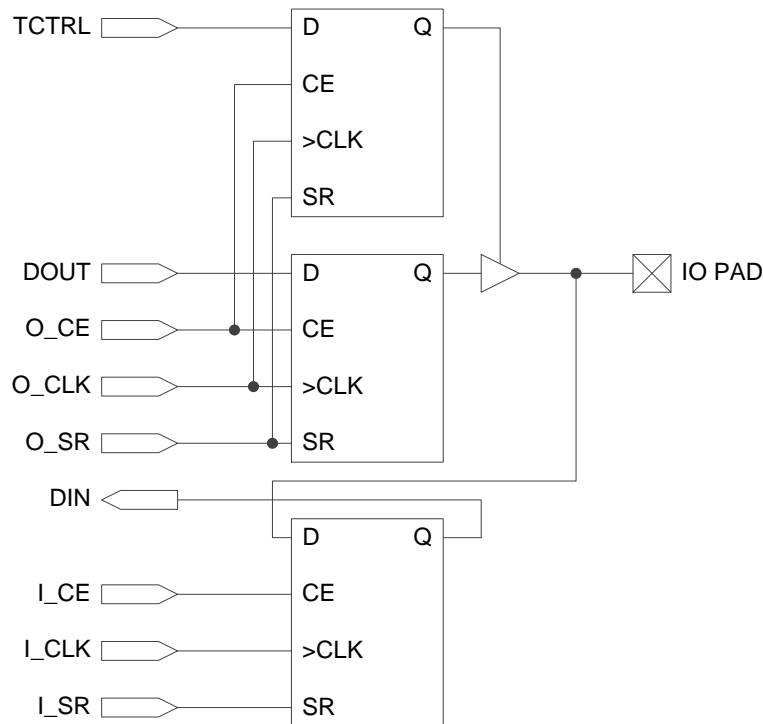
图 3-11 普通模式下的 I/O 逻辑结构示意图



## SDR 模式

相对于普通模式，SDR 模式采用了 I/O 寄存器，如图 3-12 所示，可以有效地改善 I/O 的时序性能。

图 3-12 SDR 模式下的 I/O 逻辑结构示意图



注！

- CLK 使能信号 O\_CE 和 I\_CE 可以配置为高电平使能或低电平使能。
- 时钟信号 O\_CLK 和 I\_CLK 可以配置为上升沿触发或下降沿触发。
- 本地置复位信号 O\_SR 和 I\_SR 可以配置为同步复位、同步置位、异步复位、异步置位或无本地置复位功能。
- SDR 模式下的 I/O 存储单元可以配置成普通寄存器或 Latch。

## 通用 DDR 模式

在通用 DDR 模式下，GW1NZ 系列 FPGA 产品可以支持较高的 I/O 速度。

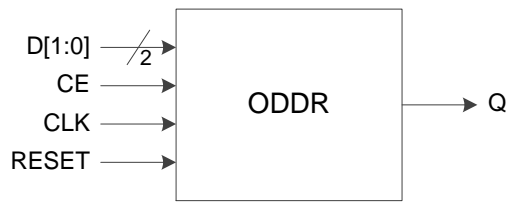
图 3-13 为通用 DDR 输入，内部逻辑与 PAD 速率比为 1:2。

图 3-13 I/O 逻辑的 DDR 输入示意图



图 3-14 为通用 DDR 输出，PAD 与 FPGA 内部逻辑速率比为 2:1。

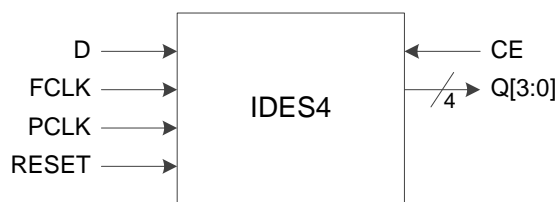
图 3-14 I/O 逻辑的 DDR 输出示意图



### IDES4 模式

IDES4 模式下, GW1NZ 系列 FPGA 产品可以支持更高的 I/O 速度。PAD 与 FPGA 内部逻辑速率比为 4:1。

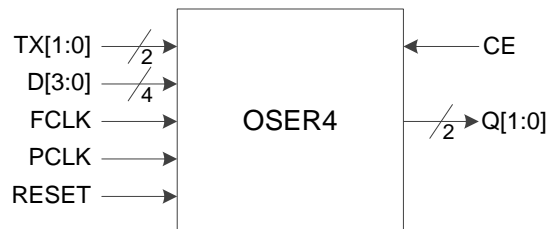
图 3-15 I/O 逻辑的 IDES4 输入示意图



### OSER4 模式

OSER4 模式下, GW1NZ 系列 FPGA 产品可以支持更高的 I/O 速度。速率为 4:1。

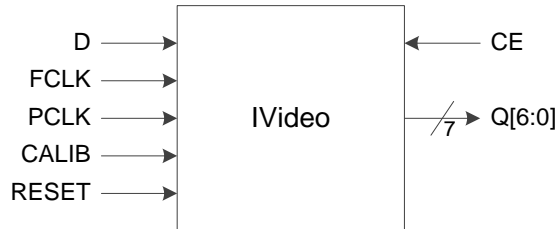
图 3-16 I/O 逻辑的 OSER4 输出示意图



### IVideo 模式

IVideo 模式下, GW1NZ 系列 FPGA 产品可以支持更高的 I/O 速度。PAD 与 FPGA 内部逻辑速率比为 7:1。

图 3-17 I/O 逻辑的 IVideo 输入示意图



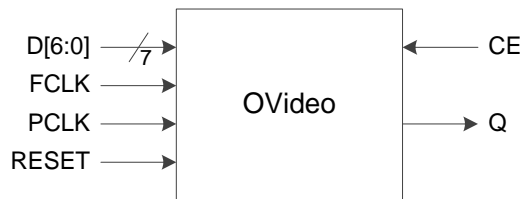
注!

IVideo 和 IDES8/10 将占用相邻 I/O 的资源。如果用单端 I/O 标准, 则 I/O 逻辑将不能使用。在这种情况下, SDR 模式和普通模式还可以使用。

### OVideo 模式

OVideo 模式下, GW1NZ 系列 FPGA 产品可以支持更高的 I/O 速度。PAD 与 FPGA 内部逻辑速率比为 7:1。

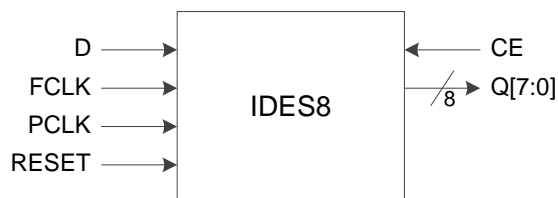
图 3-18 I/O 逻辑的 OVideo 输出示意图



### IDES8 模式

IDES8 模式下, GW1NZ 系列 FPGA 产品可以支持更高的 I/O 速度。PAD 与 FPGA 内部逻辑速率比为 8:1。

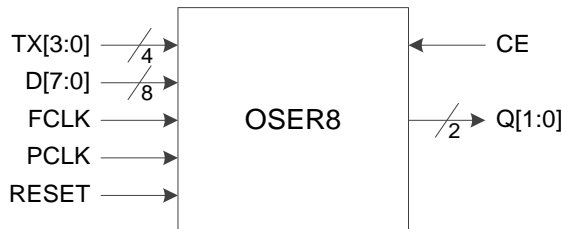
图 3-19 I/O 逻辑的 IDES8 输入示意图



### OSER8 模式

OSER8 模式下，GW1NZ 系列 FPGA 产品可以支持更高的 I/O 速度。PAD 与 FPGA 内部逻辑速率比为 8:1。

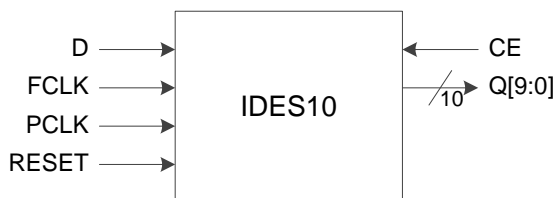
图 3-20 I/O 逻辑的 OSER8 输出示意图



### IDES10 模式

IDES10 模式下，GW1NZ 系列 FPGA 产品可以支持更高的 I/O 速度。PAD 与 FPGA 内部逻辑速率比为 10:1。

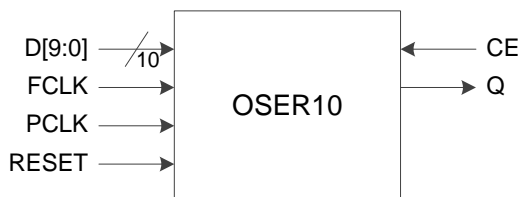
图 3-21 I/O 逻辑的 IDES10 输入示意图



### OSER10 模式

OSER10 模式下，GW1NZ 系列 FPGA 产品可以支持更高的 I/O 速度。PAD 与 FPGA 内部逻辑速率比为 10:1。

图 3-22 I/O 逻辑的 OSER10 输出示意图



## 3.4 I3C 总线模块

### 3.4.1 概述

GW1NZ 系列 FPGA 器件内嵌 I3C 总线控制器硬核资源，支持 SDR 模式。I3C 总线资源兼具 I2C 和 SPI 特性，具有低功耗，高速率，可扩展性等特性。GW1NZ 系列 FPGA 器件内嵌的 I3C 总线遵循 MIPI 联盟 I3C 总线协议，采用寄存器接口，支持 I3C SDR Master 和 I3C SDR Slave 工作模式。

## 3.4.2 特性

### I3C SDR Master

- 符合 MIPI I3C 协议；
- 支持 I3C 地址仲裁检测；
- 支持 Single Data Rate (SDR) 通信模式；
- 最高数据传输速率可达 12.5Mbps；
- 产生起始、终止、重复起始和应答信息；
- 支持起始、终止和重复起始检测；
- 支持 SETDASA 或 ENTDAAs 方式进行动态地址分配；
- 支持接收/发送数据功能；
- 支持线载中断 (In-band Interrupts)；
- 支持热接入 (Hot-Join)；
- 支持热接入时动态地址分配；
- 支持 CCC's 命令；
- 支持动态调整 SCL 频率；
- 兼容 I2C Slave；
- 采用寄存器接口。

### I3C SDR Slave

- 符合 MIPI I3C 协议；
- 产生起始和应答信息；
- 支持起始、终止和重复起始检测；
- 支持 SETDASA 或 ENTDAAs 方式进行动态地址分配；
- 接收/发送数据功能；
- 发起 IBI 或 Hot-join 申请，若多个 Slave 发起 IBI 或 Hot-join 申请，地址最小的获得此次仲裁；
- 配置 Slave 静态地址；
- 采用寄存器接口。

## 3.4.3 端口信号

I3C 模块的端口信号，工作原理，应用举例及操作时序等详细信息请参考 [IPUG508, Gowin I3C SDR IP 用户指南](#)。

表 3-4 I3C 端口信号

端口名称	方向	描述
AAC	Input	清除 ACK 响应设置, 单脉冲信号
AAO	output	输出 ACK 信号
AAS	Input	设置 ACK 响应, 单脉冲信号
ACC	Input	清除连续操作模式设置, 单脉冲信号
ACKHS	Input	设置 ACK 高电平时间
ACKLS	Input	设置 ACK 低电平时间
ACO	output	连续操作模式输出
ACS	Input	设置连续操作模式, 单脉冲信号
ADDRS	Input	设置 slave 地址
CE	Input	时钟使能信号
CLK	Input	时钟输入
CMC	Input	清除设备进入 Master, 单脉冲信号
CMO	output	设备 Master 输出
CMS	Input	设置设备进入 Master, 单脉冲信号
DI[7:0]	Input	数据输入
DO[7:0]	output	数据输出
DOBUF[7:0]	output	缓存数据输出
LGYC	Input	清除当前通讯对象是 I2C 设置, 单脉冲信号
LGYO	output	输出当前通讯对象为 I2C
LGYS	Input	设置当前通讯对象为 I2C, 单脉冲信号
PARITYERROR	output	校验位错误指示信号
RECV DHS	Input	设置接收数据高电平时间
RECV DLS	Input	设置接收数据低电平时间
RESET	Input	异步复位, 高电平有效
SCLI	Input	I3C 串行时钟输入
SCLO	output	I3C 串行时钟输出
SCLOEN	output	I3C 串行时钟输出使能
SCLPULLO	output	I3C 串行时钟上拉输出
SCLPULLOEN	output	I3C 串行时钟上拉输出使能
SDAI	Input	I3C 串行数据输入
SDAO	output	I3C 串行数据输出
SDAOEN	output	I3C 串行数据输出使能
SDAPULLO	output	I3C 串行数据上拉输出
SDAPULLOEN	output	I3C 串行数据上拉输出使能
SENDAHS	Input	设置发送地址高电平时间
SENDALS	Input	设置发送地址低电平时间
SEND DHS	Input	设置发送数据高电平时间
SEND DLS	Input	设置发送数据低电平时间

端口名称	方向	描述
SIC	Input	设置系统中断清除信号
SIO	output	输出系统中断信号
STRTC	Input	清除 START 命令设置, 单脉冲信号
STRTO	output	输出 START 命令
STRTS	Input	设置 START 命令, 单脉冲信号
STATE	output	输出内部状态
STRTHDS	Input	设置 START 命令保持时间
STOPC	Input	清除 STOP 命令设置, 单脉冲信号
STOPO	output	输出 STOP 命令
STOPS	Input	设置 STOP 命令, 单脉冲信号
STOP SUS	Input	设置 STOP 命令建立时间
STOPHDS	Input	设置 STOP 命令保持时间

## 3.5 SPMI 模块

### 3.5.1 概述

GW1NZ 系列 FPGA 产品内嵌了 SPMI 接口模块, 同时提供 SPMI 控制器 IP, 支持作为 Master 通过 SPMI 接口控制外部的 Slave 器件进行电源管理, 同时也支持作为 Slave 控制 FPGA 的电源管理。

GW1NZ 系列 FPGA 产品支持两种方式控制主电源, 一是通过硬件 I/O VCCEN 关断, 当 VCCEN 为 0 的时候主电源关断, 当 VCCEN 为 1 的时候 FPGA 主电源正常供电; 另外一种是通过 Master 发送 shut down 命令的方式关断主电源, 可以通过 Master 发送 reset / sleep / wakeup 命令恢复 FPGA 主电源, 也可以通过 SPMI\_EN 信号低脉冲方式恢复 FPGA 主电源。

SPMI 控制器操作模式, 通信模式, 支持的命令, 时序操作等详细信息请参考 [IPUG529, Gowin SPMI 用户指南](#)。

### 3.5.2 端口信号

表 3-5 SPMI 接口信号

端口名称	方向	描述
SPMI_EN	input	SPMI 使能信号
SPMI_CLK	input	系统时钟信号
SPMI_SCLK	inout	SPMI 串行时钟信号
SPMI_SDATA	inout	SPMI 串行数据信号



## 3.6 块状静态随机存储器模块

### 3.6.1 简介

GW1NZ 系列 FPGA 产品提供了丰富的块状静态随机存储器资源。这些存储器资源按照模块排列，以行的形式，分布在整个 FPGA 阵列中。因此称为块状静态随机存储器 (B-SRAM)。在 FPGA 阵列中每个 B-SRAM 模块占用 3 个 CFU 的位置。每个 B-SRAM 可配置最高 18,432bits(18Kbits)。提供 5 种操作模式：单端口模式 Single Port，双端口模式 Dual Port，伪双端口模式 Semi Dual Port，固化存储器模式，内置的 FIFO 缓存。表 3-6 中列出了 B-SRAM 的信号及功能描述。

丰富的块状静态随机存储器资源为用户的高性能设计提供了保障。以下是 B-SRAM 提供的各种功能：

- 1 个模块最大容量为 18,432bits
- 时钟频率达到 170MHz(在 Read-before-Write 模式下 100MHz)
- 单端口模式 Single port
- 双端口模式 Dual-port
- 伪双端口模式 Semi dual-port(一个端口读，另一个写)
- 提供校验位 Parity Bits
- 提供只读存储器模式 ROM
- 数据宽度从 1 位到 36 位
- 可混合时钟操作 Mixed clock mode
- 可混合数据宽度 Mixed data width mode
- 在双字节以上的数据宽度做字节操作 Enable Byte
- 异步复位，可同步释放
- 正常读写 Normal read and write mode
- 先读后写 Read-before-Write mode
- 通写 Write-Through mode

表 3-6 B-SRAM 信号功能

端口名称	方向	描述
DIA	Input	A 端口数据输入信号
DIB	Input	B 端口数据输入信号
ADA	Input	A 端口地址信号
ADB	Input	B 端口地址信号
CEA	Input	A 端口时钟使能信号
CEB	Input	B 端口时钟使能信号
RESETA	Input	A 端口寄存器复位信号
RESETB	Input	B 端口寄存器复位信号
WREA	Input	A 端口读/写使能信号
WREB	Input	B 端口读/写使能信号
BLKSEL	Input	存储单元块选择信号
CLKA	Input	A 端口读/写时钟信号
CLKB	Input	B 端口读/写时钟信号
OCEA	Input	A 端口寄存器输出使能信号
OCEB	Input	B 端口寄存器输出使能信号
DOA	Output	数据输出 A 端口
DOB	Output	数据输出 B 端口

### 3.6.2 存储器配置模式

GW1NZ 系列 FPGA 产品的块状静态随机存储器可支持多种的数据宽度，如表 3-7 所示。

表 3-7 存储器配置列表

单端口模式	双端口模式	伪双端口模式
16K x 1	16K x 1	16K x 1
8K x 2	8K x 2	8K x 2
4K x 4	4K x 4	4K x 4
2K x 8	2K x 8	2K x 8
1K x 16	1K x 16	1K x 16
512 x 32	-	512 x 32
2K x 9	2K x 9	2K x 9
1K x 18	1K x 18	1K x 18
512 x 36	-	512 x 36

### 3.6.3 存储器混合数据宽度配置

GW1NZ 系列 FPGA 产品的块状静态随机存储器模块可支持混合数据线宽度操作。在双端口模式和伪双端口模式下，读和写的数据宽度可以不同，但需要按照表 3-8 和表 3-9 的配置来应用。

表 3-8 双端口混合读写数据宽度配置列表

读端口	写端口						
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	2K x 9	1K x 18
16K x 1	*	*	*	*	*		
8K x 2	*	*	*	*	*		
4K x 4	*	*	*	*	*		
2K x 8	*	*	*	*	*		
1K x 16	*	*	*	*	*		
2K x 9						*	*
1K x 18						*	*

注！

标注为“\*”的表示支持的模式。

表 3-9 伪双端口混合读写数据宽度配置列表

读端口	写端口								
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	512 x 32	2K x 9	1K x 18	512 x 36
16K x 1	*	*	*	*	*	*			
8K x 2	*	*	*	*	*	*			
4K x 4	*	*	*	*	*	*			
2K x 8	*	*	*	*	*	*			
1K x 16	*	*	*	*	*	*			
512 x 32	*	*	*	*	*	*			
2K x 9							*	*	*
1K x 18							*	*	*

注！

标注为“\*”的表示支持的模式。

### 3.6.4 字节使能功能配置

B-SRAM 支持字节使能 (byte-enables) 功能。可以遮蔽输入数据，只让被选择到的字节写入。而被遮蔽的数据能继续保留。读/写使能信号(WREA, WREB)，及 byte-enable 选项用于控制 B-SRAM 的写操作。

### 3.6.5 校验位功能配置

所有的块状静态随机存储器模块 B-SRAM 内置了校验位的配置。每个字节的第 9 位可用来做校验位，也可以用来存储数据。需要注意的是校验操作并没有提供。

### 3.6.6 同步操作

- 所有的块状静态随机存储器模块的输入寄存器支持同步写入；
- 输出寄存器可用作流水线寄存器提高用户的设计性能；
- 输出寄存器可旁路 bypass-able。

### 3.6.7 上电情况

B-SRAM 支持上电时静态随机存储器初始化。在上电过程中，B-SRAM 处于待机状态，所有数据输出为 0。此状态也适用于只读存储器模式 ROM。

### 3.6.8 存储器操作模式

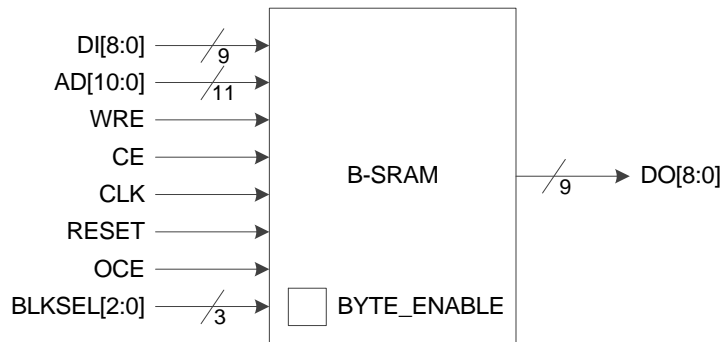
B-SRAM 的输入寄存器可用来支持同步写操作，输出寄存器可以用作流水线寄存器来提高用户的设计性能。B-SRAM 提供的双端口操作模式可用来支持任何在两个端口上的操作，如两个独立的读和两个独立的写，或者在不同时钟频率的一个独立的读和一个写。端口 A 和端口 B 可以拥有完全独立的时钟。

#### 单端口模式

在单端口模式，B-SRAM 可以在一个时钟沿对 B-SRAM 进行读或写。在

写操作中，被写入的数据会传到 SRAM 的输出。支持正常读写模式 (Normal-write Mode) 和通写模式 (Write-through Mode)。当输出寄存器旁路 (Bypass) 时，新数据出现在同一个时钟的上升沿。单端口 2K x 9bit 存储模式框图如图 3-23 所示。

图 3-23 单端口存储模式框图



下表中列出了单端口模式的所有配置：

表 3-10 单端口存储配置模式列表

原语	配置模式	容量(bit)	端口模式	存储深度	数据位宽
SP	B-SRAM_16K_S1	16K	16K x 1	16,384	1
	B-SRAM_8K_S2	16K	8K x 2	8,192	2
	B-SRAM_4K_S4	16K	4K x 4	4,096	4
	B-SRAM_2K_S8	16K	2K x 8	2,048	8
	B-SRAM_1K_S16	16K	1K x 16	1,024	16
	B-SRAM_512_S32	16K	512 x 32	512	32
SPX9	B-SRAM_2K_S9	18K	2K x 9	2,048	9
	B-SRAM_1K_S18	18K	1K x 18	1,024	18
	B-SRAM_512_S36	18K	512 x 36	512	36

### 双端口模式

B-SRAM 支持双端口模式，以图 3-24 为例，可对两个端口做如下操作：

- 两个端口同时读操作
- 两个端口同时写操作
- 任何一个端口的读和写

图 3-24 双端口存储模式框图

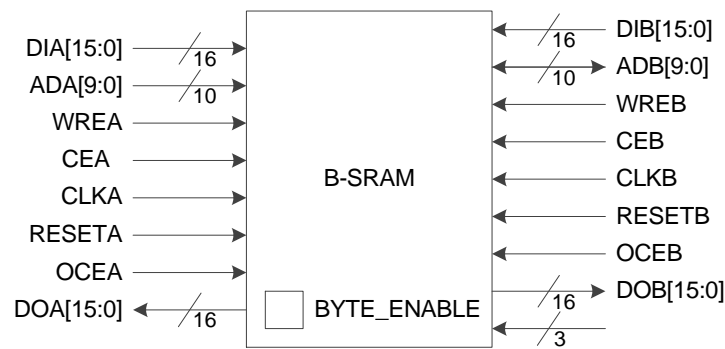


表 3-11 中列出了双端口模式的所有配置。

表 3-11 双端口存储配置模式列表

原语	配置模式	容量(bit)	端口模式	存储深度	数据位宽
DP	B-SRAM_16K_D1	16K	16K x 1	16384	1
	B-SRAM_8K_D2	16K	8K x 2	8192	2
	B-SRAM_4K_D4	16K	4K x 4	4096	4
	B-SRAM_2K_D8	16K	2K x 8	2048	8
	B-SRAM_1K_D16	16K	1K x 16	1024	16
DPX9	B-SRAM_2K_D9	18K	2K x 9	2048	9
	B-SRAM_1K_D18	18K	1K x 18	1024	18

### 伪双端口模式

下图显示了伪双端口 1K x 16bit 模式，可支持同时读和写操作，但是对同一个端口不能做读写操作。只支持 A 端口写，B 端口读。

图 3-25 伪双端口存储模式框图

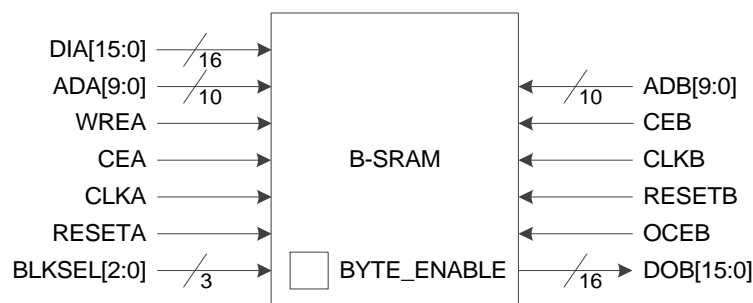


表 3-12 中列出了伪双端口模式的所有配置：

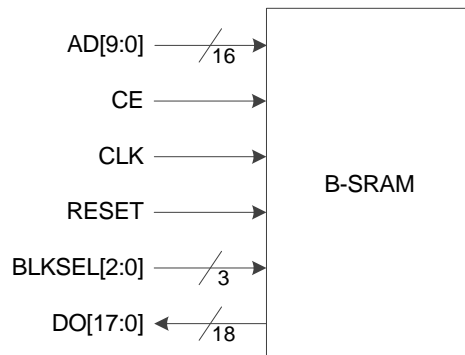
**表 3-12 伪双端口存储配置模式列表**

原语	配置模式	容量(bit)	端口模式	存储深度	数据位宽
SDP	B-SRAM_16K_SD1	16K	16K x 1	16,384	1
	B-SRAM_8K_SD2	16K	8K x 2	8,192	2
	B-SRAM_4K_SD4	16K	4K x 4	4,096	4
	B-SRAM_2K_SD8	16K	2K x 8	2,048	8
	B-SRAM_1K_SD16	16K	1K x 16	1,024	16
	B-SRAM_512_SD32	16K	512 x 32	512	32
SDPX9	B-SRAM_2K_SD9	18K	2K x 9	2,048	9
	B-SRAM_1K_SD18	18K	1K x 18	1,024	18
	B-SRAM_512_SD36	18K	512 x 36	512	36

### 只读模式

B-SRAM 可配置成只读存储器模式，如图 3-26 所示为 ROMX9 模式的结构框图。用户可通过存储器初始化文件，通过编程端口来初始化只读存储器。用户需要提供 ROM 中的内容，编入初始化文件中。在器件上电编程时来完成初始化操作。

**图 3-26 只读模式存储框图**



每个 B-SRAM 可配置成一个 16Kbits ROM。表 3-13 中列出了 ROM 模式的所有配置。

**表 3-13 只读配置模式列表**

原语	配置模式	容量(bit)	端口模式	存储深度	数据位宽
ROM	B-SRAM_16K_O1	16K	16K x 1	16,384	1
	B-SRAM_8K_O2	16K	8K x 2	8,192	2
	B-SRAM_4K_O4	16K	4K x 4	4,096	4
	B-SRAM_2K_O8	16K	2K x 8	2,048	8
	B-SRAM_1K_O16	16K	1K x 16	1,024	16
	B-SRAM_512_O32	16K	512 x 32	512	32
ROMX9	B-SRAM_2K_O9	18K	2K x 9	2,048	9
	B-SRAM_1K_O18	18K	1K x 18	1,024	18
	B-SRAM_512_O36	18K	512 x 36	512	36

注！

在只读存储器模式中，复位信号 RESET 只对输入寄存器和输出寄存器复位，并不能清除存储器中的内容。

### 3.6.9 B-SRAM 操作模式

B-SRAM 支持 5 种操作模式，包括 2 种读操作模式(旁路模式 Bypass Mode, 流水线读模式 PipelineRead Mode)和 3 种写操作模式(正常写模式: Normal-Write Mode, 通写模式: Write-through Mode, 先读后写模式: Read-before-Write Mode)。

#### 读操作模式

从 B-SRAM 读出的数据可以通过输出寄存器输出或不通过输出寄存器输出。

#### 流水线模式

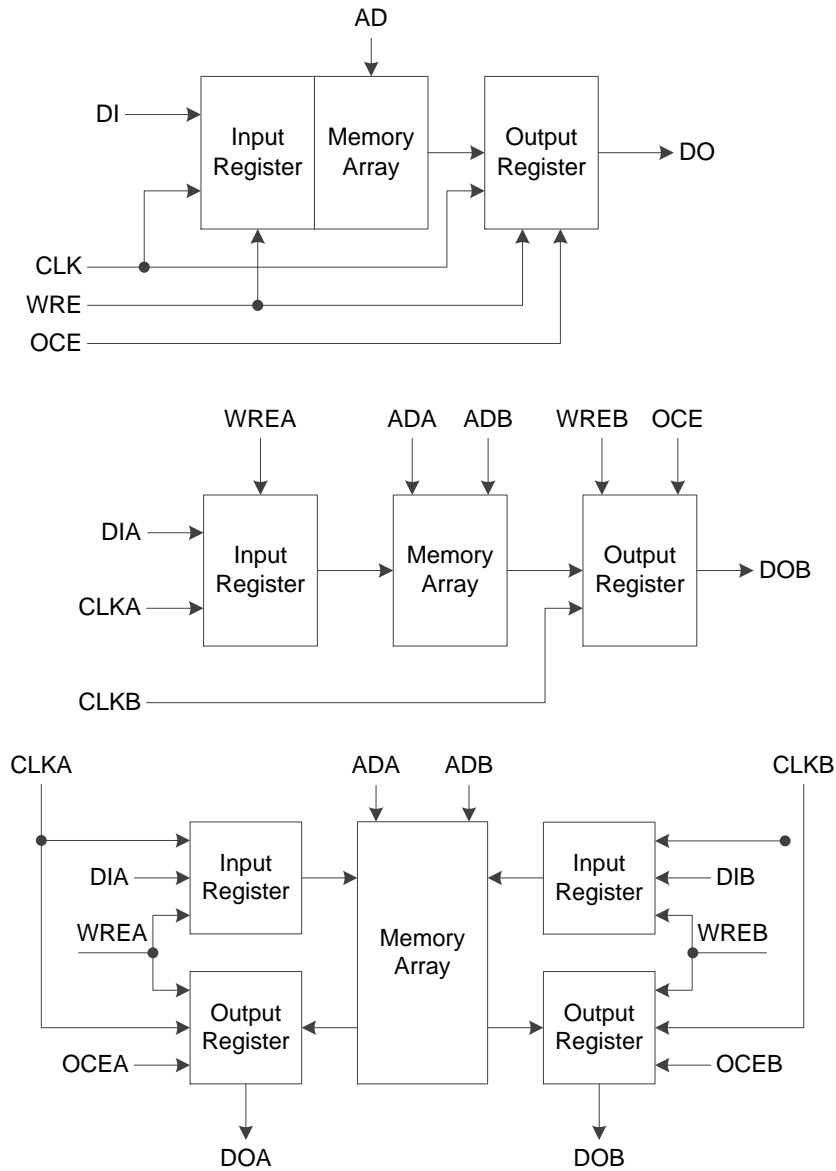
在同步写入存储器时，使用输出寄存器。此模式可支持数据宽度最大 36 位。

#### 旁路模式

不使用输出寄存器，数据保留在存储器(Memory Array)的输出。



图 3-27 单端口、伪双端口及双端口模式下的流水线模式



**写操作模式**

**正常写模式**

对一个端口进行正常写操作，此端口的输出数据不变。写入数据不会出现在读端口。

**通写模式**

在此模式下，对一个端口进行写操作时，写入数据会出现在此端口的输出。

**先读后写模式**

在此模式下，对一个端口进行写操作时，原来的数据会出现在此端口的输出，写入数据会存入相应单元。

### 3.6.10 时钟模式

表 3-14 中列出了不同 B-SRAM 模式下可使用的时钟模式：

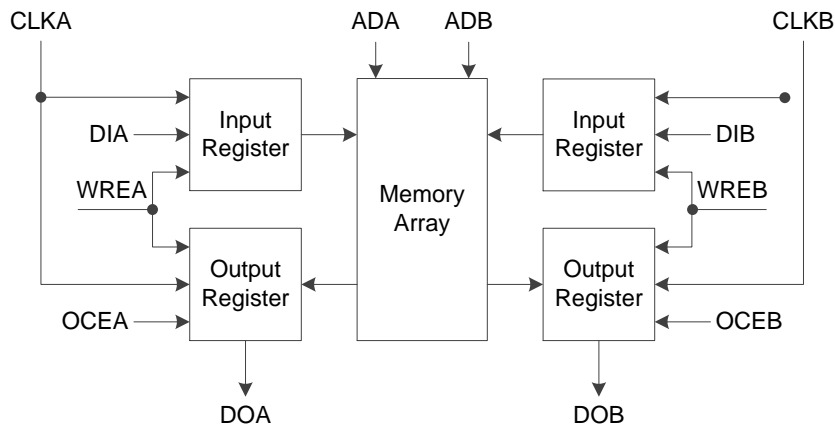
表 3-14 时钟模式配置列表

时钟模式	双端口模式	伪双端口模式	单端口模式
独立时钟模式	Yes	No	No
读/写时钟模式	Yes	Yes	No
单端口时钟模式	No	No	Yes

#### 独立时钟模式

图 3-28 显示了在双端口模式下的独立时钟使用模式，每个端口各有一个独立时钟。CLKA 信号控制了端口 A 的所有寄存器，CLKB 信号控制了端口 B 的所有寄存器。

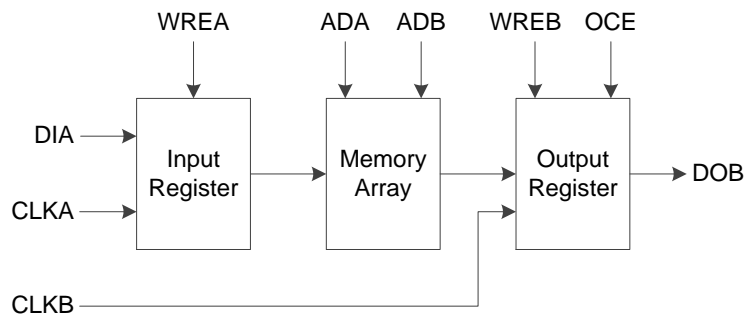
图 3-28 独立时钟模式



#### 读写时钟模式

图 3-29 显示了在伪双端口模式下的读写时钟使用模式。每个端口各有一个时钟。写时钟(CLKA)信号控制了端口 A 的写入数据、写地址和写使能信号。读时钟(CLKB)信号控制了端口 B 的读出数据、读地址和读使能信号。

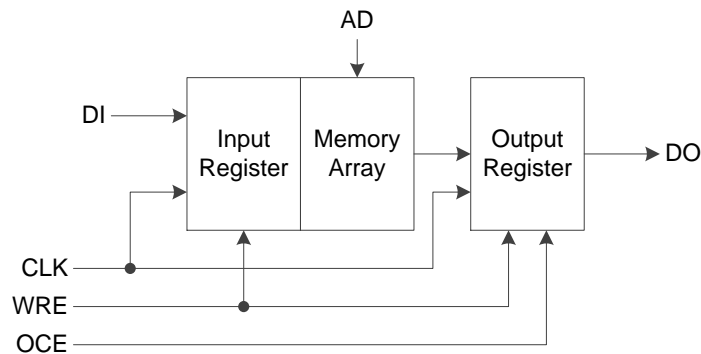
图 3-29 读写时钟模式



### 单端口时钟模式

图 3-30 显示了单端口时钟模式。

图 3-30 单端口时钟模式



## 3.7 用户闪存资源

### 3.7.1 简介

GW1NZ-1 提供的用户闪存资源(User Flash), 主要特性如下所示:

- 10,000 次写寿命周期
- 超过 10 年的数据保存能力(+85°C)
- 支持页擦除: 2,048 字节
- 快速页擦除/写操作
- 时钟频率: 40MHz
- 字写操作时间:  $\leq 16\mu\text{s}$
- 页擦除时间:  $\leq 120\text{ms}$
- 电流
  - 读操作: 2.19mA/25ns ( $V_{CC}$ ) & 0.5mA/25ns ( $V_{CCX}$ )(MAX)
  - 写操作/擦除操作: 12/12mA (最大)

### 3.7.2 端口信号

图 3-31 为 GW1NZ-1 器件用户闪存模块信号框图：

图 3-31 GW1NZ-1 用户闪存端口信号

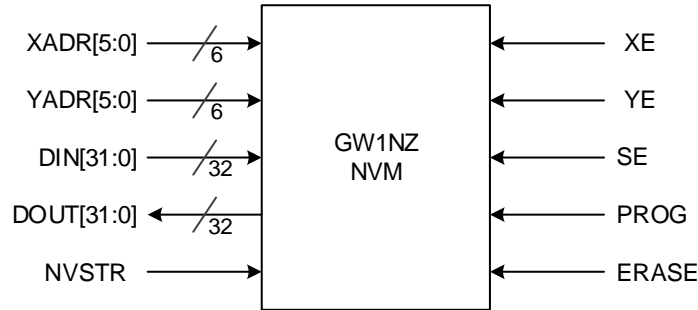


表 3-15 用户闪存模块信号说明

管脚名称 <sup>1</sup>	方向	描述
XADR[5:0] <sup>2</sup>	I	X 地址总线，用于选择一页存储单元中的某一行。
YADR[5:0] <sup>2</sup>	I	Y 地址总线，用于选择一行存储单元中的某一列。
DIN[31:0]	I	数据输入总线。
DOUT[31:0]	O	数据输出总线。
XE <sup>2</sup>	I	X 地址使能信号，当 XE 为 0 的时候，所有的行地址均不使能。
YE <sup>2</sup>	I	Y 地址使能信号，当 YE 为 0 的时候，所有列地址均不使能。
SE <sup>2</sup>	I	检测放大器使能信号，高电平有效。
ERASE	I	擦除信号，高电平有效。
PROG	I	编程信号，高电平有效。
NVSTR	I	Flash 数据存储信号，高电平有效。

注！

- [1]控制信号、地址信号和数据信号端口名称。
- [2]只有当 XE=YE=V<sub>CC</sub> 并且 SE 满足脉冲时序要求 (T<sub>pws</sub>, T<sub>nws</sub>) 的时候，读操作才是有效的。读出的数据的地址是由 XADR[5:0]和 YADR[5:0]确定的
- [3]电源和地管脚在 FPGA 内部连接。

### 3.7.3 操作模式

表 3-16 用户模式真值表

模式	XE	YE	SE	PROG	ERASE	NVSTR
读模式	H	H	H	L	L	L
编程模式	H	H	L	H	L	H
页擦除模式	H	L	L	L	H	H

注！

“H”和“L”表示高电平和低电平。

## 3.8 时钟

### 3.8.1 全局时钟网络

GCLK 在 GW1NZ-1 器件中按象限分布，分成 L、R 两个象限。每个象限提供 8 个 GCLK 网络，每个 GCLK 有 12 个可选时钟源。GCLK 的可选时钟源包括专用的时钟输入管脚和普通布线资源，使用专用的时钟输入管脚具有更好的时钟性能。

图 3-32 GW1NZ-1 器件时钟资源

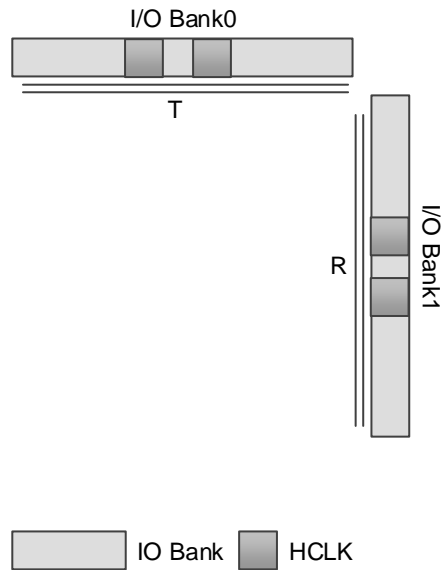
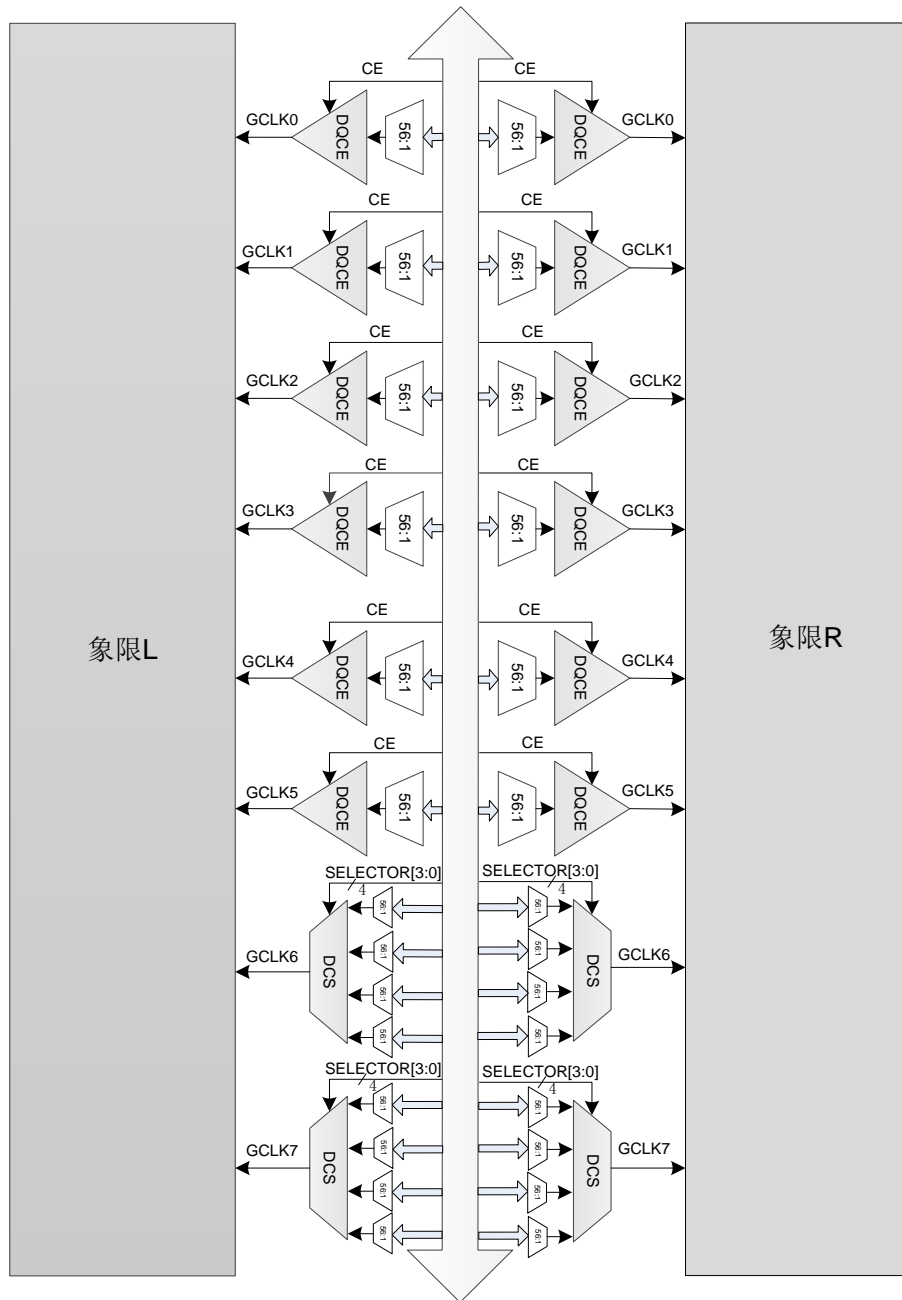
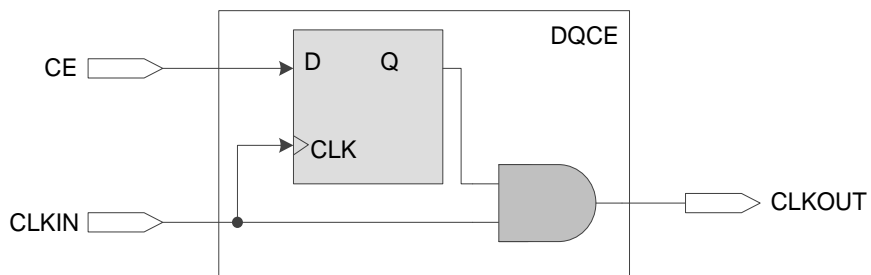


图 3-33 GCLK 象限分布示意



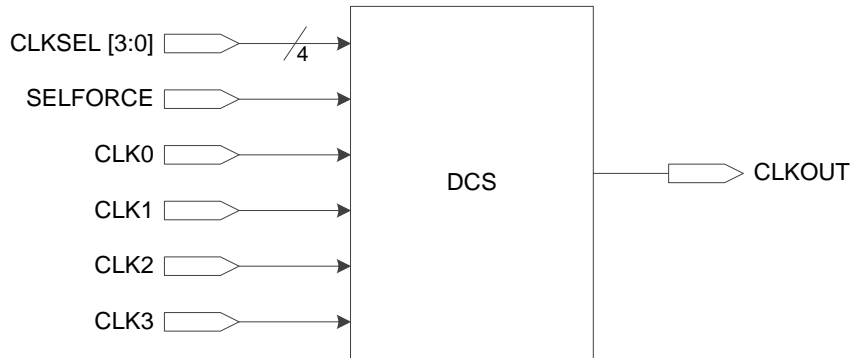
通过 DQCE(Dynamic Quadrant Clock Enable)可动态打开/关闭 GCLK0~GCLK5。关闭 GCLK0~GCLK5 时钟，GCLK0~GCLK5 驱动的内部逻辑不再翻转，从而降低了器件的总体功耗。

图 3-34 DQCE 结构示意图



每个象限的 GCLK6~GCLK7 由 DCS(Dynamic Clock Selector)控制, 如图 3-35 所示, 内部逻辑可以通过 CRU 在四个时钟输入之间动态选择, 输出不带毛刺的时钟。

图 3-35 DCS 接口示意图

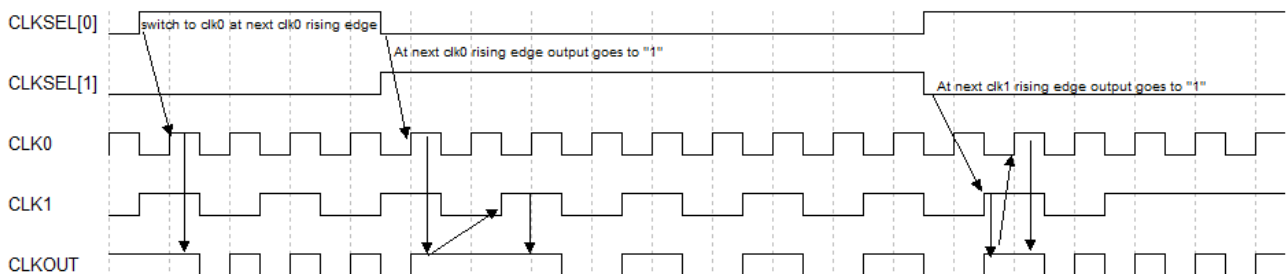


DCS 可以配置为以下几种模式:

### 1. DCS rising edge 模式

即在当前选择时钟的上升沿后转入常量 1, 在新选择时钟的上升沿后转入新时钟, 如图 3-36 所示。

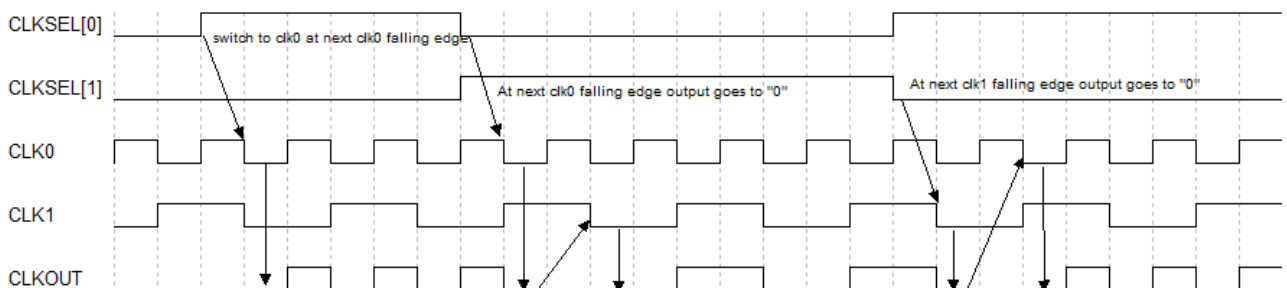
图 3-36 DCS Rising Edge 模式下的时序示意图



### 2. DCS falling edge 模式

即在当前选择时钟的下降沿后转入常量 0, 在新选择时钟的下降沿后转入新时钟, 如图 3-37 所示。

图 3-37 DCS Falling Edge 模式下的时序示意图



### 3. Clock Buffer 模式

此模式下，DCS 简化为普通的 Clock Buffer。

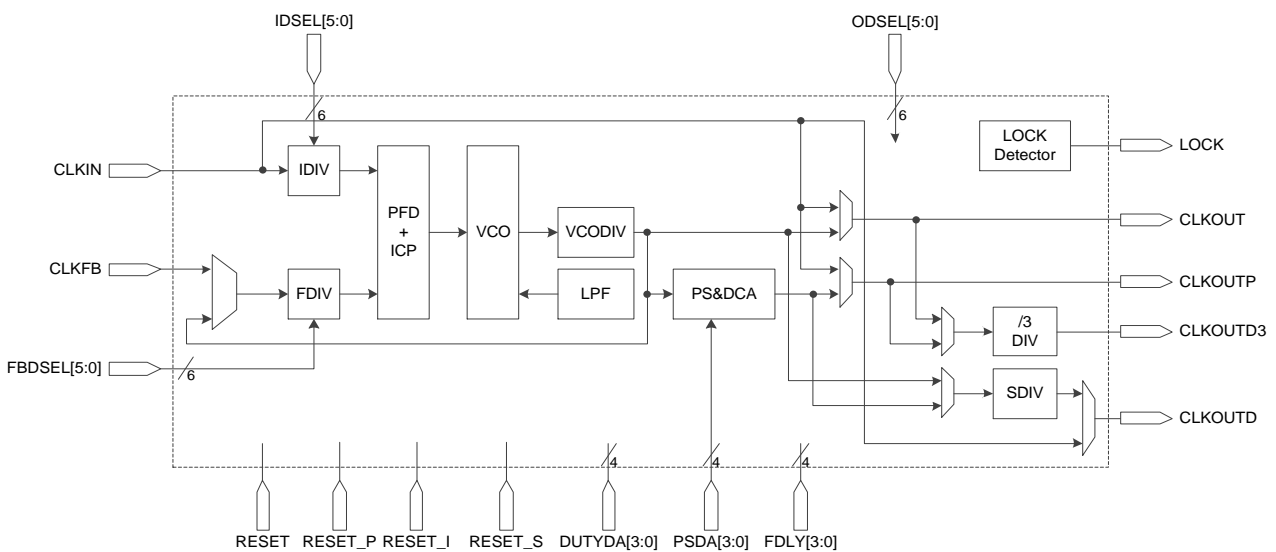
## 3.8.2 锁相环

锁相环路是一种反馈控制电路，简称锁相环（PLL，Phase-Locked Loop）。利用外部输入的参考时钟信号控制环路内部振荡信号的频率和相位。

GW1NZ 的 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。

PLL 模块的结构框图如图 3-38 所示。

图 3-38 PLL 示意图



PLL 的参考时钟信号可以通过外部 PLL 时钟管脚输入，也可以是通过绕线过去的全局时钟信号、高速时钟信号或普通数据信号。PLL 的反馈信号可以是外部 PLL 反馈信号的管脚的输入，也可以是通过绕线过去的全局时钟信号、高速时钟信号或普通数据信号。

GW1NZ 系列 LV 版本 FPGA 产品的 PLL 性能如下：

- 输入频率范围：3MHz~400MHz
- VCO 震荡频率范围：400MHz~800MHz
- CLKOUT 输出频率范围：3.125MHz~400MHz

GW1NZ 系列 ZV 版本 FPGA 产品的 PLL 性能如下：

- 输入频率范围：3MHz~200MHz
- VCO 震荡频率范围：200MHz~400MHz
- CLKOUT 输出频率范围：1.5625MHz~200MHz

PLL 可对输入时钟 CLKIN 进行频率调整(倍频和分频)，计算公式如下：

1.  $f_{\text{CLKOUT}} = (f_{\text{CLKIN}} * \text{FDIV}) / \text{IDIV}$ ;
2.  $f_{\text{VCO}} = f_{\text{CLKOUT}} * \text{ODIV}$ ;
3.  $f_{\text{CLKOUTD}} = f_{\text{CLKOUT}} / \text{SDIV}$ ;
4.  $f_{\text{PFD}} = f_{\text{CLKIN}} / \text{IDIV} = f_{\text{CLKOUT}} / \text{FDIV}$ 。

注！



- $f_{\text{CLKIN}}$  为输入时钟 CLKIN 频率；
- $f_{\text{CLKOUT}}$  为 CLKOUT 和 CLKOUTP 时钟频率；
- $f_{\text{CLKOUTD}}$  为 CLKOUTD 时钟频率，CLKOUTD 为 CLKOUT 分频后的时钟；
- $f_{\text{PFD}}$  为 PFD 鉴相频率。

即可通过调整 IDIV、FDIV、ODIV、SDIV 来得到期望频率的时钟信号。

PLL 端口定义如表 3-17 所示。

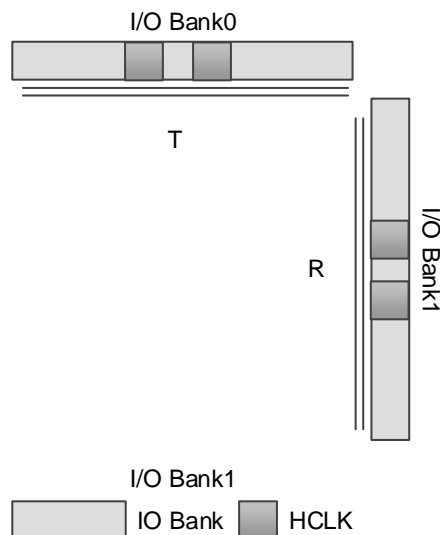
**表 3-17 PLL 端口定义**

端口名称	信号	描述
CLKIN[5: 0]	输入	参考时钟输入
CLKFB	输入	反馈时钟输入
RESET	输入	PLL 全部复位
RESET_P	输入	PLL 关断 (Power Down) 信号
RESET_I	输入	IDIV 复位信号
RESET_S	输入	SDIV 和 DIV3 复位信号
IDSEL [5: 0]	输入	动态控制 IDIV 值, 范围 1~64
FBDSEL [5: 0]	输入	动态控制 FDIV 值, 范围 1~64
PSDA [3: 0]	输入	动态相位控制(上升沿有效)
DUTYDA [3: 0]	输入	动态占空比控制(下降沿有效)
FDLY [3: 0]	输入	CLKOUTP 动态延迟控制
CLKOUT	输出	无相位和占空比调整的时钟输出
CLKOUTP	输出	有相位和占空比调整的时钟输出
CLKOUTD	输出	来自 CLKOUT 或 CLKOUTP 分频时钟 (由 SDIV 分频器控制)
CLKOUTD3	输出	来自 CLKOUT 或 CLKOUTP 的分频时钟(由 DIV3 分频器控制, DIV3 分频值固定为 3)
LOCK	输出	PLL 锁定指示; 1 表示锁定, 0 表示失锁

### 3.8.3 高速时钟

GW1NZ 系列 FPGA 产品的高速时钟 HCLK 可以支持 I/O 完成高性能数据传输，是专门针对源时钟同步的数据传输接口而设计的，如图 3-39 所示。HCLK 资源可用于整个 IO Bank。

图 3-39 GW1NZ-1 HCLK 示意图



## 3.9 长线

作为对 CRU 的有效补充，GW1NZ 系列 FPGA 产品提供了灵活丰富的长线资源，适用于时钟、时钟使能、置复位或其它高扇出的信号。

### 3.10 全局复位位

GW1NZ 系列 FPGA 产品中包含一个专用的全局复位网络，直接连接到器件的内部逻辑，可用作异步复位或异步置位，CFU 和 I/O 中的寄存器均可以独立配置。

### 3.11 编程配置

GW1NZ 系列 FPGA 产品支持 SRAM 编程和 Flash 编程。Flash 编程模式既支持片内 Flash 编程也支持片外 Flash 编程。GW1NZ 器件支持 DUAL BOOT 模式，为用户提供了一种备份选择，用户可以根据自身需要将配置数据备份在外部 Flash 中。

GW1NZ 系列 FPGA 产品除了支持业界通用的 JTAG 配置模式外，还支持高云半导体特有的 GowinCONFIG 配置模式，支持多达 6 种模式：AUTO BOOT、SSPI、MSPI、DUAL BOOT、SERIAL 和 CPU。所有器件均支持 JTAG 和 AUTO BOOT 模式。详细信息请参考 UG290, 《Gowin FPGA 产品编程配置手册》。

### 3.11.1 SRAM 编程

GW1NZ 系列 FPGA 产品的 SRAM 编程, 每次上电后需要重新下载配置数据。

### 3.11.2 Flash 编程

Flash 编程的配置数据存放在片内 Flash 单元。上电后, 配置数据从片内 Flash 单元传送到 SRAM 配置单元。在上电后的几个毫秒内就可以完成数据的配置, 这种配置方式也称为“快速启动/瞬时启动”。GW1NZ 系列 FPGA 产品还支持外部 Flash 编程模式和双启动模式, 详细资料请参考 UG290, 《Gowin FPGA 产品编程配置手册》。

## 3.12 片内晶振

GW1NZ 系列 FPGA 产品内嵌了一个片内晶振, 片内晶振提供可编程的用户时钟, 时钟精度可达±5%, 编程过程中为 MSPI 编程模式提供时钟源, 输出频率数据如表 3-18 所示。

表 3-18 片内晶振的输出频率选项

模式	频率	模式	频率	模式	频率
0	2.5MHz <sup>1</sup>	8	7.8MHz	16	15.6MHz
1	5.4MHz	9	8.3MHz	17	17.9MHz
2	5.7MHz	10	8.9MHz	18	21MHz
3	6.0MHz	11	9.6MHz	19	25MHz
4	6.3MHz	12	10.4MHz	20	31.3MHz
5	6.6MHz	13	11.4MHz	21	41.7MHz
6	6.9MHz	14	12.5MHz	22	62.5MHz
7	7.4MHz	15	13.9MHz	23	125MHz <sup>2</sup>

注!

- [1]片内晶振默认输出频率为 2.5MHz。
- [2]125MHz 不适用于 MSPI 编程模式。

片内晶振还可以为用户设计提供时钟源, 通过配置工作参数, 可以获得多达 64 种时钟频率。输出时钟频率可以通过如下公式计算得到:

$$f_{\text{out}}=250\text{MHz} / \text{Param}。$$

其中除数 Param 为配置参数, 范围为 2~128, 只支持偶数。

# 4 电气特性

## 4.1 工作条件

表 4-1 绝对最大范围

名称	描述	最小值	最大值
V <sub>CC</sub>	核电压	-0.5V	1.32V
V <sub>CCO</sub>	I/O Bank 电源电压	-0.5V	3.75V
V <sub>CCX</sub>	辅助电源电压	-0.5V	3.75V
Storage Temperature	储存温度	-65°C	+150°C
Junction Temperature	结温	-40°C	+125°C

表 4-2 推荐工作范围

名称	描述	最小值	最大值
V <sub>CC</sub>	LV 版本核电压	1.14V	1.26V
	ZV 版本核电压	0.855V	0.945V
V <sub>CCO</sub>	I/O Bank 电压	1.14V	3.465V
V <sub>CCX</sub>	辅助电压	1.71V	3.465V
T <sub>JCOM</sub>	结温(商业级) (Junction temperature Commercial operation)	0°C	+85°C
T <sub>JIND</sub>	结温(工业级) (Junction temperature Industrial operation)	-40°C	+100°C

表 4-3 电源上升斜率

名称	描述	最小值	典型值	最大值
T <sub>RAMP</sub>	电源电压上升斜率 (Power supply ramp rates for all power supplies)	0.01mV/μs	-	10mV/μs

表 4-4 热插拔特性

名称	描述	条件	最大值
I <sub>HS</sub>	输入漏电流 (Input or I/O leakage current)	0 < V <sub>IN</sub> < V <sub>IH</sub> (MAX)	TBD

## 4.2 ESD 性能

表 4-5 GW1NZ ESD - HBM

器件	CS16	FN32
GW1NZ-1	TBD	HBM>1,000V

表 4-6 GW1NZ ESD - CDM

器件	CS16	FN32
GW1NZ-1	TBD	CDM>500V

表 4-7 推荐工作范围内的直流电气特性

名称	描述	条件	最小值	典型值	最大值
$I_{IL}, I_{IH}$	I/O 漏电流 (Input or I/O leakage)	$V_{CCO} < V_{IN} < V_{IH}(MAX)$	-	-	210 $\mu$ A
		$0V < V_{IN} < V_{CCO}$	-	-	10 $\mu$ A
$I_{PU}$	I/O 上拉电流 (I/O Active Pull-up Current)	$0 < V_{IN} < 0.7V_{CCO}$	-30 $\mu$ A	-	-150 $\mu$ A
$I_{PD}$	I/O 下拉电流 (I/O Active Pull-down Current)	$V_{IL}(MAX) < V_{IN} < V_{CCO}$	30 $\mu$ A	-	150 $\mu$ A
$I_{BHLS}$	总线保持低电平时持续电流 (Bus Hold Low Sustaining Current)	$V_{IN} = V_{IL}(MAX)$	30 $\mu$ A	-	-
$I_{BHHS}$	总线保持高电平时持续电流 (Bus Hold High Sustaining Current)	$V_{IN} = 0.7V_{CCO}$	-30 $\mu$ A	-	-
$I_{BHLO}$	总线保持低电平时过载电流 (Bus Hold Low Overdrive Current)	$0 \leq V_{IN} \leq V_{CCO}$	-	-	150 $\mu$ A
$I_{BHHO}$	总线保持高电平时过载电流 (Bus Hold High Overdrive Current)	$0 \leq V_{IN} \leq V_{CCO}$	-	-	-150 $\mu$ A
$V_{BHT}$	总线保持触发点 (Bus hold trip points)		$V_{IL}(MAX)$	-	$V_{IH}(MIN)$
C1	I/O 电容 (I/O Capacitance)			5pF	8pF
$V_{HYST}$	输入迟滞 (Hysteresis for Schmitt Trigger inputs)	$V_{CCO} = 3.3V, \text{Hysteresis} = \text{Large}$	-	482mV	-
		$V_{CCO} = 2.5V, \text{Hysteresis} = \text{Large}$	-	302mV	-
		$V_{CCO} = 1.8V, \text{Hysteresis} = \text{Large}$	-	152mV	-

名称	描述	条件	最小值	典型值	最大值
		$V_{CC0}=1.5V$ , Hysteresis= Large	-	94mV	-
		$V_{CC0}=3.3V$ , Hysteresis= Small	-	240mV	-
		$V_{CC0}=2.5V$ , Hysteresis= Small	-	150mV	-
		$V_{CC0}=1.8V$ , Hysteresis= Small	-	75mV	-
		$V_{CC0}=1.5V$ , Hysteresis= Small	-	47mV	-

表 4-8 静态电流(LV 版本)

名称	描述	器件	典型值
$I_{CC}$	Core 电源电流 ( $V_{CC}=1.2V$ )	GW1NZ-1	3mA
$I_{CCX}$	$V_{CCX}$ 电源电流 ( $V_{CCX}=3.3V$ )	GW1NZ-1	-
	$V_{CCX}$ 电源电流 ( $V_{CCX}=2.5V$ )	GW1NZ-1	-
$I_{CCO}$	I/O Bank 电源电流( $V_{CC0}=2.5V$ )	GW1NZ-1	-

## 4.3 DC 电气特性

表 4-9 I/O 推荐工作条件

名称	输出对应的 $V_{CCO}(V)$			输入对应的 $V_{REF}(V)$		
	最小值	典型值	最大值	最小值	典型值	最大值
LVTTTL33	3.135	3.3	3.465	-	-	-
LVC MOS33	3.135	3.3	3.465	-	-	-
LVC MOS25	2.375	2.5	2.625	-	-	-
LVC MOS18	1.71	1.8	1.89	-	-	-
LVC MOS15	1.425	1.5	1.575	-	-	-
LVC MOS12	1.14	1.2	1.26	-	-	-
SSTL15	1.425	1.5	1.575	0.68	0.75	0.9
SSTL18_I	1.71	1.8	1.89	0.833	0.9	0.969
SSTL18_II	1.71	1.8	1.89	0.833	0.9	0.969
SSTL25_I	2.375	2.5	2.645	1.15	1.25	1.35
SSTL25_II	2.375	2.5	2.645	1.15	1.25	1.35
SSTL33_I	3.135	3.3	3.465	1.3	1.5	1.7
SSTL33_II	3.135	3.3	3.465	1.3	1.5	1
HSTL18_I	1.71	1.8	1.89	0.816	0.9	1.08
HSTL18_II	1.71	1.8	1.89	0.816	0.9	1.08
HSTL15	1.425	1.5	1.575	0.68	0.75	0.9
PCI33	3.135	3.3	3.465	-	-	-
LVPECL33E	3.135	3.3	3.465	-	-	-
MLVDS25E	2.375	2.5	2.625	-	-	-
BLVDS25E	2.375	2.5	2.625	-	-	-
RSDS25E	2.375	2.5	2.625	-	-	-
LVDS25E	2.375	2.5	2.625	-	-	-
SSTL15D	1.425	1.5	1.575	-	-	-
SSTL18D_I	1.71	1.8	1.89	-	-	-
SSTL18D_II	1.71	1.8	1.89	-	-	-
SSTL25D_I	2.375	2.5	2.625	-	-	-
SSTL25D_II	2.375	2.5	2.625	-	-	-
SSTL33D_I	3.135	3.3	3.465	-	-	-
SSTL33D_II	3.135	3.3	3.465	-	-	-
HSTL15D	1.425	1.575	1.89	-	-	-
HSTL18D_I	1.71	1.8	1.89	-	-	-
HSTL18D_II	1.71	1.8	1.89	-	-	-

表 4-10 IOB 单端 DC 电气特性(IOB Single - Ended DC Electrical Characteristic)

名称	$V_{IL}$		$V_{IH}$		$V_{OL}$ (Max)	$V_{OH}$ (Min)	$I_{OL}$ (mA)	$I_{OH}$ (mA)							
	Min	Max	Min	Max											
LVCMOS33 LVTTTL33	-0.3V	0.8V	2.0V	3.6V	0.4V	$V_{CC0}-0.4V$	4	-4							
							8	-8							
							12	-12							
							16	-16							
					24	-24									
					0.2V	$V_{CC0}-0.2V$	0.1	-0.1							
LVCMOS25	-0.3V	0.7V	1.7V	3.6V	0.4V	$V_{CC0}-0.4V$	4	-4							
							8	-8							
							12	-12							
							16	-16							
										0.2V	$V_{CC0}-0.2V$	0.1	-0.1		
LVCMOS18	-0.3V	$0.35*V_{CC0}$	$0.65*V_{CC0}$	3.6V	0.4V	$V_{CC0}-0.4V$	4	-4							
							8	-8							
							12	-12							
												0.2V	$V_{CC0}-0.2V$	0.1	-0.1
					LVCMOS15	-0.3V	$0.35*V_{CC0}$	$0.65*V_{CC0}$	3.6V	0.4V	$V_{CC0}-0.4V$	4	-4		
8	-8														
												0.2V	$V_{CC0}-0.2V$	0.1	-0.1
LVCMOS12	-0.3V	$0.35*V_{CC0}$	$0.65*V_{CC0}$	3.6V						0.4V	$V_{CC0}-0.4V$	2	-2		
					6	-6									
												0.2V	$V_{CC0}-0.2V$	0.1	-0.1
					PCI33	-0.3V	$0.3*V_{CC0}$	$0.5*V_{CC0}$	3.6V	$0.1*V_{CC0}$	$0.9*V_{CC0}$	1.5	-0.5		
SSTL33_I	-0.3V	$V_{REF}-0.2V$	$V_{REF}+0.2V$	3.6V	0.7	$V_{CC0}-1.1V$	8	-8							
SSTL25_I	-0.3V	$V_{REF}-0.18V$	$V_{REF}+0.18V$	3.6V	0.54V	$V_{CC0}-0.62V$	8	-8							
SSTL25_II	-0.3V	$V_{REF}-0.18V$	$V_{REF}+0.18V$	3.6V	NA	NA	NA	NA							
SSTL18_II	-0.3V	$V_{REF}-0.125V$	$V_{REF}+0.125V$	3.6V	NA	NA	NA	NA							
SSTL18_I	-0.3V	$V_{REF}-0.125V$	$V_{REF}+0.125V$	3.6V	0.40V	$V_{CC0}-0.40V$	8	-8							
SSTL15	-0.3V	$V_{REF}-0.1V$	$V_{REF}+0.1V$	3.6V	0.40V	$V_{CC0}-0.40V$	8	-8							
HSTL18_I	-0.3V	$V_{REF}-0.1V$	$V_{REF}+0.1V$	3.6V	0.40V	$V_{CC0}-0.40V$	8	-8							
HSTL18_II	-0.3V	$V_{REF}-0.1V$	$V_{REF}+0.1V$	3.6V	NA	NA	NA	NA							
HSTL15_I	-0.3V	$V_{REF}-0.1V$	$V_{REF}+0.1V$	3.6V	0.40V	$V_{CC0}-0.40V$	8	-8							
HSTL15_II	-0.3V	$V_{REF}-0.1V$	$V_{REF}+0.1V$	3.6V	NA	NA	NA	NA							



## 4.4 开关特性

### 4.4.1 内部开关特性

表 4-11 CFU 内部时序参数

名称	描述	速度等级		单位
		Min	Max	
$t_{LUT4\_CFU}$	LUT4 延迟(LUT4 delay)	-	0.674	ns
$t_{LUT5\_CFU}$	LUT5 延迟(LUT5 delay)	-	1.388	ns
$t_{LUT6\_CFU}$	LUT6 延迟(LUT6 delay)	-	2.01	ns
$t_{LUT7\_CFU}$	LUT7 延迟(LUT7 delay)	-	2.632	ns
$t_{LUT8\_CFU}$	LUT8 延迟(LUT8 delay)	-	3.254	ns
$t_{SR\_CFU}$	置位/复位到寄存器输出时间(Set/Reset to Register output)	-	1.86	ns
$t_{CO\_CFU}$	时钟到寄存器输出时间(Clock to Register output)	-	0.76	ns

表 4-12 B-SRAM 内部时序参数

名称	描述	速度等级		单位
		Min	Max	
$t_{COAD\_BSRAM}$	时钟到读地址/数据输出时间(Clock to output from read address/data)	-	5.10	ns
$t_{COOR\_BSRAM}$	时钟到寄存器输出时间(Clock to output from output register)	-	0.56	ns

### 4.4.2 外部开关特性

表 4-13 外部开关特性

名称	说明	器件	-5		-6		单位
			Min	Max	Min	Max	
Clocks	TBD	TBD	TBD	TBD	TBD	TBD	
Pin-LUT-Pin Delay	TBD	TBD	TBD	TBD	TBD	TBD	
General I/O Pin Parameters	TBD	TBD	TBD	TBD	TBD	TBD	

表 4-14 片内晶振输出频率

名称	说明	最小值	典型值	最大值
$f_{MAX}$	晶振输出频率(0 to+ 85°C)	106.25MHz	125MHz	143.75MHz
	晶振输出频率(-40 to +100°C)	100MHz	125MHz	150MHz
$t_{DT}$	输出时钟占空比	43%	50%	57%
$t_{OPJIT}$	输出时钟抖动	0.01UIPP	0.012UIPP	0.02UIPP

## 4.5 用户闪存电气特性

### 4.5.1 DC 电气特性

表 4-15 用户闪存 DC 电气特性

名称	参数	最大值		单位	Wake-up 时间	条件
		$V_{CC}^3$	$V_{CCX}$			
读模式 (w/ 25ns) <sup>1</sup>	$I_{CC1}^2$	2.19	0.5	mA	NA	最小时钟周期, 占空比 100%, VIN = "1/0"
写模式		0.1	12	mA	NA	
擦除模式		0.1	12	mA	NA	
页擦除模式		0.1	12	mA	NA	
读模式静态电流 (25-50ns 之间)	$I_{CC2}$	980	25	$\mu A$	NA	XE=YE=SE= "1", 在 $T=T_{acc}$ 到 $T=50ns$ 之间, I/O 的电流为 0mA。T=50ns 之后, 内部定时器关闭读模式, I/O 的电流为待机模式电流
待机模式	$I_{SB}$	5.2	20	$\mu A$	0	$V_{SS}$ 、 $V_{CCX}$ 和 $V_{CC}$

注!

- [1]这些数值为直流平均电流值, 峰值电流值会高于该平均电流值;
- [2] $I_{CC1}$  在  $T_{new}$  不同的时钟周期计算;
  - 不允许  $T_{new} < T_{acc}$
  - $T_{new} = T_{acc}$
  - $T_{acc} < T_{new} - 50ns$ :  $I_{CC1} (new) = (I_{CC1} - I_{CC2})(T_{acc}/T_{new}) + I_{CC2}$
  - $T_{new} > 50ns$ :  $I_{CC1} (new) = (I_{CC1} - I_{CC2})(T_{acc}/T_{new}) + 50ns * I_{CC2}/T_{new} + I_{SB}$
  - $t > 50ns$ ,  $I_{CC2} = I_{SB}$

## 4.5.2 时序参数

表 4-16 用户闪存时序参数

用户模式	参数	符号	最小值	最大值	单位
访问时间 <sup>2</sup>	WC1	$T_{acc}^3$	-	25	ns
	TC		-	22	ns
	BC		-	21	ns
	LT		-	21	ns
	WC		-	25	ns
编程/擦除到数据存储建立时间		$T_{nvs}$	5	-	$\mu s$
数据存储保持时间		$T_{nvh}$	5	-	$\mu s$
数据存储保持时间(整体擦除)		$T_{nvh1}$	100	-	$\mu s$
数据存储到编程建立时间		$T_{pgs}$	10	-	$\mu s$
编程保持时间		$T_{pgh}$	20	-	ns
写时间		$T_{prog}$	8	16	$\mu s$
写准备时间		$T_{wpr}$	>0	-	ns
擦除保持时间		$T_{whd}$	>0	-	ns
控制信号到写/擦除建立时间		$T_{cps}$	-10	-	ns
SE 到读操作建立时间		$T_{as}$	0.1	-	ns
SE 脉冲的高电平时间		$T_{pws}$	5	-	ns
地址/数据建立时间		$T_{ads}$	20	-	ns
地址/数据保持时间		$T_{adh}$	20	-	ns
数据保持时间		$T_{dh}$	0.5	-	ns
读模式地址保持时间 <sup>3</sup>	WC1	$T_{ah}$	25	-	ns
	TC		22	-	ns
	BC		21	-	ns
	LT		21	-	ns
	WC		25	-	ns
SE 脉冲低电平时间		$T_{nws}$	2	-	ns
恢复时间		$T_{rcv}$	10	-	$\mu s$
数据存储时间		$T_{nv}^4$	-	6	ms
擦除时间		$T_{erase}$	100	120	ms
整体擦除时间		$T_{me}$	100	120	ms
掉电到待机模式的 Wake-up 时间		$T_{wk\_pd}$	7	-	$\mu s$
待机保持时间		$T_{sbh}$	100	-	ns
$V_{CC}$ 建立时间		$T_{ps}$	0	-	ns
$V_{CCX}$ 保持时间		$T_{ph}$	0	-	ns

注!

- [1]这些设定值可能会改变。
- [2]这些数值为仿真数据，在实际器件中会有改变。

- [3]在信号 XADR、YADR、XE 和 YE 信号有效后,  $T_{acc}$  的开始时间为 SE 信号的上升沿。读取的数据 DOUT 被保存直到在下一有效读操作开始。
- [4] $T_{hv}$  时间为写操作开始到数据下一次擦除操作之前的累积时间, 同一个地址在下一擦除之前不能被写入两次; 同一个存储单元在下一擦除之前不能被写入两次。这种限制是基于安全考虑的。
- [5]所有的波形都有 1ns 的上升沿时间和 1ns 的下降沿时间。
- [6]控制信号 X、YADR、XE 和 YE 信号需要至少保持  $T_{acc}$  的时间,  $T_{acc}$  从 SE 的上升沿处开始。

### 4.5.3 操作时序图

图 4-1 读操作模式

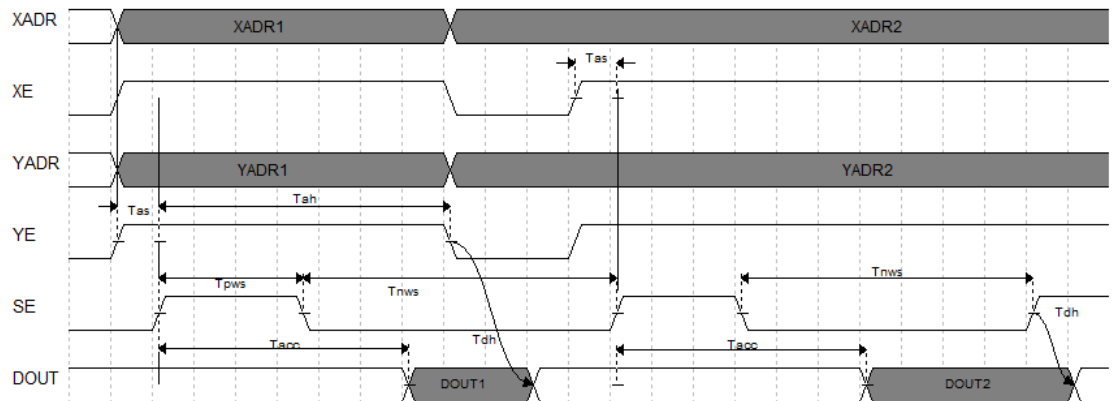


图 4-2 写入操作模式

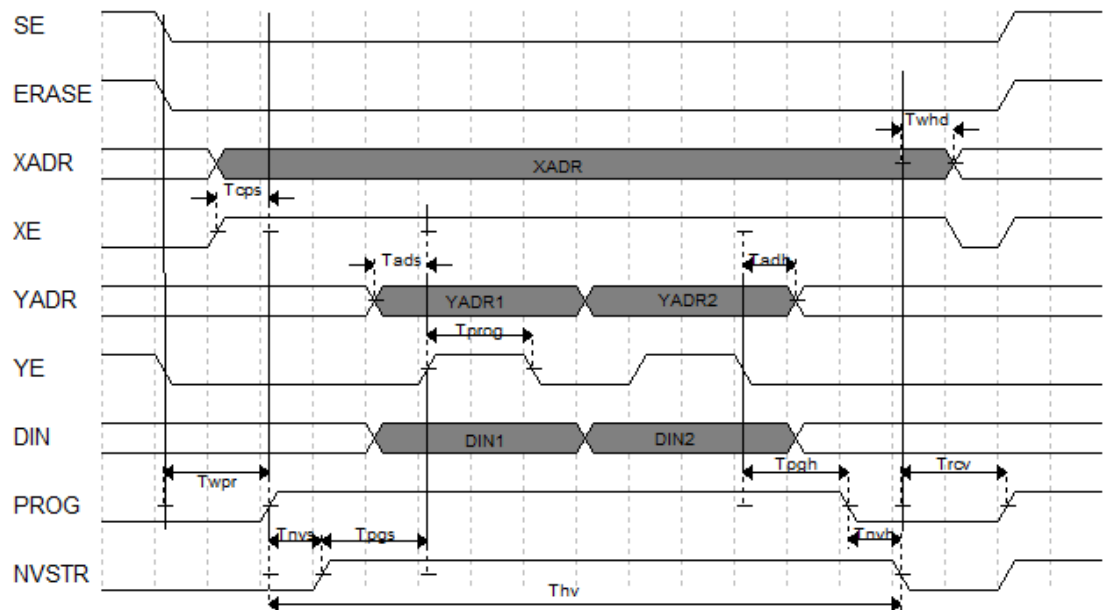
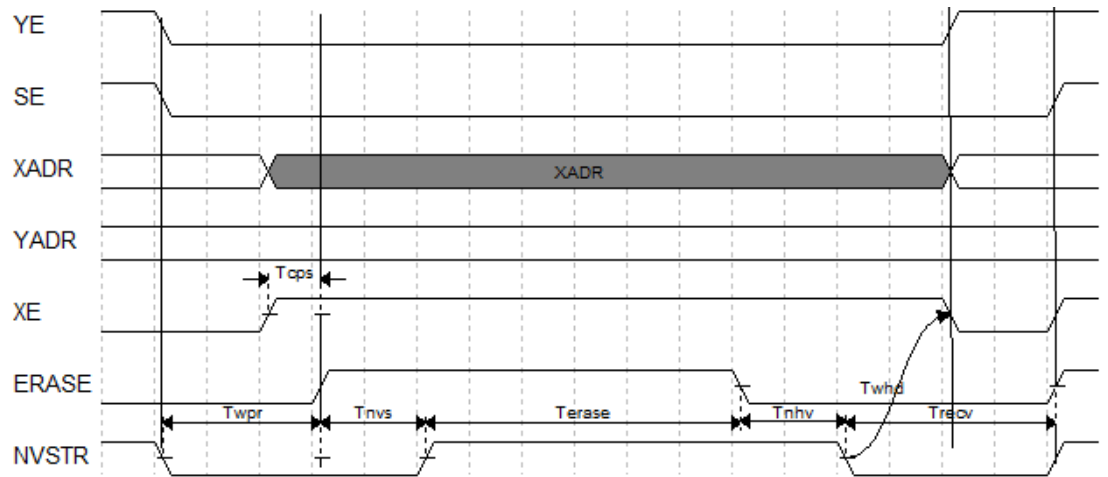


图 4-3 擦除操作模式



### 4.6 编程接口时序标准

GW1NZ 系列 FPGA 产品 GowinCONFIG 配置模式支持多达 6 种, 包括自启动模式、双启动模式、MSPI 模式、SSPI 模式、CPU 模式、SERIAL 模式, 详细资料请参考《GW1NZ 系列 FPGA 产品编程配置手册》。

#### 4.6.1 JTAG 模式接口时序标准

GW1NZ 系列 FPGA 产品的 JTAG 配置模式符合 IEEE1532 标准和 IEEE1149.1 边界扫描标准。

JTAG 配置模式是将比特数据下载到 GW1NZ 系列 FPGA 产品的 SRAM 中, 掉电后配置数据丢失。

JTAG 编程模式的时序图如图 4-4 所示。

图 4-4 JTAG 编程模式时序示意图

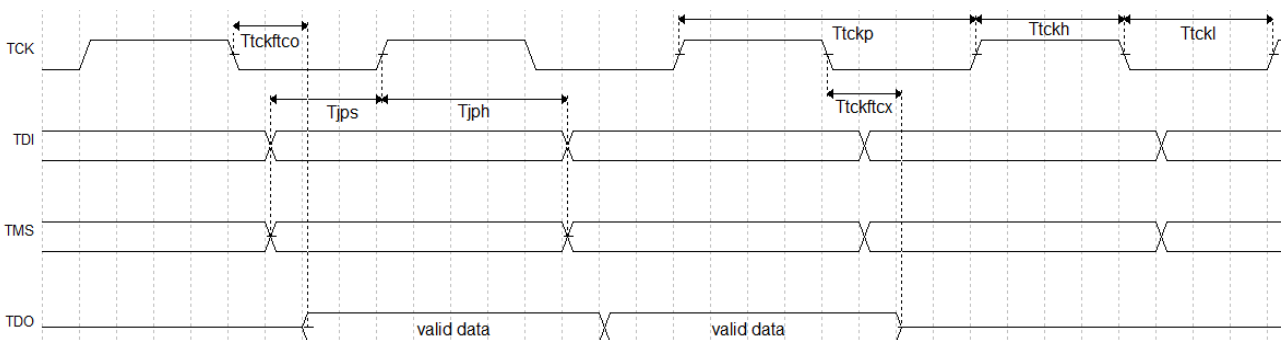


表 4-17 JTAG 编程模式时序参数

参数名称	参数含义	最小值	最大值
$T_{tckftco}$	TCK 下降沿到输出数据时延 (Time from TCK falling edge to output)		10ns
$T_{tckftcx}$	TCK 下降沿到输出高阻时延 (Time from TCK falling edge to high impedance)		10ns
$T_{tckp}$	TCK 时钟周期 (TCK clock period)	40ns	-
$T_{tckh}$	TCK 时钟高电平时间 (TCK clock high time)	20ns	-
$T_{tckl}$	TCK 时钟低电平时间 (TCK clock low time)	20ns	-
$T_{jps}$	JTAG 口建立时间 (JTAG PORT setup time)	10ns	
$T_{jph}$	JTAG 口保持时间 (JTAG PORT hold time)	8ns	

除了满足上电要求, 使用 MSPI 模式对 GW1NZ 系列 FPGA 产品进行编程, 还需满足以下条件:

- MSPI 接口使能

上电后初次编程或前一次编程时, RECONFIG\_N 设为 “NON-RECOVERY” 状态

- 启动新的编程

重新上电或者给编程管脚 RECONFIG\_N 一个低电平脉冲

## 4.6.2 AUTO BOOT 模式接口时序标准

AUTOBOOT 模式是高云半导体针对 GW1NZ 系列 FPGA 产品的瞬时接通特性创造的一种配置模式。该模式下, 芯片上电后无需连接外部配置接口, FPGA 即可自行从内置 Flash 读取配置数据完成程序加载。

内置 Flash 的配置过程通过 JTAG 接口完成, 配置完成后, 低电平脉冲触发 RECONFIG\_N 或者重新上电开始自启动配置, 时序图及相关参数如图 4-5 所示。

图 4-5 重新上电时序图

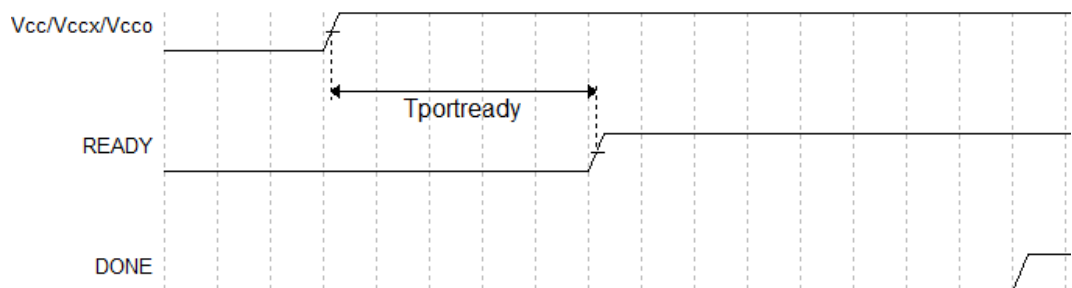
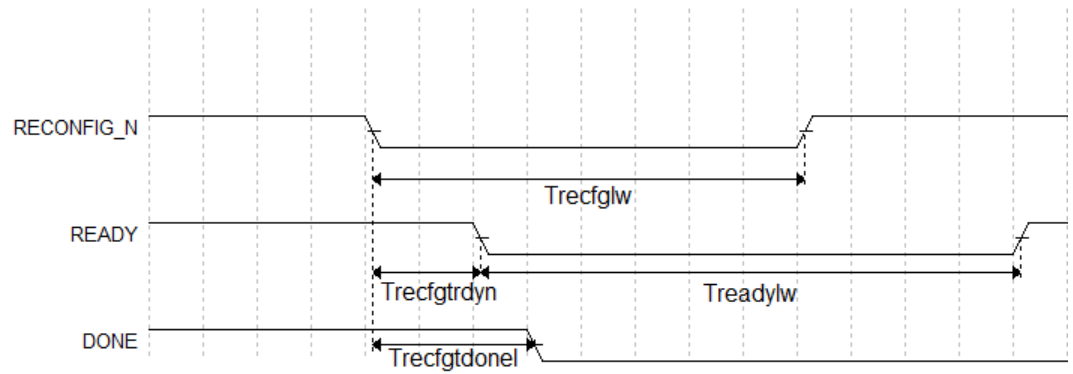


图 4-6 RECONFIG\_N 触发时序图



相关的时序参数如表 4-18 所示。

表 4-18 重新上电和 RECONFIG\_N 触发时序参数

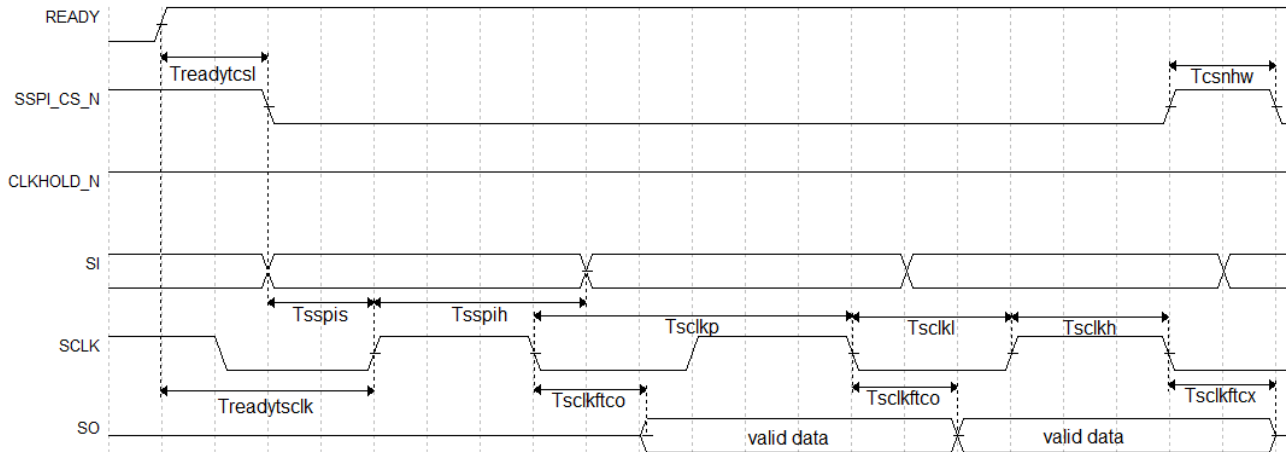
参数名称	参数含义	最小值	最大值
$T_{portready}$	满足上电条件到 READY 的上升沿的时延 (Time from application of $V_{CC}$ , $V_{CCX}$ and $V_{CCO}$ to the rising edge of READY)	-	23ms
$T_{recfglw}$	RECONFIG_N 低电平脉冲宽度 (RECONFIG_N low pulse width)	25ns	
$T_{recfgtrdyn}$	RECONFIG_N 下降沿到 READY 变低电平的时延 (Time from RECONFIG_N falling edge to READY low)	-	70ns
$T_{readylw}$	READY 低电平脉冲宽度 (READY low pulse width)	TBD	
$T_{recfgtdonel}$	RECONFIG_N 下降沿到 DONE 变低电平的时延 (Time from RECONFIG_N falling edge to DONE low)	-	80ns

### 4.6.3 SSPI 模式接口时序标准

SSPI 配置模式，即 FPGA 作为从器件，由外部 Host 通过 SPI 接口对 GW1NZ 系列 FPGA 产品进行配置。

SSPI 编程模式的时序图如图 4-7 所示。

图 4-7 SSPI 编程模式时序图



相关时序参数如表 4-19 所示。

表 4-19 SSPI 编程模式时序参数

参数名称	参数含义	最小值	最大值
$T_{scklp}$	SCLK 时钟周期(SCLK clock period)	15ns	-
$T_{scklh}$	SCLK 时钟高电平时间(SCLK clock high time)	7.5ns	-
$T_{sckll}$	SCLK 时钟低电平时间(SCLK clock low time)	7.5ns	-
$T_{sspis}$	SSPI PORT 建立时间(SSPI PORT setup time)	2ns	-
$T_{sspih}$	SSPI PORT 保持时间(SSPI PORT hold time)	0ns	-
$T_{scklftco}$	SCLK 下降沿到数据输出时延(Time from SCLK falling edge to output)	-	10ns
$T_{scklftcx}$	SCLK 下降沿到输出高阻时延(Time from SCLK falling edge to high impedance)	-	10ns
$T_{csnhw}$	CSN 高电平脉冲宽度 (CSN high time)	25ns	-
$T_{readytcsi}$	READY 上升沿到 CSN 低电平时间(Time from READY rising edge to CSN low)		
$T_{readytsclk}$	READY 上升沿到第一个 SCLK 沿时间(Time from READY rising edge to first SCLK edge)	TBD	-

除了满足上电要求，使用 SSPI 模式对 GW1NZ 系列 FPGA 产品进行编程，还需满足以下条件：

- SSPI 接口使能

上电后初次编程或前一次编程时，RECONFIG\_N 设为“NON-RECOVERY”状态

- 启动新的编程



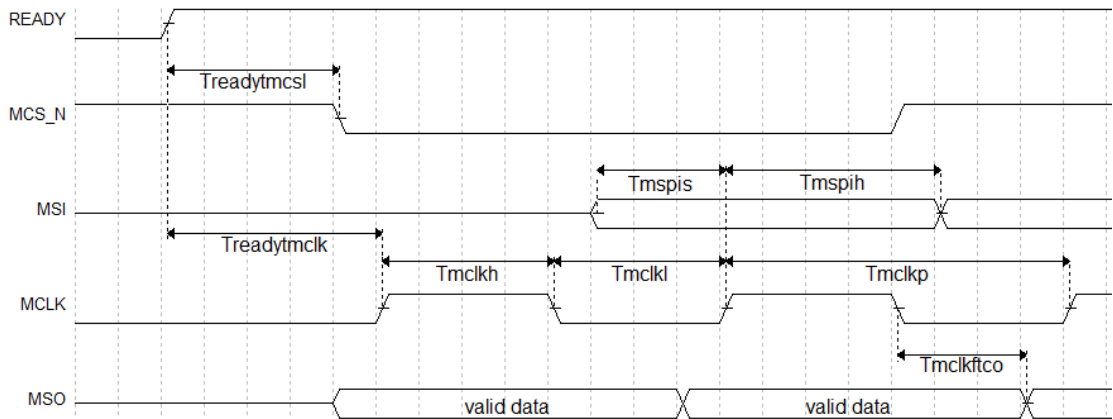
重新上电或者给编程管脚 RECONFIG\_N 一个低电平脉冲。

#### 4.6.4 MSPI 模式接口时序标准

MSPI 配置模式，即 FPGA 作为主器件，通过 SPI 接口主动从外部 Flash 读取配置数据。

MSPI 编程模式将配置数据写入外部 Flash 之后，需要重新上电或者触发 RECONFIG\_N 按键进行器件配置。MSPI 编程模式的时序图如图 4-8 所示。

图 4-8 MSPI 编程模式时序示意图



图中各个参数的含义如表 4-20 所示。

表 4-20 MSPI 编程模式时序参数

参数名称	参数含义	最小值	最大值
$T_{mcklp}$	MCLK 时钟周期(MCLK clock period)	15ns	-
$T_{mclkh}$	MCLK 时钟高电平时间(MCLK clock high time)	7.5ns	-
$T_{mckl}$	MCLK 时钟低电平时间(MCLK clock low time)	7.5ns	-
$T_{mspis}$	MSPI PORT 建立时间(MSPI PORT setup time)	5ns	-
$T_{mspih}$	MSPI PORT 保持时间(MSPI PORT hold time)	1ns	-
$T_{mcklftco}$	MCLK 下降沿到数据输出时延(Time from MCLK falling edge to output)	-	10ns
$T_{readytmcs1}$	READY 上升沿到 MCS_N 低电平时间(Time from READY rising edge to MCS_N low)	100ns	200ns
$T_{readytmclk}$	READY 上升沿到第一个 MCLK 沿时间(Time from READY rising edge to first MCLK edge)	2.8 $\mu$ s	4.4 $\mu$ s

## 4.6.5 DUAL BOOT 模式

DUAL BOOT 配置模式即 GW1NZ 系列 FPGA 产品自主选择从内置 Flash 或者外部 Flash 读取配置数据进行配置。

GW1NZ 系列 FPGA 产品优先选择从内置 Flash 启动，当内置 Flash 没有配置数据或者配置失败时，器件读取外部 Flash 的数据进行配置，两种方式都失败之后，器件无法进入工作状态。

## 4.6.6 CPU 模式

CPU 编程模式下，HOST 通过 DBUS 接口对 GW1NZ 系列 FPGA 产品进行编程配置。除了满足上电要求，使用 CPU 模式对 GW1NZ 系列 FPGA 产品进行编程，还需满足以下条件：

- CPU 接口使能

上电后初次编程或前一次编程时，RECONFIG\_N 设为“NON-RECOVERY”状态

- 启动新的编程

重新上电或者给编程管脚 RECONFIG\_N 一个低电平脉冲。

## 4.6.7 SERIAL 模式

SERIAL 配置模式，Host 通过串行接口对 GW1NZ 系列 FPGA 产品进行配置。除了满足上电要求，使用 SERIAL 模式对 GW1NZ 系列 FPGA 产品进行编程，还需满足以下条件：

- SERIAL 接口使能

上电后初次编程或前一次编程时，RECONFIG\_N 设为“NON-RECOVERY”状态。

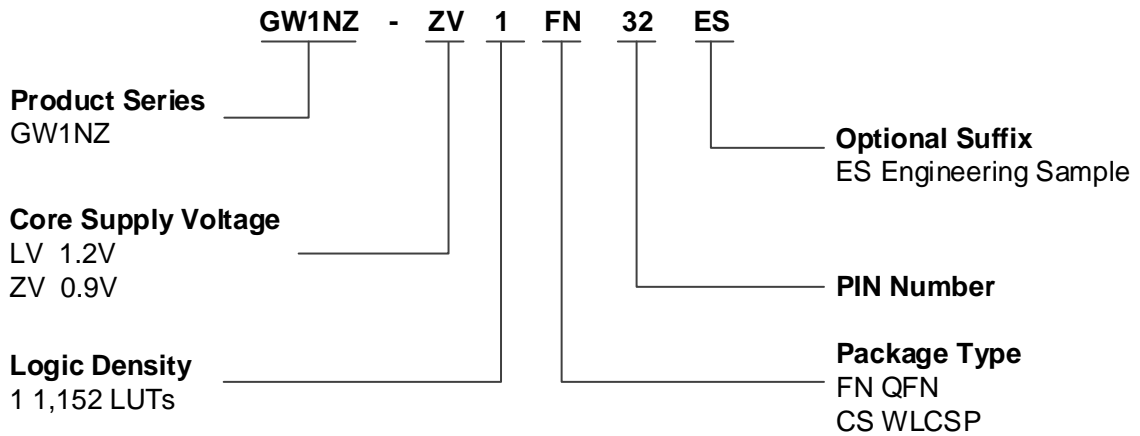
- 启动新的编程

重新上电或者给编程管脚 RECONFIG\_N 一个低电平脉冲。

# 5 器件订货信息

## 5.1 器件命名

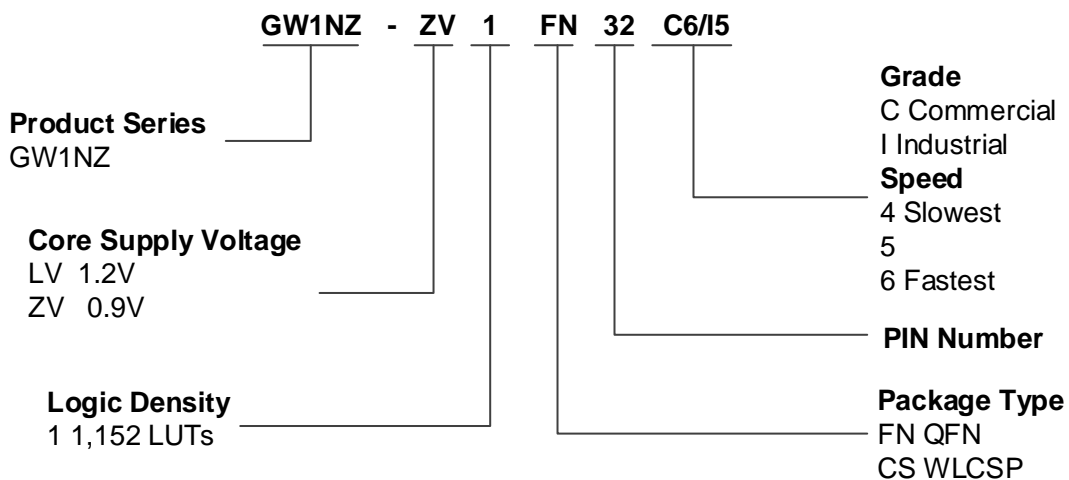
图 5-1 器件命名方法 - ES



注!

GW1NZ-1 支持 LV/ZV 版本。

图 5-2 器件命名方法 - Production



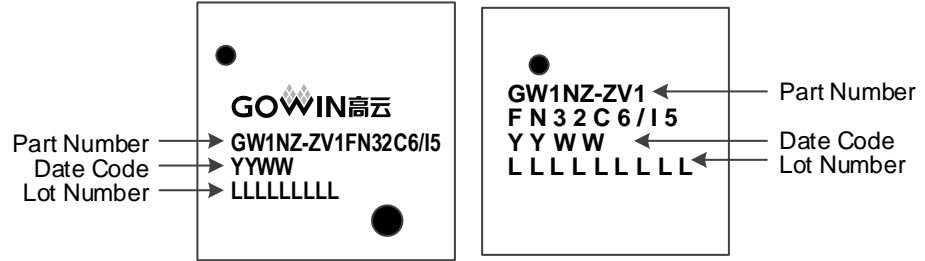
注!

Speed Grade 适用于 LV 版本和 ZV 版本。

## 5.2 器件封装标识

高云半导体产品在芯片表面印制了器件信息，如图 5-3 所示。

图 5-3 器件封装标识



注！

上图右图中第一行与第二行均为“Part Number”。

