GW1NSER 系列安全 FPGA 产品

数据手册

DS881-1.0, 2019-11-18

版权所有© 2019 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和／或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2019/11/18	1.0	初始版本。

目录

目录 i
图目录 v
表目录 vii
1 关于本手册 1
1.1 手册内容 1
1.2 相关文档 1
1.3 术语、缩略语 2
1.4 技术支持与反馈 3
2 产品概述 4
2.1 特性概述 4
2.2 产品信息列表 6
2.3 封装信息列表 6
3 结构介绍 8
3.1 结构框图 8
3.2 OTP 认证码 10
3.3 HyperRAM 10
3.4 NOR FLASH 11
3.5 可配置功能单元 12
3.5.1 可配置逻辑单元 12
3.5.2 布线资源单元 13
3.6 输入输出模块 14
3.6.1 I/O 电平标准 14
3.6.2 真 LVDS 设计 18
3.6.3 I/O 逻辑 18
3.6.4 I/O 逻辑工作模式 21
3.7 块状静态随机存储器模块 25
3.7.1 简介 25
3.7.2 存储器配置模式 27

3.7.3 存储器混合数据宽度配置 27
3.7.4 字节使能功能配置 28
3.7.5 校验位功能配置 28
3.7.6 同步操作 28
3.7.7 上电情况 28
3.7.8 存储器操作模式 28
3.7.9 B-SRAM 操作模式 32
3.7.10 时钟模式 34
3.8 用户闪存资源 35
3.8.1 简介 35
3.8.2 端口信号 36
3.8.3 操作模式 36
3.9 数字信号处理模块 37
3.9.1 简介 37
3.9.2 DSP 操作模式配置 41
3.10 Cortex-M3 41
3.10.1 简介 41
3.10.2 Cortex-M3 42
3.10.3 总线矩阵 43
3.10.4 NVIC 43
3.10.5 启动模式 45
3.10.6 时间戳 45
3.10.7 定时器 46
3.10.8 UART 47
3.10.9 看门狗 49
3.10.10 GPIO 51
3.10.11 调试接口 53
3.10.12 内存映射 53
3.10.13 应用 53
3.11 时钟 54
3.11.1 全局时钟网络 54
3.11.2 锁相环 56
3.11.3 高速时钟 58
3.12 长线 59
3.13 全局复置位 59
3.14 编程配置 59
3.14.1 SRAM 编程 59

3.14.2 Flash 编程 59
3.15 片内晶振 59
4 电气特性 61
4.1 工作条件 61
4.1.1 绝对最大范围 61
4.1.2 推荐工作范围 61
4.1.3 电源上升斜率 62
4.1.4 热插拔特性 62
4.1.5 POR 特性 62
4.2 ESD 性能 62
4.3 DC 电气特性 63
4.3.1 推荐工作范围 DC 电气特性 63
4.3.2 静态电流 64
4.3.3 I/O 推荐工作条件 65
4.3.4 单端 I/O DC 电气特性 66
4.3.5 差分 I/O DC 电气特性 67
4.4 AC/开关特性 67
4.4.1 I/O 速度 67
4.4.2 CFU 开关特性 68
4.4.3 时钟和 I/O 开关特性 68
4.4.4 Gearbox 开关特性 68
4.4.5 B-SRAM 开关特性 69
4.4.6 DSP 开关特性 69
4.4.7 片内晶振开关特性 69
4.4.8 锁相环开关特性 69
4.5 Cortex-M3 电气特性 70
4.5.1 DC 电气特性 70
4.5.2 AC 电气特性 70
4.6 用户闪存电气特性 70
4.6.1 DC 电气特性 70
4.6.2 AC 电气特性 72
4.6.3 操作时序图 73
4.7 编程接口时序标准 74
4.7.1 JTAG 模式接口时序标准 74
4.7.2 AUTO BOOT 模式接口时序标准 75
4.7.3 SSPI 模式接口时序标准 76

4.7.4 MSPI 模式接口时序标准 77
4.7.5 DUAL BOOT 模式 78
4.7.6 CPU 模式 78
4.7.7 SERIAL 模式 79
5 器件订货信息 80
5.1 器件命名 80
5.2 器件封装标识 83

图目录

图 3-1 GW1NSER-4C 器件结构示意图 8
图 3-2 CFU 结构示意图 12
图 3-3 CLS 中的寄存器示意图 13
图 3-4 IOB 结构示意图 14
图 3-5 GW1NSER-4C 器件 I/O Bank 分布示意图 15
图 3-6 真 LVDS 设计参考框图 18
图 3-7 I/O 逻辑输出示意图 18
图 3-8 I/O 逻辑输入示意图 19
图 3-9 IODELAY 示意图 19
图 3-10 GW1NSER 的 I/O 寄存器示意图 20
图 3-11 GW1NSER 的 IEM 示意图 20
图 3-12 普通模式下的 I/O 逻辑结构示意图 21
图 3-13 SDR 模式下的 I/O 逻辑结构示意图 21
图 3-14 I/O 逻辑的 DDR 输入示意图 22
图 3-15 I/O 逻辑的 DDR 输出示意图 22
图 3-16 I/O 逻辑的 IDES4 输入示意图 22
图 3-17 I/O 逻辑的 OSER4 输出示意图 22
图 3-18 I/O 逻辑的 IVideo 输入示意图 23
图 3-19 I/O 逻辑的 OVideo 输出示意图 23
图 3-20 I/O 逻辑的 IDES8 输入示意图 23
图 3-21 I/O 逻辑的 OSER8 输出示意图 23
图 3-22 I/O 逻辑的 IDES10 输入示意图 24
图 3-23 I/O 逻辑的 OSER10 输出示意图 24
图 3-24 I/O 逻辑的 IDES16 输出示意图 24
图 3-25 I/O 逻辑的 OSER16 输出示意图 24
图 3-26 单端口存储模式框图 29
图 3-27 双端口存储模式框图 30
图 3-28 伪双端口存储模式框图 30
图 3-29 只读模式存储框图 31

图 3-30 单端口、伪双端口及双端口模式下的流水线模式 33
图 3-31 独立时钟模式 34
图 3-32 读写时钟模式 34
图 3-33 单端口时钟模式 35
图 3-34 GW1NSER-4C/4 用户闪存端口信号 36
图 3-35 DSP 宏单元 38
图 3-36 Cortex-M3 结构框图 42
图 3-37 DEMCR 寄存器 45
图 3-38 Timer0/ Timer1 结构框图 46
图 3-39 APB UART Buffering 48
图 3-40 Watchdog 操作方式 50
图 3-41 内存映射 53
图 3-42 GW1NSER-4C 时钟资源 54
图 3-43 GCLK 象限分布示意 55
图 3-44 DQCE 结构示意图 55
图 3-45 DCS 接口示意图 56
图 3-46 DCS Rising Edge 模式下的时序示意图 56
图 3-47 DCS Falling Edge 模式下的时序示意图 56
图 3-48 PLL 示意图 57
图 3-49 GW1NSER-4C HCLK 示意图 58
图 4-1 用户闪存读操作时序 73
图 4-2 用户闪存编程操作时序 73
图 4-3 用户闪存擦除操作时序 74
图 4-4 JTAG 编程模式时序示意图 74
图 4-5 重新上电时序图 75
图 4-6 RECONFIG_N 触发时序图 75
图 4-7 SSPI 编程模式时序图 76
图 4-8 MSPI 编程模式时序示意图 78
图 5-1 GW1NSER-4C 内嵌 HyperRAM 器件命名方法–ES 80
图 5-2 GW1NSER-4C 内嵌 NOR FLASH 器件命名方法–ES 81
图 5-3 GW1NSER-4C 内嵌 HyperRAM 器件命名方法–Production 82
图 5-4 GW1NSER-4C 内嵌 NOR FLASH 器件命名方法–Production 82
图 5-5 GW1NSER-4C 器件封装标识示例 83

表目录

表 1-1 术语、缩略语 2
表 2-1 产品信息列表 6
表 2-2 存储资源列表 6
表 2-3 产品封装和最大用户 I/O 信息列表 6
表 3-1 CLS 中寄存器模块信号说明 13
表 3-2 GW1NSER 系列 FPGA 产品支持的输出 I/O 类型及部分可选配置 16
表 3-3 GW1NSER 支持的输入 I/O 类型及部分可选配置 17
表 3-4 B-SRAM 信号功能 26
表 3-5 存储器配置列表 27
表 3-6 双端口混合读写数据宽度配置列表 27
表 3-7 伪双端口混合读写数据宽度配置列表 28
表 3-8 单端口存储配置模式列表 29
表 3-9 双端口存储配置模式列表 30
表 3-10 伪双端口存储配置模式列表 31
表 3-11 只读配置模式列表 32
表 3-12 时钟模式配置列表 34
表 3-13 用户闪存模块信号说明 36
表 3-14 用户模式真值表 36
表 3-15 DSP 端口描述 39
表 3-16 内部寄存器描述 39
表 3-17 NVIC 中断向量表 44
表 3-18 Timer0/ Timer1 寄存器 47
表 3-19 UART0/UART1 寄存器 49
表 3-20 Watchdog 寄存器 51
表 3-21 GPIO 寄存器 52
表 3-22 PLL 端口定义 58
表 3-23 GW1NSER-4C 片内晶振的部分输出频率 60
表 4-1 绝对最大范围 61
表 4-2 推荐工作范围 61

表 4-3 电源上升斜率 62
表 4-4 热插拔特性 62
表 4-5 POR 电压参数 62
表 4-6 GW1NSER ESD - HBM 62
表 4-7 GW1NSER ESD – CDM 62
表 4-8 推荐工作范围内 DC 电气特性 63
表 4-9 静态电流 64
表 4-10 I/O 推荐工作条件 65
表 4-11 单端 I/O DC 电气特性 66
表 4-12 差分 I/O DC 电气特性 67
表 4-13 IO 特性参数 67
表 4-14 CFU 时序参数 68
表 4-15 外部开关特性 68
表 4-16 Gearbox 内部时序参数 68
表 4-17 B-SRAM 时序参数 69
表 4-18 DSP 时序参数 69
表 4-19 片内晶振特性参数 69
表 4-20 锁相环特性参数 69
表 4-21 电流特性 70
表 4-22 时钟参数 70
表 4-23 用户闪存 DC 电气特性 70
表 4-24 用户闪存时序参数 72
表 4-25 JTAG 编程模式时序参数 75
表 4-26 重新上电和 RECONFIG_N 触发时序参数 76
表 4-27 SSPI 编程模式时序参数 77
表 4-28 MSPI 编程模式时序参数 78

1 关于本手册

1.1 手册内容

GW1NSER 系列安全 FPGA 产品数据手册主要包括高云半导体 GW1NSER 系列 FPGA 产品特性概述、产品资源信息、内部结构介绍、电气特性、编程接口时序以及器件订货信息。帮助用户快速了解高云半导体 GW1NSER 系列 FPGA 产品以及特性，有助于器件选型及使用。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. DS881，GW1NSER 系列 FPGA 产品数据手册
2. UG290，Gowin 系列 FPGA 产品编程配置手册
3. UG884，GW1NSER 系列 FPGA 产品封装与管脚手册
4. UG883，GW1NSER-4C 器件 Pinout 手册

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
SoC	System On Chip	片上系统
ARM	Advanced RISC Machines	ARM 处理器
AHB	Advanced High performance Bus	AHB 系统总线
APB	Advanced Peripheral Bus	APB 外围总线
Timer	Timer	定时器
UART	Universal Asynchronous Receiver/Transmitter	通用异步收发器
NVIC	Nested Vector Interrupt Controller	嵌套式向量中断控制器
DAP	Debug Access Port	调试访问端口
Watchdog	Watchdog	看门狗
TimeStamp	TimeStamp	时间戳
DWT	Data Watchpoint Trace	数据监测点跟踪
ITM	Instrumentation Trace Module	仪器跟踪模块
TUIP	Trace Port Interface Unit	跟踪端口接口单元
USB	Universal Serial Bus	通用串行总线
PHY	Physical Layer	物理层
ADC	Analog to Digital Converter	模数转换器
SAR	Successive Approximation Register	逐次逼近型
SFDR	Spurious-freeDynamic Range	无杂散动态范围
SINAD	Signal to Noise And Distortion	信号与噪声失真比
LSB	Least Significant Bit	最低有效位
INL	Integral Nonlinearity	非线性积分
DNL	Differential Nonlinearity	非线性微分
CFU	Configurable Function Unit	可配置功能单元
CLS	Configurable Logic Slice	可配置逻辑片
CRU	Configurable Routing Unit	可编程布线单元
LUT4	4-input Look-up Tables	4 输入查找表
LUT5	5-input Look-up Tables	5 输入查找表
LUT6	6-input Look-up Tables	6 输入查找表
LUT7	7-input Look-up Tables	7 输入查找表
LUT8	8-input Look-up Tables	8 输入查找表
REG	Register	寄存器
ALU	Arithmetic Logic Unit	算术逻辑单元
IOB	Input/Output Block	输入输出模块

术语、缩略语	全称	含义
S-SRAM	Shadow SRAM	分布式静态随机存储器
B-SRAM	Block SRAM	块状静态随机存储器
SP	Single Port	单端口
SDP	Semi Dual Port	伪双端口
DP	Dual Port	双端口
DQCE	Dynamic Quadrant Clock Enable	动态象限时钟使能
DCS	Dynamic Clock Selector	动态时钟选择器
PLL	Phase-locked Loop	锁相环
QN48	QFN48	QFN48 封装
TDM	Time Division Multiplexing	时分复用

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel：+86 755 8262 0391

2产品概述

高云半导体 GW1NSER 系列安全 FPGA 产品支持基于 SRAM PUF 技术的安全根。每个器件由厂商提供一个唯一的密钥对，该密钥对永远不会公开在器件外部，或暴露于器件开发、制造过程中。GW1NSER 系列安全 FPGA 产品中植入 Intrinsic ID BroadKey-Pro 安全库，可以轻松地将常见的安全特性集成到用户应用程序中。Gowin 安全 FPGA 应用广泛，可以用于各种消费、工业物联网、边缘和服务器管理等应用。

GW1NSER 系列安全 FPGA 产品与 GW1NSR 系列 FPGA 产品具有相同的硬件组成单元，唯一的区别是在制造过程中，在 GW1NSER 系列安全 FPGA 产品内部非易失性 User Flash 中提前存储了一次性编程（OTP）认证码。具有该认证码的器件可用于实现加密、解密、密钥/公钥生成、安全通信等应用。

高云半导体提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 GW1NSER 系列 FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

2.1 特性概述

- 低功耗
  - 55nm 嵌入式闪存工艺
  - 核电压：1.2V
  - 支持 LV 版本
  - 支持时钟动态打开/关闭
- 集成 HyperRAM 存储芯片
- 集成 NOR FLASH 存储芯片
- 硬核微处理器
  - Cortex-M3 32-bit RISC 内核
  - ARM3v7M 架构，针对小封装嵌入式应用方案进行了优化
  - 系统定时器，提供了一个简单的 24 位写清零、递减、自装载计数器，具有灵活的控制机制
  - Thumb 兼容，Thumb-2 指令集处理器可以获取更高的代码密度
  - 最高支持 100MHz 的工作频率
  - 硬件除法和单周期乘法

  - 集成 NVIC，提供中断处理
  - 26 个中断，具有 8 个优先级
  - 内存保护单元，提供特权模式来保护操作系统的功能
  - 非对齐数据访问，数据能够更高效的装入内存
  - Bit-banding，精确的位操作，最大限度的利用了存储空间，改善了对外设的控制
  - Timer0 和 Timer1
  - UART0 和 UART1
  - watchdog
  - 调试端口：JTAG 和 TPIU
- 提供 OTP 认证码
- 用户闪存资源
  - 256Kb 存储空间
  - 32-bit 数据位宽
- 支持多种 I/O 电平标准
  - LVCMOS33/25/18/15/12；LVTTL33，SSTL33/25/18 I，SSTL33/25/18 II，SSTL15；HSTL18 I，HSTL18 II，HSTL15 I；PCI，LVDS25，RSDS，LVDS25E，BLVDSE
  - MLVDSE，LVPECLE，RSDSE
  - 提供输入信号去迟滞选项
  - 支持 4mA、8mA、16mA、24mA 等驱动能力
  - 提供输出信号 Slew Rate 选项
  - 提供输出信号驱动电流选项
  - 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项
  - 支持热插拔
  - 支持 MIPI 接口
  - 支持 I3C
- 丰富的基本逻辑单元
  - 4 输入 LUT(LUT4)
  - 双沿触发器
  - 支持移位寄存器
- 支持多种模式的静态随机存储器
  - 支持双端口、单端口以及伪双端口模式
  - 支持字节写使能
- 灵活的 PLL 资源
  - 实现时钟的倍频、分频和相移
  - 全局时钟网络资源
- 内置 Flash 编程
  - 瞬时启动
  - 支持安全位操作
  - 支持 AUTO BOOT 和 DUAL BOOT 编程模式
- 编程配置模式
  - 支持 JTAG 配置模式

- 支持多种 GowinCONFIG 配置模式：AUTOBOOT、SSPI、MSPI、CPU、SERIAL

2.2 产品信息列表

表 2-1 产品信息列表

器件	GW1NSER-4C
逻辑单元(LUT4)	4,608
寄存器(FF)	3,456
块状静态随机存储器 B-SRAM(bits)	180K
块状静态随机存储器数目 B-SRAM(个)	10
乘法器 (18 x 18 Multiplier)	16
用户闪存(bits)	256K
HyperRAM(bits)	64M
NOR FLASH(bits)	32M
锁相环(PLLs)	2
OSC	1，精度±5%
硬核处理器	Cortex-M3
I/O Bank 总数	4
最大 I/O 数	106
核电压	1.2V

2.3 封装信息列表

表 2-2 存储资源列表

器件	封装	Memory 类型	容量	位宽
GW1NSER-4C	QN48P	HyperRAM	64Mb	8 bits
	QN48G	NOR Flash	32Mb	1 bit

表 2-3 产品封装和最大用户 I/O 信息列表

封装	间距(mm)	尺寸(mm)	GW1NSER-4C
QN48P	0.4	6 x 6	38(4)
QN48G	0.4	6 x 6	38(4)

注！

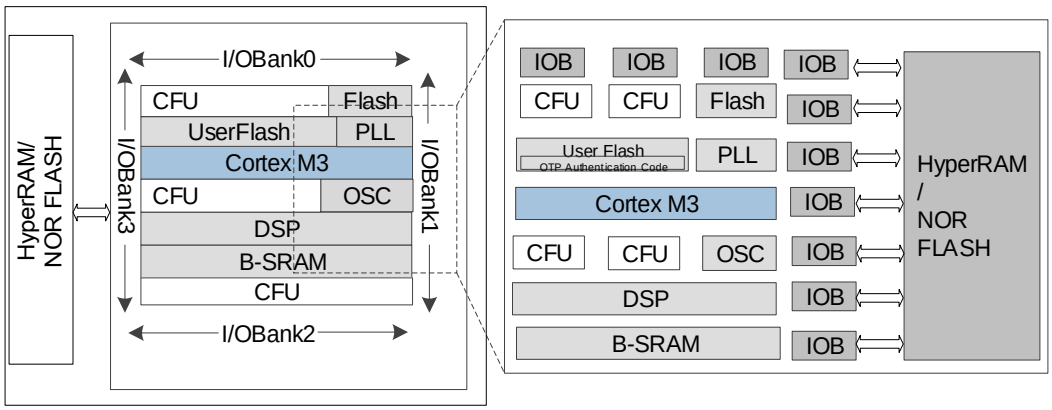
- JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。当 mode[2:0]=001 时，JTAGSEL_N 管脚与 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）可以同时设置为 GPIO，此时最大用户 I/O 数加 1。详细信息请参考 UG884, *GW1NSER 系列 FPGA 产品封装与管脚手册*。

- 本手册中 GW1NSER 系列 FPGA 产品封装命名采用缩写的方式，详细信息请参见 5.1 器件命名。
- 详细信息请参见 UG883,《*GW1NSER-4C 器件 Pinout*》。

3 结构介绍

3.1 结构框图

图 3-1 GW1NSER-4C 器件结构示意图



GW1NSER 为系统级封装安全芯片，集成了高云半导体 GW1NSE 系列 FPGA 产品及存储芯片。HyperRAM 特性和概述，请参见 3.3HyperRAM。NOR FLASH 特性和概述，请参考 3.4NOR FLASH。

GW1NSER 系列 FPGA 产品内嵌 Cortex-M3 硬核处理器、CFU（可配置功能单元）、I/O、B-SRAM 资源、PLL 资源、用户闪存资源、片内晶振、下载 Flash 资源，详细信息请参见表 2-1。

GW1NSER 系列安全 FPGA 产品支持基于 SRAM PUF 技术的安全根。在制造过程中，GW1NSER 系列安全 FPGA 产品内部非易失性 User Flash 中提前存储了一次性编程（OTP）认证码。详细信息请参见 3.2 OTP 认证码。

GW1NSER 系列 FPGA 产品基本的组成部分为可配置功能单元(CFU，Configurable Logic Unit)。在器件内部按照行、列式矩阵排列，不同容量的器件行数和列数不同。可配置功能单元（CFU）可以配置成查找表（LUT4）模式、算术逻辑模式。详细资料请参见 3.5 可配置功能单元。

GW1NSER 系列 FPGA 产品的 I/O 资源分布在器件外围，以 Bank 为单位划分，分别为 Bank0、Bank1、Bank2 和 Bank3。I/O 资源支持多种电平

标准，支持普通工作模式、SDR 工作模式和通用 DDR 模式。详细资料请参见 3.6 输入输出模块。

GW1NSER 系列 FPGA 产品的块状静态随机存储器（B-SRAM）在器件内部按照行排列，一个 B-SRAM 在器件内部占用 3 个 CFU 的位置。B-SRAM 提供两种使用方式，但是两种方式不能同时使用。一是用作 Cortex-M3 处理器系统的 SRAM 资源，用于存储器数据的读写，一个 B-SRAM 容量大小为 16Kbits，总容量为 64Kbits。二是用作用户的存储资源，一个 B-SRAM 的容量大小为 18Kbits，总容量为 72Kbits，支持多种配置模式和操作模式，详细资料请参见 3.7 块状静态随机存储器模块。

GW1NSER 系列 FPGA 产品内嵌了用户闪存资源，掉电数据不会丢失。支持两种使用方式，并且两种使用方式是互斥的。一是用于存储 Cortex-M3 处理器的 ARM 程序，这样使用时用户闪存资源只能读取，不能写入。二是用作用户的非易失性存储资源。详细信息请参考 3.8 用户闪存资源。

GW1NSER 系列 FPGA 产品内嵌了数字信号处理模块 DSP。DSP 在器件内部按照行排列，每个 DSP 资源占用 9 个 CFU 的位置。每个 DSP 包含两个宏单元，每个宏单元包含两个前加法器(pre-adders)，两个 18 位的乘法器(multipliers)和一个三输入的算术/逻辑运算单元(ALU54)。详细资料请参考 3.9 数字信号处理模块。

GW1NSER 系列 FPGA 产品内嵌了锁相环 PLL 资源。高云半导体 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。同时产品内嵌可编程片内晶振，支持 2.5MHz 到 120MHz 的时钟频率范围，为 MSPI 编程配置模式提供时钟。片内晶振可为用户提供可编程的用户时钟，时钟精度可达±5%。详细资料请参见 3.11 时钟。

GW1NSER 系列 FPGA 产品内嵌的下载 Flash 资源用于内置 Flash 编程，支持瞬时启动和安全位操作，支持 AUTO BOOT 和 DUAL BOOT 编程模式。详细资料请参考 4.7 编程接口时序标准。

Cortex-M3 硬核处理器，系统启动时支持 30MHz 的程序加载，支持和“内存”之间更高速的数据/指令传输。通过 AHB 扩展总线方便与外部存储设备通信。通过 APB 总线方便与外部设备进行通信，如 UART 等。通过 GPIO 接口可以灵活方便的与外部接口通信，FPGA 编程实现不同接口/标准的控制器功能，如 SPI、I^2C、I3C 等。详细资料请参考 3.10Cortex-M3。

此外，FPGA 器件内置了丰富的可编程布线单元(CRU，Configurable Routing Unit)，为 FPGA 内部的所有资源提供连接关系。可配置功能单元（CFU）和 IOB 内部都分布着布线资源，连通了 CFU 内部资源和 IOB 内部的逻辑资源。布线资源可通过高云半导体 FPGA 软件自动生成。此外，GW1NSER 系列 FPGA 产品还提供了丰富的专用时钟网络资源，长线资源，全局置复位，以及编程选项等。详细资料请参考 3.11 时钟、3.12 长线和 3.13 全局复置位。

3.2 OTP 认证码

OTP 认证码在制造过程中通过 SRAM PUF 产生并提前存储到安全 FPGA 内部非易失性 User Flash 中。该认证码唯一且不可改变。基于该认证码，用户可以创建自己的安全应用软件，通过使用 Intrinsic ID 安全软件库，实现加密、解密、密钥/公钥生成、安全通信等功能。

OTP 认证码特性如下：

- 基于 SRAM PUF 的安全元素
  - 基于内部 SRAM 固有属性生成根密钥对
  - 根密钥对每次上电重新生成、唯一、不直接存储于器件中
- IID BroadKey-Pro 安全库
  - 包含器件识别、加密、对称和非对称密钥生成
  - 包含功能调用示例代码
- 厂商配置
  - 初始化设备具有基于 SRAM PUF 生成的密钥对
  - 密钥对不会在制造过程中泄露
  - 每个设备配有 CSR 及证书
- 常见应用
  - 安全启动
  - 密钥及签名生成
  - 加密/解密

3.3 HyperRAM

特性:

- 时钟频率 200MHz
- 双沿数据传输
- 时钟：支持单端时钟和差分时钟
- 支持片选信号
- 数据位宽：8bits
- 支持硬件复位
- 读写数据锁存 RWDS
  - 双向数据锁存/掩码
  - 传输开始时输出，用来指示刷新延迟
  - 读操作期间的输出作为读锁存
  - 写操作期间的输入作为写数据掩码
- 颗粒堆栈地址

性能和功耗

- 可配置输出驱动能力
- 降低功耗的模式：混合睡眠模式和深度睡眠模式
- 可配置的突发特性：
  - 支持线性突发
  - 可编程突发长度：16、32、64 和 128 字节
  - 混合突发：一次突发操作接着是线性突发

- 阵列刷新模式：全阵列刷新模式和部分阵列刷新模式
- 供电电压：1.7V~2.0V 或者 2.7V~3.6V

器件 HyperRAM 供电请参考器件 pinout 手册。

高云半导体云源软件 IP Core Generator 支持内嵌/外部的 PSRAM 控制器的 IP，使用控制器的 IP 可以自动完成 PSRAM 上电初始化，读校准等操作，用户按照控制器的读/写时序操作即可，详细信息请参考 IPUG525, *Gowin HyperRAM & PSRAM Memory Interface IP 用户指南*。

3.4 NOR FLASH

封装后缀是”G”的器件，如 QN48G，内嵌 NOR FLASH，用来存储 Cortex-M3 的程序。

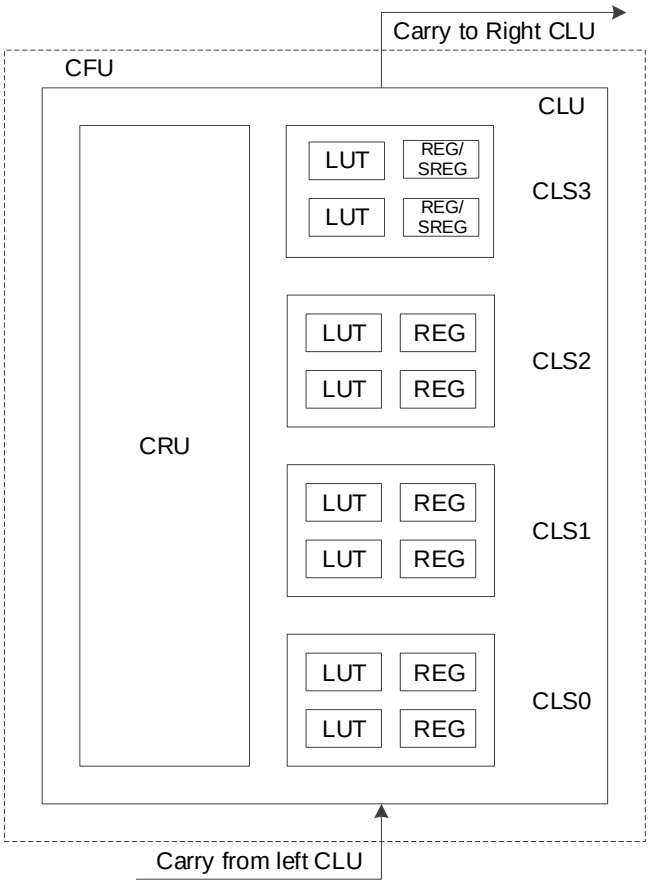
特性：

- 32Mb 存储空间，每页 256 字节；
- 支持 SPI；
- 时钟频率：120MHz；
- 支持连续读取 8/16/32/64 字节数据；
- 软/硬件写保护：
  - 软件设置全部/部分内存写保护；
  - ；
  - 顶层/底层块写保护
- Min 100,000 编程/擦除；
- 快速的编程/擦除操作：
  - 页编程时间：0.7ms；
  - Sector 擦除时间：90ms；
  - 块擦除时间：0.45s；
  - 芯片擦除时间：20s；
- 灵活的架构：
  - Sector：4K 字节
  - 块：32/64K 字节；
  - 擦除/编程挂起/恢复；
- 低功耗：
  - 待机电流：35uA;
  - 关断电流：0.2uA;
- 安全特性：
  - 每个器件有唯一的 128 位的 ID；
  - 3x1024 字节的安全寄存器，可实现 OTP 锁存；
- 数据存储时间：20 年

3.5 可配置功能单元

可配置功能单元(CFU)是构成 GW1NSER 系列 FPGA 产品的基本单元，每个 CFU 由可配置逻辑单元(CLU)和可编程布线资源单元(CRU)组成。每个 CLU 由四个可配置功能片 CLS(Configurable Logic Slice)组成，其中可配置功能片包含查找表和寄存器，请参见图 3-2。

图 3-2 CFU 结构示意图



注！

SERG 需要特殊的软件支持。如有需要，请联系高云半导体技术支持或当地 办事处。

3.5.1 可配置逻辑单元

可配置逻辑单元支持基本查找表、算术逻辑和存储器模式：

- 基本查找表模式

每个查找表可以被配置为一个 4 输入查找表(LUT4)，可配置逻辑单元可实现高阶查找表功能：

  - 一个可配置功能片可配置成一个 5 输入查找表(LUT5)。
  - 两个可配置功能片可配置成一个 6 输入查找表(LUT6)。
  - 四个可配置功能片可配置成一个 7 输入查找表(LUT7)。
  - 八个可配置功能片(两个 CLU)可配置成成一个 8 输入查找表(LUT8)。

- 算术逻辑模式

结合进位链，查找表可配置成算术逻辑模式(ALU)，用作实现以下功能：

- 加法/减法运算
- 计数器，包括加计数器和减计数器
- 比较器，包括大于比较、小于比较和不相等比较
- 乘法器

寄存器

可配置功能片(CLS0~CLS2)中各含两个寄存器(REG)，如图 3-3 所示。

图 3-3 CLS 中的寄存器示意图

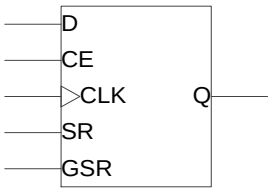


表 3-1 CLS 中寄存器模块信号说明

信号名	I/O	描述
D	I	寄存器数据输入 [1]
CE	I	CLK 使能信号，可配置为高电平使能或低电平使能 [2]
CLK	I	时钟信号，可配置为上升沿触发或下降沿触发 [2]
SR	I	本地置复位输入，可配置为如下功能 [2]： ● 同步复位 ● 同步置位 ● 异步复位 ● 异步置位 ● 无本地置复位
GSR[3,4]	I	全局复置位，可配置为如下功能 [4]： ● 异步复位 ● 异步置位 ● 无全局复置位
Q	O	寄存器输出

注！

- [1]信号 D 的来源可以选择同一可配置功能片中任一查找表的输出，也可以选择来自于 CRU 的输入。因此在查找表被占用的情况下，寄存器仍可以单独使用。
- [2]CFU 中可配置功能片的 CE/CLK/SR 均可独立配置选择。
- [3]在 GW1NSER 系列 FPGA 产品内部，GSR 通过直连线连接，不通过 CRU。
- [4]SR 与 GSR 同时有效时 GSR 有较高的优先级。

3.5.2 布线资源单元

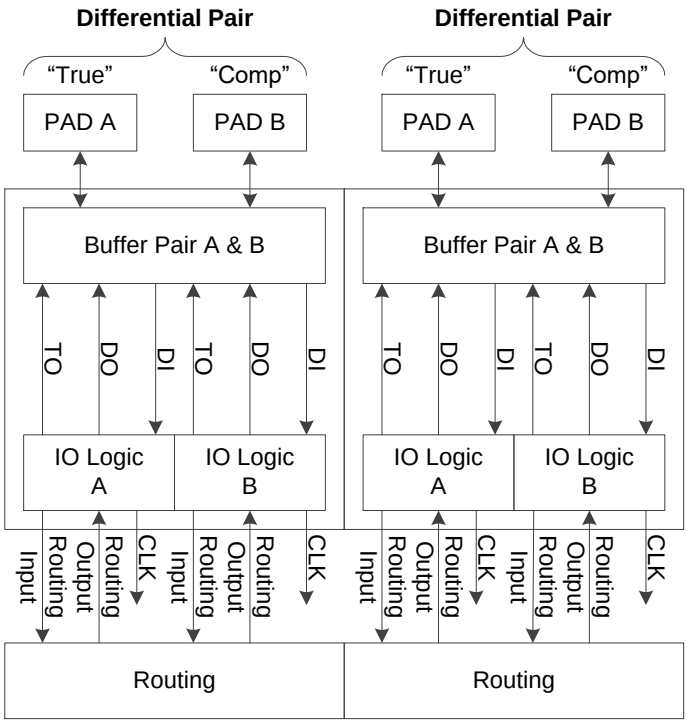
布线资源单元 CRU 的功能主要包括两个方面：

- 输入选择功能：为 CFU 的输入信号提供输入源选择。
- 布线资源功能：为 CFU 的输入/输出信号提供连接关系，包括 CFU 内部连接 CFU 之间连接以及 CFU 和 FPGA 内部其它功能模块之间的连接。

3.6 输入输出模块

GW1NSER 系列 FPGA 产品的 IOB 主要包括 I/O Buffer、I/O 逻辑以及相应的布线资源单元三个部分。如图 3-4 所示为两个 IOB 的结构示意图，每个 IOB 单元包括了两个 I/O 管脚(标记为 A 和 B)，它们可以配置成一组差分信号对，也可以作为单端信号分别配置。

图 3-4 IOB 结构示意图



GW1NSER 系列 FPGA 产品中 IOB 的功能特点：

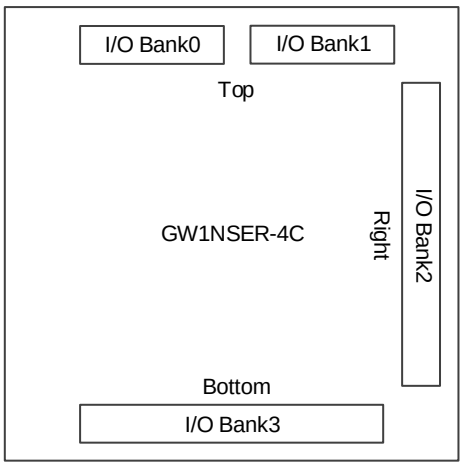
- 基于 Bank 的 V_{CCO} 机制。
- 支持 LVCMOS、PCI、LVTTL、LVDS、SSTL 以及 HSTL 等多种电平标准，GW1NSER-4C 的 BANK3 只支持单端 LVCMOS 输入/输出和 LVDS25E 差分输出。
- 提供输入信号去迟滞选项。
- 提供输出信号驱动电流选项。
- 提供输出信号 Slew Rate 选项。
- 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项。
- 支持热插拔，GW1NSER-4C 的 BANK3 除外。
- I/O 逻辑支持普通模式、SDR 模式以及 DDR 等多种模式。
- GW1NSER-4C 的 BANK0/BANK1 支持 MIPI 输入
- GW1NSER-4C 的 BANK2 支持 MIPI 输出
- GW1NSER-4C 的 BANK0/BANK1/BANK2 支持 I3C。

3.6.1 I/O 电平标准

GW1NSER 系列 FPGA 产品的 I/O 包括 4 个 Bank，如图 3-5 所示，每

个 Bank 有独立的 I/O 电源 V_{CCO}。为支持 SSTL，HSTL 等 I/O 输入标准，每个 Bank 还提供一个独立的参考电压(V_{REF})，用户可以选择使用 IOB 内置的 V_{REF} 源(等于 0.5*V_{CCO})，也可选择外部的 V_{REF} 输入(使用 Bank 中任意一个 I/O 管脚作为外部 V_{REF} 输入)。

图 3-5 GW1NSER-4C 器件 I/O Bank 分布示意图



GW1NSER-4C 器件支持 LV 版本。

GW1NSER 系列 FPGA 产品核电压 V_{CC} 为 1.2V；

LV 版本器件内部没有线性稳压器，辅助电压 V_{CCX} 支持 1.8V、2.5V 和 3.3V，I/O Bank 电压 V_{CCO} 可根据需要在 1.2V、1.5V、1.8V、2.5V、3.3V 电压中灵活设置。

注！

- GW1NSER-4C 器件 BANK0/BANK1 用作 MIPI 输入时，V_{CCO0}/V_{CCO1} 需设置为 1.2V，BANK2 用作 MIPI 输出时 V_{CCO2} 需设置为 1.2V；并且 V_{CCX} 设置为 1.8V 时 MIPI 的速度仅能达到 V_{CCX} 设置为 2.5V/3.3V 时 MIPI 速度的 60%；
- 空白芯片默认的可编程通用管脚状态是弱上拉。

不同的 I/O 输出标准对 V_{CCO} 的要求如表 3-2 所示。

表 3-2 GW1NSER 系列 FPGA 产品支持的输出 I/O 类型及部分可选配置

I/O 输出标准	单端/差分	Bank V_{CCO}(V)	输出驱动能力(mA)
LVTTL33	单端	3.3	4,8,12,16,24
LVCMOS33	单端	3.3	4,8,12,16,24
LVCMOS25	单端	2.5	4,8,12,16
LVCMOS18	单端	1.8	4,8,12
LVCMOS15	单端	1.5	4,8
LVCMOS12	单端	1.2	4,8
SSTL25_I	单端	2.5	8
SSTL25_II	单端	2.5	8
SSTL33_I	单端	3.3	8
SSTL33_II	单端	3.3	8
SSTL18_I	单端	1.8	8
SSTL18_II	单端	1.8	8
SSTL15	单端	1.5	8
HSTL18_I	单端	1.8	8
HSTL18_II	单端	1.8	8
HSTL15_I	单端	1.5	8
PCI33	单端	3.3	N/A
LVPECL33E	差分	3.3	16
MVLDS25E	差分	2.5	16
BLVDS25E	差分	2.5	16
RSDS25E	差分	2.5	8
LVDS25E	差分	2.5	8
LVDS25	差分	2.5/3.3	3.5/2.5/2/1.25
RSDS	差分	2.5/3.3	2
MINILVDS	差分	2.5/3.3	2
PPLVDS	差分	2.5/3.3	3.5
SSTL15D	差分	1.5	8
SSTL25D_I	差分	2.5	8
SSTL25D_II	差分	2.5	8
SSTL33D_I	差分	3.3	8
SSTL33D_II	差分	3.3	8
SSTL18D_I	差分	1.8	8
SSTL18D_II	差分	1.8	8
HSTL18D_I	差分	1.8	8
HSTL18D_II	差分	1.8	8
HSTL15D_I	差分	1.5	8

表 3-3 GW1NSER 支持的输入 I/O 类型及部分可选配置

I/O 输入标准	单端/差分	Bank V_{CCO}(V)	支持去迟滞选项	是否需要 V_{REF}
LVTTL33	单端	1.5/1.8/2.5/3.3	是	否
LVCMOS33	单端	1.5/1.8/2.5/3.3	是	否
LVCMOS25	单端	1.5/1.8/2.5/3.3	是	否
LVCMOS18	单端	1.5/1.8/2.5/3.3	是	否
LVCMOS15	单端	1.2/1.5/1.8/2.5/3.3	是	否
LVCMOS12	单端	1.2/1.5/1.8/2.5/3.3	是	否
SSTL15	单端	1.5/1.8/2.5/3.3	否	是
SSTL25_I	单端	2.5/3.3	否	是
SSTL25_II	单端	2.5/3.3	否	是
SSTL33_I	单端	3.3	否	是
SSTL33_II	单端	3.3	否	是
SSTL18_I	单端	1.8/2.5/3.3	否	是
SSTL18_II	单端	1.8/2.5/3.3	否	是
HSTL18_I	单端	1.8/2.5/3.3	否	是
HSTL18_II	单端	1.8/2.5/3.3	否	是
HSTL15_I	单端	1.5/1.8/2.5/3.3	否	是
PCI33	单端	3.3	是	否
LVDS	差分	2.5/3.3	否	否
RSDS	差分	2.5/3.3	否	否
MINILVDS	差分	2.5/3.3	否	否
PPLVDS	差分	2.5/3.3	否	否
LVDS25E	差分	2.5/3.3	否	否
MLVDS25E	差分	2.5/3.3	否	否
BLVDS25E	差分	2.5/3.3	否	否
RSDS25E	差分	2.5/3.3	否	否
LVPECL33	差分	3.3	否	否
SSTL15D	差分	1.5/1.8/2.5/3.3	否	否
SSTL25D_I	差分	2.5/3.3	否	否
SSTL25D_II	差分	2.5/3.3	否	否
SSTL33D_I	差分	3.3	否	否
SSTL33D_II	差分	3.3	否	否
SSTL18D_I	差分	1.8/2.5/3.3	否	否
SSTL18D_II	差分	1.8/2.5/3.3	否	否
HSTL18D_I	差分	1.8/2.5/3.3	否	否
HSTL18D_II	差分	1.8/2.5/3.3	否	否
HSTL15D_I	差分	1.5/1.8/2.5/3.3	否	否

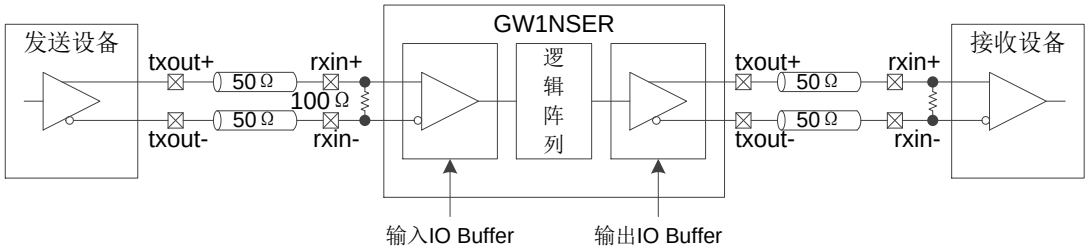
3.6.2 真 LVDS 设计

GW1NSER-4C 器件的 BANK2 支持真 LVDS 输出，但是不支持内部 100 欧姆输入差分匹配电阻。GW1NSER-4C 器件的 Bank0/1 支持内部 100 欧姆输入差分匹配电阻，但是不支持真 LVDS 输出。此外，IO 支持 LVDS25E、MLVDS25E、BLVDS25E 等电平类型，详细资料请参见 UG289, *Gowin 可编程通用管脚（GPIO）用户指南*。

真 LVDS 的分布详细资料请参见 UG883, *GW1NSER-4C 器件 Pinout 手册*。

LVDS 的输入端 IO 需要外部的 100 欧姆终端电阻做匹配，设计参考如图 3-6 所示。

图 3-6 真 LVDS 设计参考框图



LVDS25E、MLVDS25E、BLVDS25E 等差分 IO 终端匹配电阻网络请参见 UG289, *Gowin 可编程通用管脚（GPIO）用户指南*。

3.6.3 I/O 逻辑

图 3-7 为 GW1NSER 系列 FPGA 产品的 I/O 逻辑的输出部分。

图 3-7 I/O 逻辑输出示意图

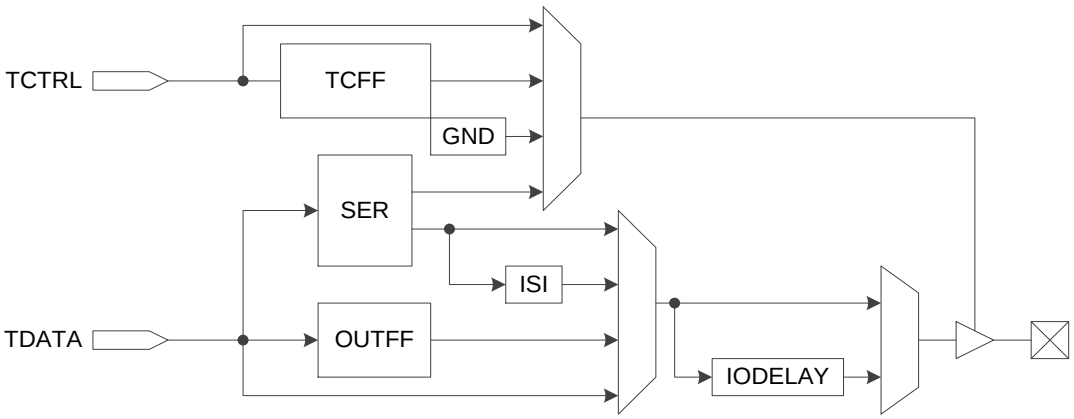
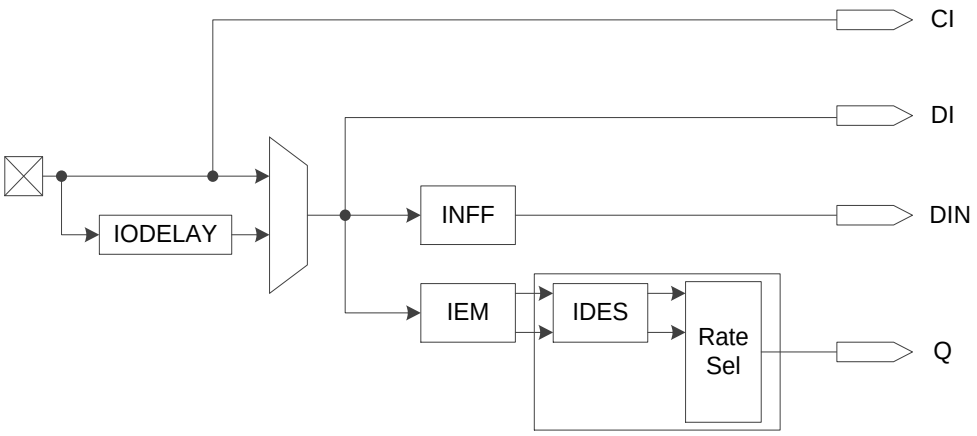


图 3-8 为 GW1NSER 系列 FPGA 产品的 I/O 逻辑的输入部分。

图 3-8 I/O 逻辑输入示意图

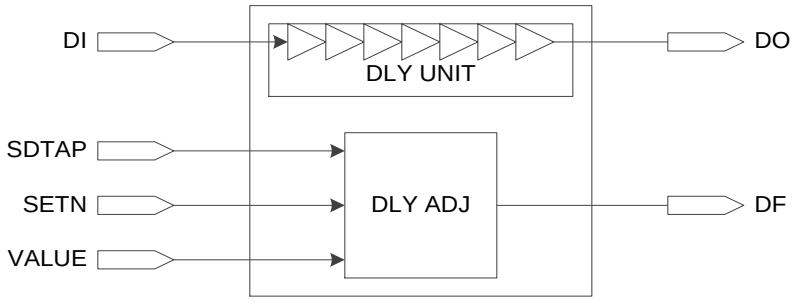


GW1NSER 系列 FPGA 产品的 I/O 逻辑的组成模块说明如下：

延迟模块

图 3-9 为延迟模块 IODELAY。GW1NSER 系列 FPGA 产品的每个 I/O 都包含 IODELAY 模块，总共提供 128(0~127)步的延迟，一步的延迟时间约为 30 ps。

图 3-9 IODELAY 示意图



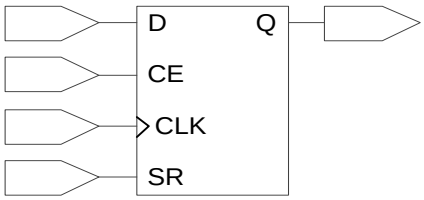
有两种控制延迟的方式：

- 静态控制；
- 动态控制，可与 IEM 模块一起使用来调节动态取样窗口，IODELAY 不能同时用于输入和输出。

I/O 寄存器

图 3-10 为 GW1NSER 系列 FPGA 产品的 I/O 寄存器模块。GW1NSER 系列 FPGA 产品的每个 I/O 都提供可编程输入寄存器 INFF、输出寄存器 OUTFF 和高阻控制寄存器 TCFF。

图 3-10 GW1NSER 的 I/O 寄存器示意图



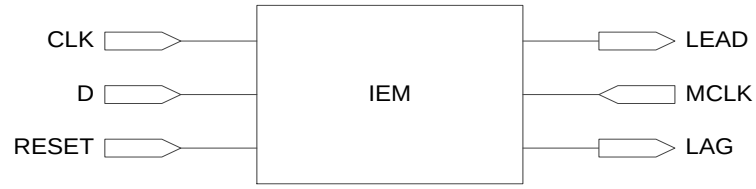
注！

- CE 可以编程为低电平有效(0：enable)或高电平有效(1：enable)。
- CLK 可以编程为上升沿触发或下降沿触发。
- SR 可以编程为同步/异步的 SET/RESET 或无效(disable)。
- 寄存器可以编程为寄存器(register)或触发器(latch)。

取样模块

取样模块(IEM)是用来取样数据边沿，用于通用 DDR 模式，如图 3-11 所示。

图 3-11 GW1NSER 的 IEM 示意图



解串器 DES 模块

每个输入的 I/O 逻辑提供了简单的解串器 DES，丰富了 I/O 资源应用方式。

串化器 SER 模块

每个输出的 I/O 逻辑提供了简单的串化器 SER 模块，丰富了 I/O 资源应用方式。

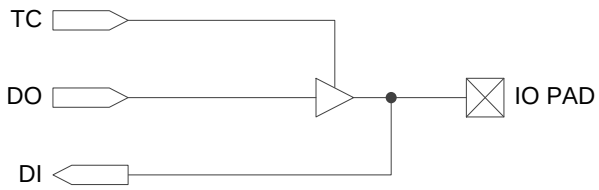
3.6.4 I/O 逻辑工作模式

GW1NSER 系列 FPGA 产品的 I/O 逻辑支持多种工作模式。每一种工作模式下，I/O(或 I/O 差分信号对)又可以配置成输出信号、输入信号、INOUT 信号及三态输出信号(带三态控制的输出信号)。

普通模式

普通模式下的 I/O 逻辑如图 3-12 所示，此模式下信号 TC、DO 以及 DI 直接通过 CRU 与器件内部连接。

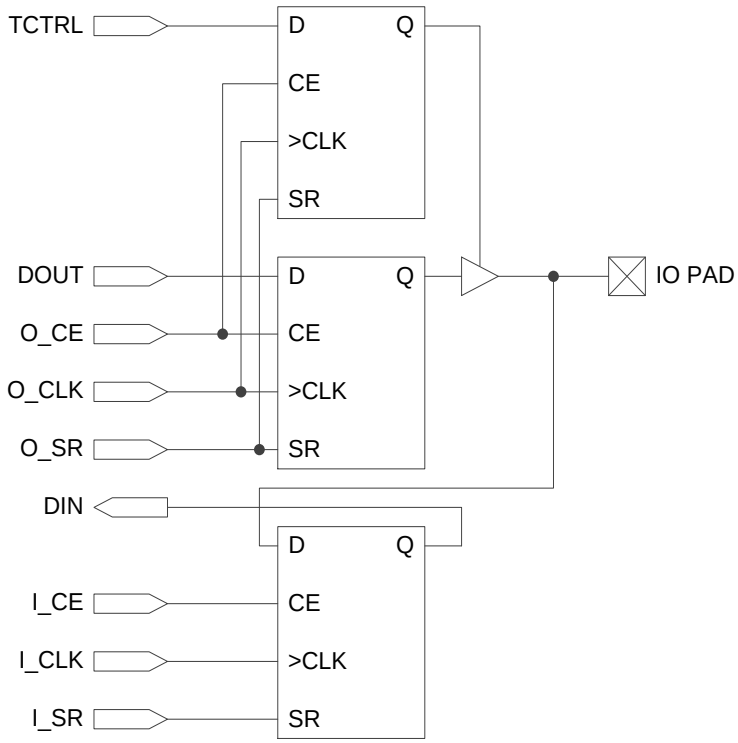
图 3-12 普通模式下的 I/O 逻辑结构示意图



SDR 模式

相对于普通模式，SDR 模式采用了 I/O 寄存器，如图 3-13 所示，可以有效地改善 I/O 的时序性能。

图 3-13 SDR 模式下的 I/O 逻辑结构示意图



注！

- CLK 使能信号 O_CE 和 I_CE 可以配置为高电平使能或低电平使能；
- 时钟信号 O_CLK 和 I_CLK 可以配置为上升沿触发或下降沿触发；

- 本地置复位信号 O_SR 和 I_SR 可以配置为同步复位、同步置位、异步复位、异步置位或无本地置复位功能；
- SDR 模式下的 I/O 存储单元可以配置成普通寄存器或 Latch。

通用 DDR 模式

在通用 DDR 模式下，GW1NSER 系列 FPGA 产品可以支持较高的 I/O 速度。

图 3-14 为通用 DDR 输入，PAD 与 FPGA 内部逻辑速率比为 1:2。

图 3-14 I/O 逻辑的 DDR 输入示意图

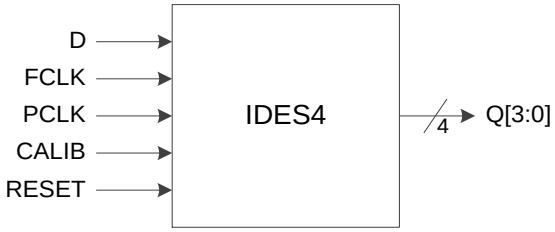
图 3-15 为通用 DDR 输出，PAD 与 FPGA 内部逻辑速率比为 2:1。

图 3-15 I/O 逻辑的 DDR 输出示意图

IDES4 模式

IDES4 模式下，PAD 与 FPGA 内部逻辑速率比为 1:4。

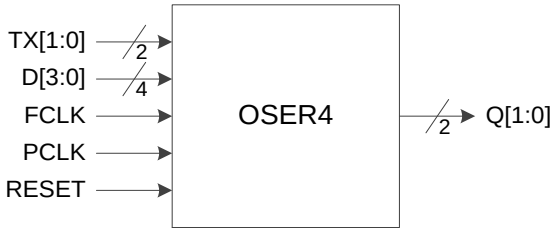
图 3-16 I/O 逻辑的 IDES4 输入示意图



OSER4 模式

OSER4 模式下，PAD 与 FPGA 内部逻辑速率比为 4:1。

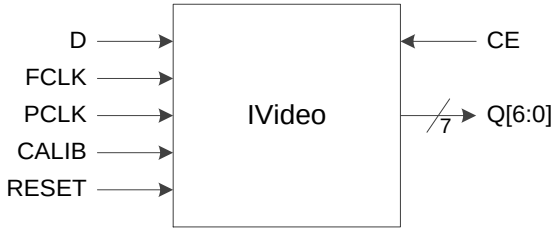
图 3-17 I/O 逻辑的 OSER4 输出示意图



IVideo 模式

IVideo 模式下，PAD 与 FPGA 内部逻辑速率比为 1:7。

图 3-18 I/O 逻辑的 IVideo 输入示意图



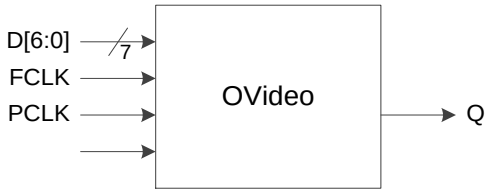
注！

IVideo 和 IDES8/10 将占用相邻 I/O 的资源。如果用单端 I/O 标准，则 I/O 逻辑将不能使用。在这种情况下，SDR 模式和普通模式还可以使用。

OVideo 模式

OVideo 模式下，PAD 与 FPGA 内部逻辑速率比为 7:1。

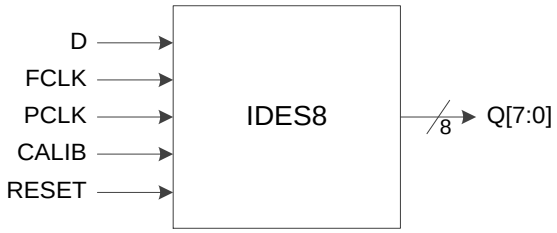
图 3-19 I/O 逻辑的 OVideo 输出示意图



IDES8 模式

IDES8 模式下，PAD 与 FPGA 内部逻辑速率比为 1:8。

图 3-20 I/O 逻辑的 IDES8 输入示意图



OSER8 模式

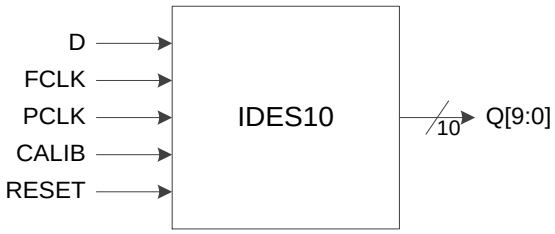
OSER8 模式下，PAD 与 FPGA 内部逻辑速率比为 8:1。

图 3-21 I/O 逻辑的 OSER8 输出示意图

IDES10 模式

IDES10 模式下，PAD 与 FPGA 内部逻辑速率比为 1:10。

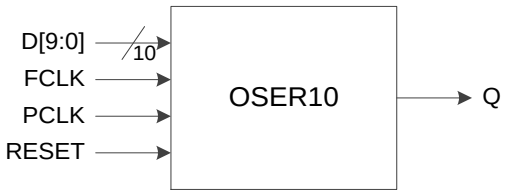
图 3-22 I/O 逻辑的 IDES10 输入示意图



OSER10 模式

OSER10 模式下，PAD 与 FPGA 内部逻辑速率比为 10:1。

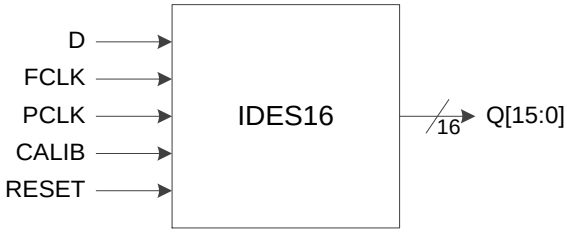
图 3-23 I/O 逻辑的 OSER10 输出示意图



IDES16 模式

IDES16 模式下，PAD 与 FPGA 内部逻辑速率比为 1:16。

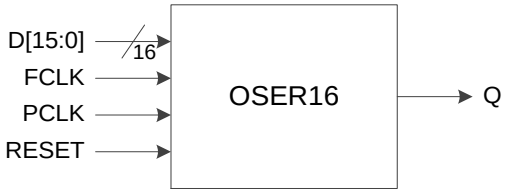
图 3-24 I/O 逻辑的 IDES16 输出示意图



OSER16 模式

OSER16 模式下，PAD 与 FPGA 内部逻辑速率比为 16:1。

图 3-25 I/O 逻辑的 OSER16 输出示意图



3.7 块状静态随机存储器模块

3.7.1 简介

GW1NSER 系列 FPGA 产品提供了丰富的块状静态随机存储器资源。这些存储器资源按照模块排列，以行的形式，分布在整个 FPGA 阵列中。因此称为块状静态随机存储器（B-SRAM）。在 FPGA 阵列中每个 B-SRAM 模块占用 3 个 CFU 的位置。

B-SRAM 支持两种功能：

1. 用作 Cortex-M3 的 SRAM 资源，为 Cortex-M3 提供高速的数据读/写存储功能，保证系统的运行。Cortex-M3 通过 AHB 总线实现数据的读写，数据位宽为 32bits，每个 B-SRAM 提供 8bits 数据，地址深度为 2048，总容量为 64Kbits。此时不能再用作 FPGA 的数据存储。
2. 用作 FPGA 的数据存储，每个 B-SRAM 可配置最高 18,432bits(18Kbits)。此时不能再用作 Cortex-M3 处理器系统的 SRAM。提供的操作模式包括：单端口模式 Single Port，双端口模式 Dual Port，伪双端口模式 Semi Dual Port，只读存储器模式。在表 3-4 中列出了 B-SRAM 的信号及功能描述。

丰富的块状静态随机存储器资源为用户的高性能设计提供了保障。以下是 B-SRAM 提供的各种功能：

- 1 个模块最大容量为 18,432bits
- 时钟频率达到 190MHz
- 单端口模式 Single Port
- 双端口模式 Dual Port
- 伪双端口模式 Semi Dual Port
- 提供校验位 Parity Bit
- 提供只读存储器模式 ROM
- 数据宽度从 1 位到 36 位
- 多时钟操作模式 Mixed Clock Mode
- 多数据宽度模式 Mixed Data Width Mode
- 在双字节以上的数据宽度支持字节使能功能 Enable Byte
- 异步复位，可同步释放
- 正常读写 Normal Read and Write Mode
- 先读后写 Read-before-write Mode
- 通写 Write-through Mode

表 3-4 B-SRAM 信号功能

端口名称	方向	描述
DIA	I	A 端口数据输入信号
DIB	I	B 端口数据输入信号
ADA	I	A 端口地址信号
ADB	I	B 端口地址信号
CEA	I	A 端口时钟使能信号
CEB	I	B 端口时钟使能信号
RESETA	I	A 端口寄存器复位信号
RESETB	I	B 端口寄存器复位信号
WREA	I	A 端口读/写使能信号
WREB	I	B 端口读/写使能信号
BLKSEL	I	存储单元块选择信号
CLKA	I	A 端口读/写时钟信号
CLKB	I	B 端口读/写时钟信号
OCEA	I	A 端口输出寄存器时钟使能信号
OCEB	I	B 端口输出寄存器时钟使能信号
DOA	O	数据输出 A 端口
DOB	O	数据输出 B 端口

3.7.2 存储器配置模式

GW1NSER 系列 FPGA 产品的块状静态随机存储器可支持多种的数据宽度，如表 3-5 所示。

表 3-5 存储器配置列表

单端口模式	双端口模式	伪双端口模式	只读模式
16K x 1	16K x 1	16K x 1	16K x 1
8K x 2	8K x 2	8K x 2	8K x 2
4K x 4	4K x 4	4K x 4	4K x 4
2K x 8	2K x 8	2K x 8	2K x 8
1K x 16	1K x 16	1K x 16	1K x 16
512 x 32	-	512 x 32	512 x 32
2K x 9	2K x 9	2K x 9	2K x 9
1K x 18	1K x 18	1K x 18	1K x 18
512 x 36	-	512 x 36	512 x 36

3.7.3 存储器混合数据宽度配置

GW1NSER 系列 FPGA 产品的块状静态随机存储器模块可支持混合数据线宽度操作。在双端口模式和伪双端口模式下，读和写的数据宽度可以不同，但需要按照表 3-6 和表 3-7 的配置来应用。

表 3-6 双端口混合读写数据宽度配置列表

读端口	写端口						
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	2K x 9	1K x 18
16K x 1	*	*	*	*	*		
8K x 2	*	*	*	*	*		
4K x 4	*	*	*	*	*		
2K x 8	*	*	*	*	*		
1K x 16	*	*	*	*	*		
2K x 9						*	*
1K x 18						*	*

注！

标注为“*”的表示支持的模式。

表 3-7 伪双端口混合读写数据宽度配置列表

读端口	写端口								
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	512 x 32	2K x 9	1K x 18	512 x 36
16K x 1	*	*	*	*	*	*			
8K x 2	*	*	*	*	*	*			
4K x 4	*	*	*	*	*	*			
2K x 8	*	*	*	*	*	*			
1K x 16	*	*	*	*	*	*			
512x32	*	*	*	*	*	*			
2K x 9							*	*	*
1K x 18							*	*	*

注！

标注为“*”的表示支持的模式。

3.7.4 字节使能功能配置

B-SRAM 支持字节使能（byte-enable）功能。可以遮蔽输入数据，只让被选择到的字节写入。而被遮蔽的数据能继续保留。读/写使能信号(WREA, WREB)，及 byte-enable 参数选项用于控制 B-SRAM 的写操作。

3.7.5 校验位功能配置

所有的块状静态随机存储器模块 B-SRAM 内置了校验位的配置。每个字节的第 9 位可用来做校验位，也可以用来存储数据。需要注意的是校验操作并没有提供。

3.7.6 同步操作

- 所有的块状静态随机存储器模块的输入寄存器支持同步写入；
- 输出寄存器可用作流水线寄存器提高用户的设计性能；
- 输出寄存器可旁路 bypass-able。

3.7.7 上电情况

B-SRAM 支持上电时静态随机存储器初始化。在上电过程中，B-SRAM 处于待机状态，所有数据输出为 0。此状态也适用于只读存储器模式 ROM。

3.7.8 存储器操作模式

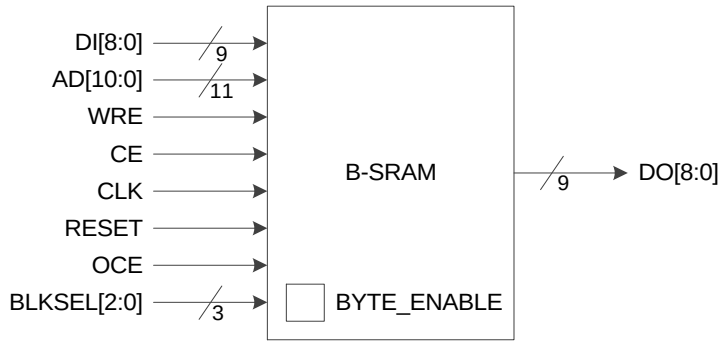
B-SRAM 的输入寄存器可用来支持同步写操作，输出寄存器可以用作流水线寄存器来提高用户的设计性能。B-SRAM 提供的双端口操作模式可用来支持任何在两个端口上的操作，如两个独立的读和两个独立的写，或者在不同时钟频率的一个独立的读和一个写。端口 A 和端口 B 可以拥有完全独立的时钟。

单端口模式

在单端口模式，B-SRAM 可以在一个时钟沿对 B-SRAM 进行读或写操作。

在写操作中，被写入的数据会传到 B-SRAM 的输出。支持正常写模式(Normal-write Mode)和通写模式(Write-through Mode)。当输出寄存器旁路(Bypass)时，新数据出现在同一个时钟的上升沿。单端口 2K x 9bits 存储模式框图如图 3-26 所示。

图 3-26 单端口存储模式框图



下表中列出了单端口模式的所有配置：

表 3-8 单端口存储配置模式列表

原语	配置模式	容量(bit)	端口模式	存储深度	数据位宽
SP	B-SRAM_16K_S1	16K	16K x 1	16,384	1
	B-SRAM_8K_S2	16K	8K x 2	8,192	2
	B-SRAM_4K_S4	16K	4K x 4	4,096	4
	B-SRAM_2K_S8	16K	2K x 8	2,048	8
	B-SRAM_1K_S16	16K	1K x 16	1,024	16
	B-SRAM_512_S32	16K	512 x 32	512	32
SPX9	B-SRAM_2K_S9	18K	2K x 9	2,048	9
	B-SRAM_1K_S18	18K	1K x 18	1,024	18
	B-SRAM_512_S36	18K	512 x 36	512	36

双端口模式

B-SRAM 支持双端口模式，以图 3-27 为例，可对两个端口做如下操作：

- 两个端口同时读操作
- 两个端口同时写操作
- 任何一个端口的读和写

图 3-27 双端口存储模式框图

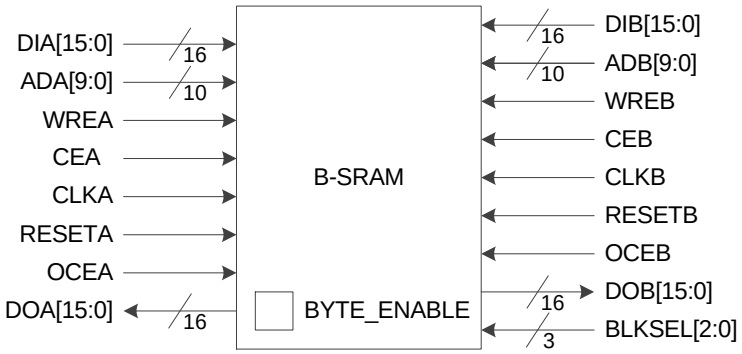


表 3-9 中列出了双端口模式的所有配置。

表 3-9 双端口存储配置模式列表

原语	配置模式	容量(bit)	端口模式	存储深度	数据位宽
DP	B-SRAM_16K_D1	16K	16K x 1	16384	1
	B-SRAM_8K_D2	16K	8K x 2	8192	2
	B-SRAM_4K_D4	16K	4K x 4	4096	4
	B-SRAM_2K_D8	16K	2K x 8	2048	8
	B-SRAM_1K_D16	16K	1K x 16	1024	16
DPX9	B-SRAM_2K_D9	18K	2K x 9	2048	9
	B-SRAM_1K_D18	18K	1K x 18	1024	18

伪双端口模式

下图显示了伪双端口 1K x 16bits 模式，可支持同时读操作和写操作。但是对同一个端口不能做读写操作，只支持 A 端口写，B 端口读。

图 3-28 伪双端口存储模式框图

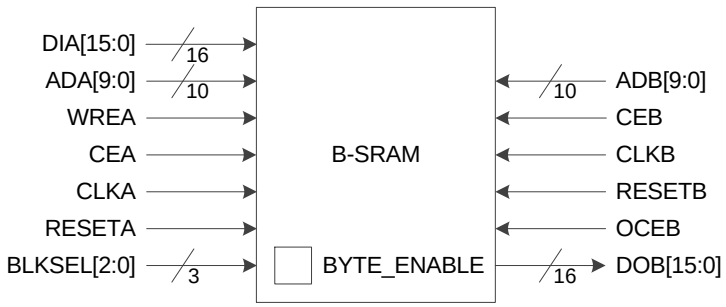


表 3-10 中列出了伪双端口模式的所有配置：

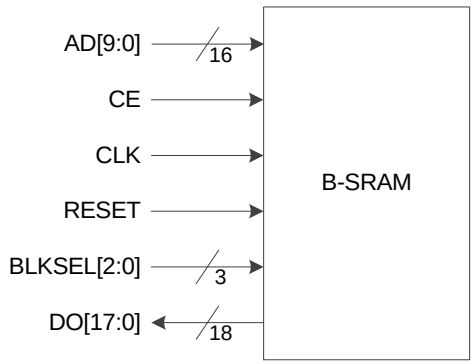
表 3-10 伪双端口存储配置模式列表

原语	配置模式	容量(bit)	端口模式	存储深度	数据位宽
SDP	B-SRAM_16K_SD1	16K	16K x 1	16,384	1
	B-SRAM_8K_SD2	16K	8K x 2	8,192	2
	B-SRAM_4K_SD4	16K	4K x 4	4,096	4
	B-SRAM_2K_SD8	16K	2K x 8	2,048	8
	B-SRAM_1K_SD16	16K	1K x 16	1,024	16
	B-SRAM_512_SD32	16K	512 x 32	512	32
SDPX9	B-SRAM_2K_SD9	18K	2K x 9	2,048	9
	B-SRAM_1K_SD18	18K	1K x 18	1,024	18
	B-SRAM_512_SD36	18K	512 x 36	512	36

只读模式

B-SRAM 可配置成只读存储器模式，如图 3-29 所示。用户可通过存储器初始化文件，通过编程端口来初始化只读存储器。用户需要提供 ROM 中的内容，编入初始化文件中。在器件上电编程时来完成初始化操作。

图 3-29 只读模式存储框图



每个 B-SRAM 可配置成一个 16Kbits ROM。表 3-11 中列出了 ROM 模式的所有配置。

表 3-11 只读配置模式列表

原语	配置模式	容量(bit)	端口模式	存储深度	数据位宽
ROM	B-SRAM_16K_O1	16K	16K x 1	16,384	1
	B-SRAM_8K_O2	16K	8K x 2	8,192	2
	B-SRAM_4K_O4	16K	4K x 4	4,096	4
	B-SRAM_2K_O8	16K	2K x 8	2,048	8
	B-SRAM_1K_O16	16K	1K x 16	1,024	16
	B-SRAM_512_O32	16K	512 x 32	512	32
ROMX9	B-SRAM_2K_O9	18K	2K x 9	2,048	9
	B-SRAM_1K_O18	18K	1K x 18	1,024	18
	B-SRAM_512_O36	18K	512 x 36	512	36

注！

在只读存储器模式中，复位信号 RESET 只对输入寄存器和输出寄存器复位，并不能清除存储器中的内容。

3.7.9 B-SRAM 操作模式

B-SRAM 支持 5 种操作模式，包括 2 种读操作模式(旁路模式 Bypass Mode，流水线读模式 PipelineRead Mode)和 3 种写操作模式(正常写模式：Normal-write Mode，通写模式：Write-through Mode，先读后写模式：Read-before-write Mode)。

读操作模式

从 B-SRAM 读出数据通过输出寄存器输出或不通过输出寄存器输出。

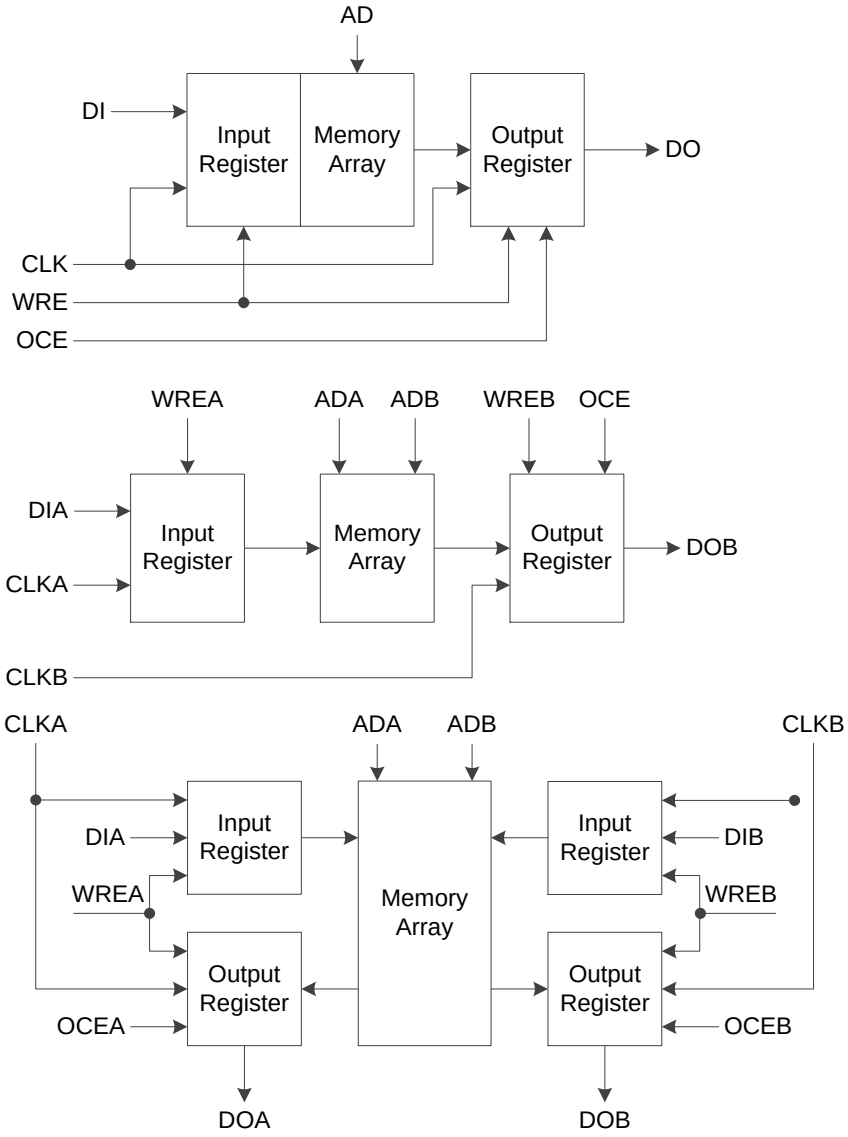
流水线模式

在同步写入存储器时，使用输出寄存器。此模式可支持数据宽度最大 36 位。

旁路模式

不使用输出寄存器，数据保留在存储器(Memory Array)的输出。

图 3-30 单端口、伪双端口及双端口模式下的流水线模式



写操作模式

正常写模式

对一个端口进行正常写操作，此端口的输出数据不变。写入数据不会出现在读端口。

通写模式

在此模式下，对一个端口进行写操作时，写入数据会出现在此端口的输出。

先读后写模式

在此模式下，对一个端口进行写操作时，原来的数据会出现在此端口的输出，写入数据会存入相应单元。

3.7.10 时钟模式

表 3-12 中列出了不同 B-SRAM 模式下可使用的时钟模式：

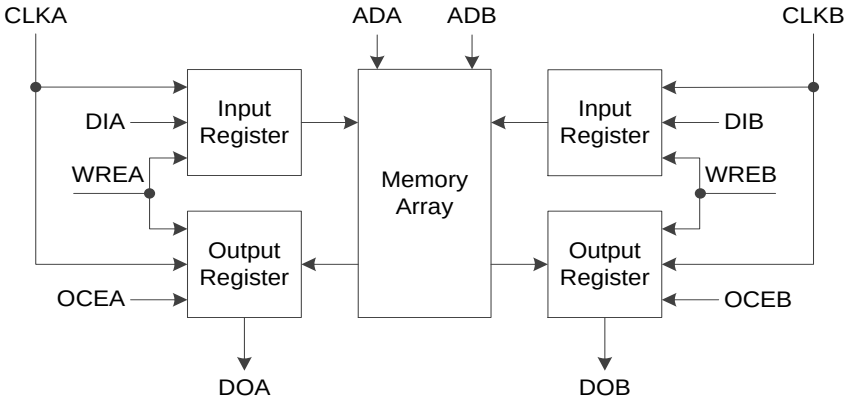
表 3-12 时钟模式配置列表

时钟模式	双端口模式	伪双端口模式	单端口模式
独立时钟模式	Yes	No	No
读/写时钟模式	Yes	Yes	No
单端口时钟模式	No	No	Yes

独立时钟模式

图 3-31 显示了在双端口模式下的独立时钟使用模式，每个端口各有一个独立时钟。CLKA 信号控制了端口 A 的所有寄存器，CLKB 信号控制了端口 B 的所有寄存器。

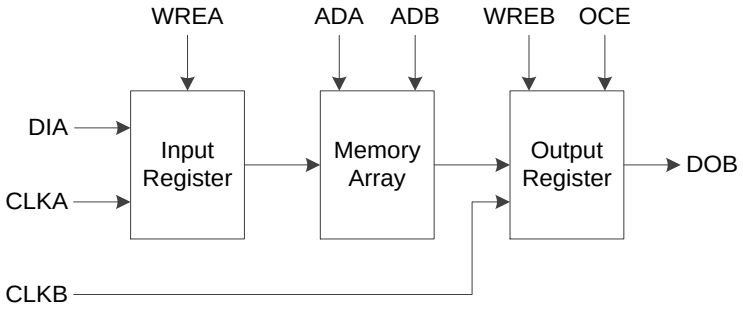
图 3-31 独立时钟模式



读写时钟模式

图 3-32 显示了在伪双端口模式下的读写时钟使用模式。每个端口各有一个时钟。写时钟(CLKA)信号控制了端口 A 的写入数据、写地址和读/写使能信号。读时钟(CLKB)信号控制了端口 B 的读出数据、读地址和读使能信号。

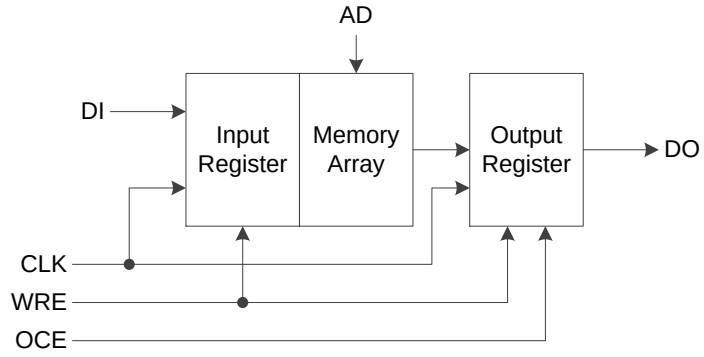
图 3-32 读写时钟模式



单端口时钟模式

图 3-33 显示了单端口时钟模式。

图 3-33 单端口时钟模式



3.8 用户闪存资源

3.8.1 简介

GW1NSER-4C 器件内嵌 32KB 的用户闪存资源(User Flash)，支持两种功能，并且两种使用方式是互斥的：

1.用作 Cortex-M3 程序的存储，此时用户闪存资源只能读取，不能写入；
2.为用户提供非易失性存储资源。

用户闪存由行存储单元和列存储单元组成，一行由 64 个列存储单元组成，列存储单元的容量为 32bits，行存储单元的容量为 64*32=2048 bits。擦除操作支持页擦除，一页的容量为 2048 字节，即一页包含 8 行。特性如下所示：

- 10,000 次写寿命周期
- 超过 10 年的数据保存能力(+85℃)
- 数据位宽：32
- 容量：128 行*64 列*32 = 256kbits
- 页擦除能力：2,048 字节
- 快速页擦除/字编程操作
- 时钟频率：40MHz
- 字编程时间：≤16μs
- 页擦除时间：≤120ms
- 电流
  - 读电流/持续时间：2.19mA/25ns (V_{CC}) & 0.5mA/25ns (V_{CCX})(MAX)
  - 编程/擦除操作：12/12mA(MAX)

3.8.2 端口信号

图 3-34 为 GW1NSER-4C/4 器件的用户闪存模块信号框图：

图 3-34 GW1NSER-4C/4 用户闪存端口信号

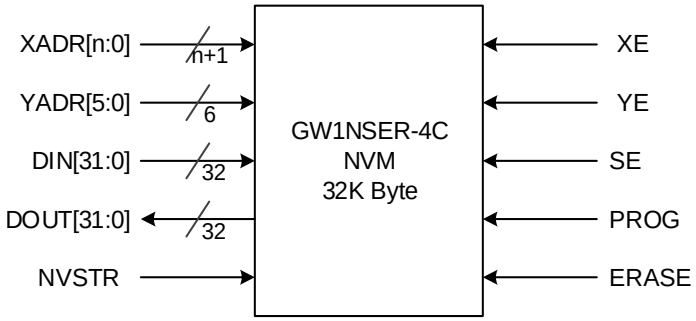


表 3-13 用户闪存模块信号说明

管脚名称 [1]	方向	描述
XADR[n:0][2]	I	X 地址总线，访问行地址，其中 XADR[n:3]用于选择某一页，XADR[2:0]用于选择一页中的某一行，一页由 8 行组成，一行由 64 列组成。 GW1NSER-4C：共 128 行，n=6
YADR[5:0][2]	I	Y 地址总线，用于选择一行存储单元中的某一列，一行由 64 列组成。
DIN[31:0]	I	数据输入总线。
DOUT[31:0]	O	数据输出总线。
XE[2]	I	X 地址使能信号，当 XE 为 0 的时候，所有的行地址均不使能。
YE[2]	I	Y 地址使能信号，当 YE 为 0 的时候，所有列地址均不使能。
SE[2]	I	检测放大器使能信号，高电平有效。
ERASE	I	擦除信号，高电平有效。
PROG	I	编程信号，高电平有效。
NVSTR	I	Flash 数据存储信号，高电平有效。

注！

- [1]控制信号、地址信号和数据信号端口名称。
- [2]只有当 XE=YE=V_{CC} 并且 SE 满足脉冲时序要求（T_{pws}, T_{nws}）的时候，读操作才是有效的。读出的数据的地址是由 XADR[5:0]和 YADR[5:0]确定的。

3.8.3 操作模式

表 3-14 用户模式真值表

模式	XE	YE	SE	PROG	ERASE	NVSTR
读模式	H	H	H	L	L	L
编程模式	H	H	L	H	L	H
页擦除模式	H	L	L	L	H	H

注！

“H”和“L”表示高电平和低电平。

3.9 数字信号处理模块

3.9.1 简介

GW1NSER-4C 器件中具有丰富的 DSP 模块资源。高云半导体的 DSP 解决方案可满足用户的高性能数字信号处理需求，如 FIR、FFT 设计等。DSP 具有时序性能稳定、资源利用率高、功耗低等优点。

DSP 支持下列功能：

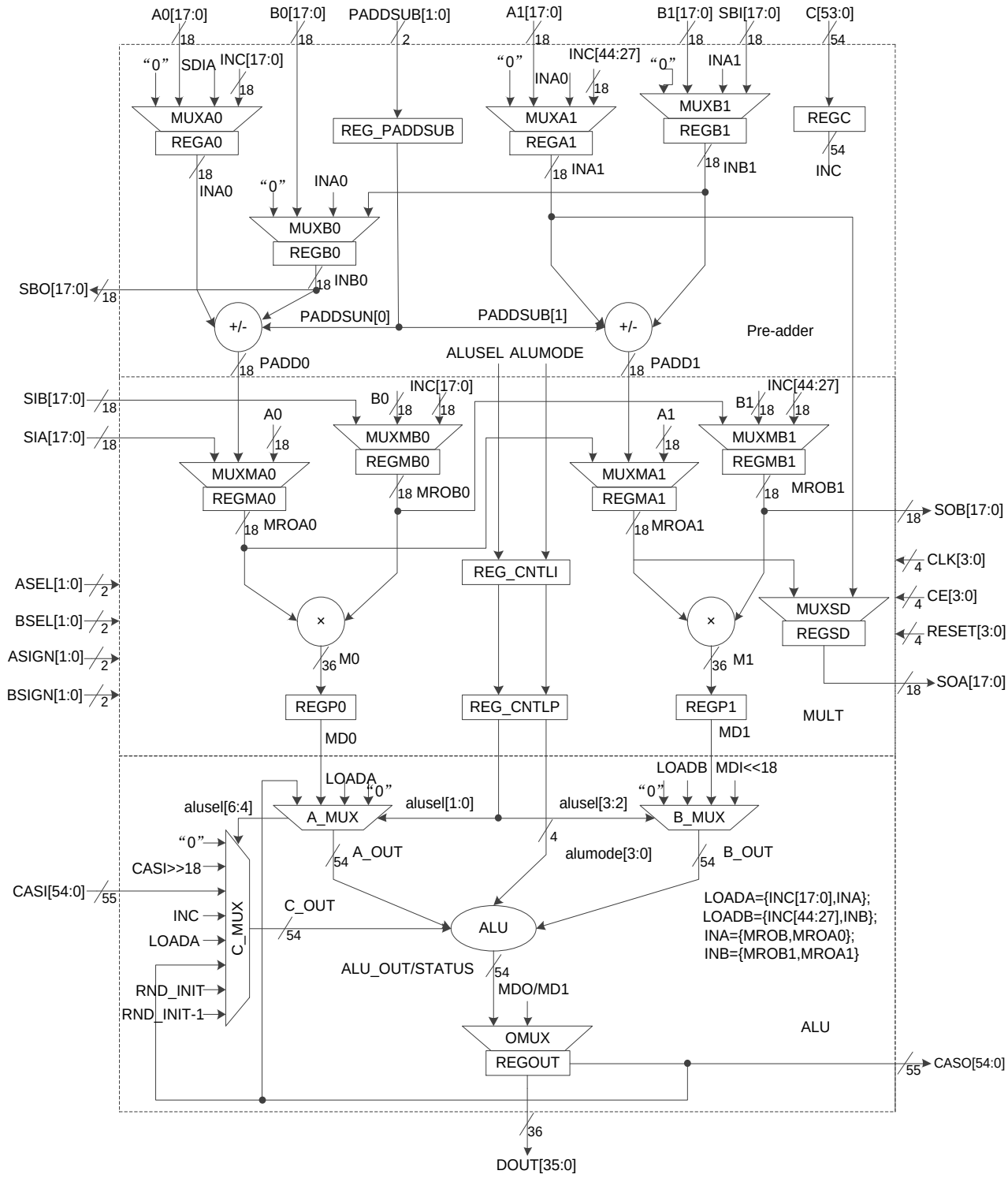
- 3 种宽度乘法器（9-bit，18-bit，36-bit）
- 54-bit 的算术/逻辑运算单元
- 多个乘法器可级联以增加数据宽度
- 桶形移位器(Barrel Shifter)
- 通过反馈信号做自适应滤波(Adaptive filtering through signal feedback)
- 运算可以自动取正(Computing with options of rounding to positive number or prime number)
- 支持寄存器输出和旁路输出

宏单元

DSP 模块排列以行的形式分布在整个 FPGA 阵列中。每个 DSP 模块占用 9 个 CFU 的位置。每个 DSP 包含两个宏单元，每个宏单元包含两个前加法器(pre-adders)，两个 18 位的乘法器(multipliers)，和一个三输入的算术/逻辑运算单元(ALU54)。

图 3-35 显示了一个宏单元的结构。

图 3-35 DSP 宏单元


A0[17:0]
B0[17:0]
PADDSUB[1:0]
A1[17:0]
B1[17:0]
SBI[17:0]
C[53:0]
"0"
SDIA
INC[17:0]
INC[44:27]
INA0
INA1
MUXA0
REGA0
REG_PADDSUB
MUXA1
REGA1
MUXB1
REGB1
REGC
INB1
INC
MUXB0
REGB0
INB0
SBO[17:0]
+/-
PADDSUN[0]
PADDSUB[1]
Pre-adder
ALUSEL
ALUMODE
PADD0
PADD1
SIB[17:0]
SIA[17:0]
B0
A0
B1
A1
MUXMB0
REGMB0
MUXMB1
REGMB1
MUXMA0
REGMA0
MUXMA1
REGMA1
MROB0
MROB1
MROA0
MROA1
SOB[17:0]
REG_CNTLI
CLK[3:0]
CE[3:0]
RESET[3:0]
ASEL[1:0]
BSEL[1:0]
ASIGN[1:0]
BSIGN[1:0]
×
MUXSD
REGSD
M0
M1
SOA[17:0]
REGP0
REG_CNTLP
REGP1
MULT
MD0
MD1
LOADA
LOADB
MDI<<18
alusel[6:4]
alusel[1:0]
alusel[3:2]
A_MUX
B_MUX
A_OUT
alumode[3:0]
B_OUT
CASI>>18
CASI[54:0]
C_MUX
C_OUT
ALU
LOADA={INC[17:0],INA};
LOADB={INC[44:27],INB};
INA={MROB,MROA0};
INB={MROB1,MROA1}
ALU_OUT/STATUS
RND_INIT
RND_INIT-1
MDO/MD1
OMUX
REGOUT
ALU
CASO[54:0]
DOUT[35:0]

DSP 模块端口描述如表 3-15 所示，内部寄存器如表 3-16 所示。

表 3-15 DSP 端口描述

端口名称	I/O 类型	说明
A0[17:0]	I	18-bit 数据输入 A0
B0[17:0]	I	18-bit 数据输入 B0
A1[17:0]	I	18-bit 数据输入 A1
B1[17:0]	I	18-bit 数据输入 B1
C[53:0]	I	54-bit 数据输入 C
SIA[17:0]	I	移位数据输入 A，用于级联连接。输入信号 SIA 直接连接到先前相邻的 DSP 模块的输出信号 SOA，DSP 模块内部从 SIA 到 SOA 的延迟时间是一个时钟周期
SIB[17:0]	I	移位数据输入 B，用于级联连接。输入信号 SIB 直接连接到先前相邻的 DSP 模块的输出信号 SOB，DSP 模块内部从 SIB 到 SOB 的延迟时间是一个时钟周期
SBI[17:0]	I	前加器逻辑移位输入，反向
CASI[54:0]	I	来自前一个 DSP 模块的 ALU 输入，用于级联连接
ASEL[1:0]	I	前加器或乘法器的 A 输入源选择
BSEL[1:0]	I	乘法器的 B 输入源选择
ASIGN[1:0]	I	输入信号 A 符号位
BSIGN[1:0]	I	输入信号 B 符号位
PADDSUB[1:0]	I	前加器的操作控制信号，用于前加器逻辑加减法选择
CLK[3:0]	I	时钟输入
CE[3:0]	I	时钟使能信号
RESET[3:0]	I	同步/异步，复位信号
SOA[17:0]	O	移位数据输出 A
SOB[17:0]	O	移位数据输出 B
SBO[17:0]	O	前加器逻辑移位输出，反向方向
DOUT[35:0]	O	DSP 输出数据
CASO[54:0]	O	ALU 输出到下一个 DSP 模块进行级联连接，最高位符号扩展

表 3-16 内部寄存器描述

寄存器	说明及相关属性
A0 register	A0输入寄存器
A1 register	A1输入寄存器
B0 register	B0输入寄存器
B1 register	B1输入寄存器

寄存器	说明及相关属性
C register	C输入寄存器
P1_A0 register	左乘数A0输入寄存器
P1_A1 register	右乘数A1输入寄存器
P1_B0 register	左乘数B0输入寄存器
P1_B1 register	右乘数B1输入寄存器
P2_0 register	左乘数流水线输入寄存器
P2_1 register	右乘数流水线输入寄存器
OUT register	DOUT输出寄存器
OPMODE register	操作模式控制寄存器
SOA register	寄存器 SOA 的移位输出

前加器

DSP 宏单元包含两个前加器，实现预加、预减和移位功能。

前加器位于宏单元的最前端，有两个输入端：

- 并行 18-bit 输入 B 或 SBI；
- 并行 18-bit 输入 A 或 SIA。

注！

每个输入端都支持寄存器模式和旁路模式。

高云半导体 FPGA 产品的前加器可以作为功能模块单独使用，支持 9-bit 位宽和 18-bit 位宽。

乘法器

乘法器(multipliers)位于前加器之后，用来实现乘法运算。乘法器可以配置为 9 x 9、18 x 18、36 x 18 或 36 x 36，输入端和输出端均支持寄存器模式和旁路模式。一个宏单元支持的配置模式包括：

- 一个 18 x 36 乘法器
- 两个 18 x 18 乘法器
- 四个 9 x 9 乘法器

注！

两个宏单元可以配置成一个 36 x 36 乘法器。

算术运算单元

每个 DSP 宏单元包含一个 54 位 ALU54，是对乘法器功能的进一步加强，输入端和输出端均支持寄存器模式和旁路模式。支持的功能包括：

- 乘法器输出数据/0、数据 A 和数据 B 的加法/减法运算；
- 乘法器输出数据/0、数据 B 和进位 C 的加法/减法运算；
- 数据 A、数据 B 和进位 C 的加法/减法运算。

3.9.2 DSP 操作模式配置

- 乘法器(multiplier)模式
- 乘法累加器(accumulator)模式
- 乘法求和累加器模式

3.10 Cortex-M3

3.10.1 简介

GW1NSER 系列安全 FPGA 芯片内嵌微处理器系统硬核、具有丰富的逻辑资源、内嵌用户闪存资源、B-SRAM 存储资源、PLL 和 OSC 时钟资源。微处理器硬核是 32-bit RISC 架构的 Cortex-M3，具有低功耗，低成本，高性能的特点，FPGA 提供可编程的外设和软核 IP，方便灵活的实现片上系统。

微处理器系统通过处理器模块和总线系统与外设通信，这里的外设指使用 FPGA 资源实现的外设或调用 FPGA 软核 IP 实现的外设。FPGA 内部有丰富的逻辑资源，用户可以灵活实现不同外设，高云云源软件提供了丰富的软核 IPs，方便用户调用，如 SPI、I^2C、I3C 等外设控制器。微处理器系统连接的是 FPGA 资源，除了 JTAG 接口，没有直接的 I/O 端口与外设端口连接。

总线系统由 AHB-Lite 总线、AHB2APB 桥接总线和两条 APB 总线组成。

微处理器系统通过 AHB 总线访问 FPGA 子内存系统，该系统包含一个控制器，实现了 128KB 的 Flash 资源的只读操作和 8KB 的 B-SRAM 资源的读写操作。上电启动后，Cortex-M3 内核加载 Flash 中 ARM 程序的指令和数据，并且传输到 B-SRAM，然后开始运行。

AHB 总线支持两个扩展端口 INTEXP0 和 TARGEXP0，每个扩展端口提供一个 126bits 的 AHB 总线，可以连接到 FPGA 中的任何高速外设或存储资源。AHB 总线支持 GPIO 接口连接到 FPGA，用来实现用户通用 I/O 功能的连接。

两条 APB 总线分别为 APB1 和 APB2，APB1 连接两个定时器（Timer0 和 Timer1），两个 UART（Uart0 和 Uart1）,以及一个看门狗（Watchdog）。两个 UART 直接连接到 FPGA，两个定时器和看门狗只在微处理器系统内部控制和使用，通过寄存器访问。APB2 总线直接连接到 FPGA 资源。

处理器模块由 Cortex-M3 内核、总线矩阵、NVIC、调试端口和时间戳组成。

Cortex-M3 内核通过总线矩阵来访问总线系统，包括 AHB 总线，AHB2APB 桥接总线和两条 APB 总线。

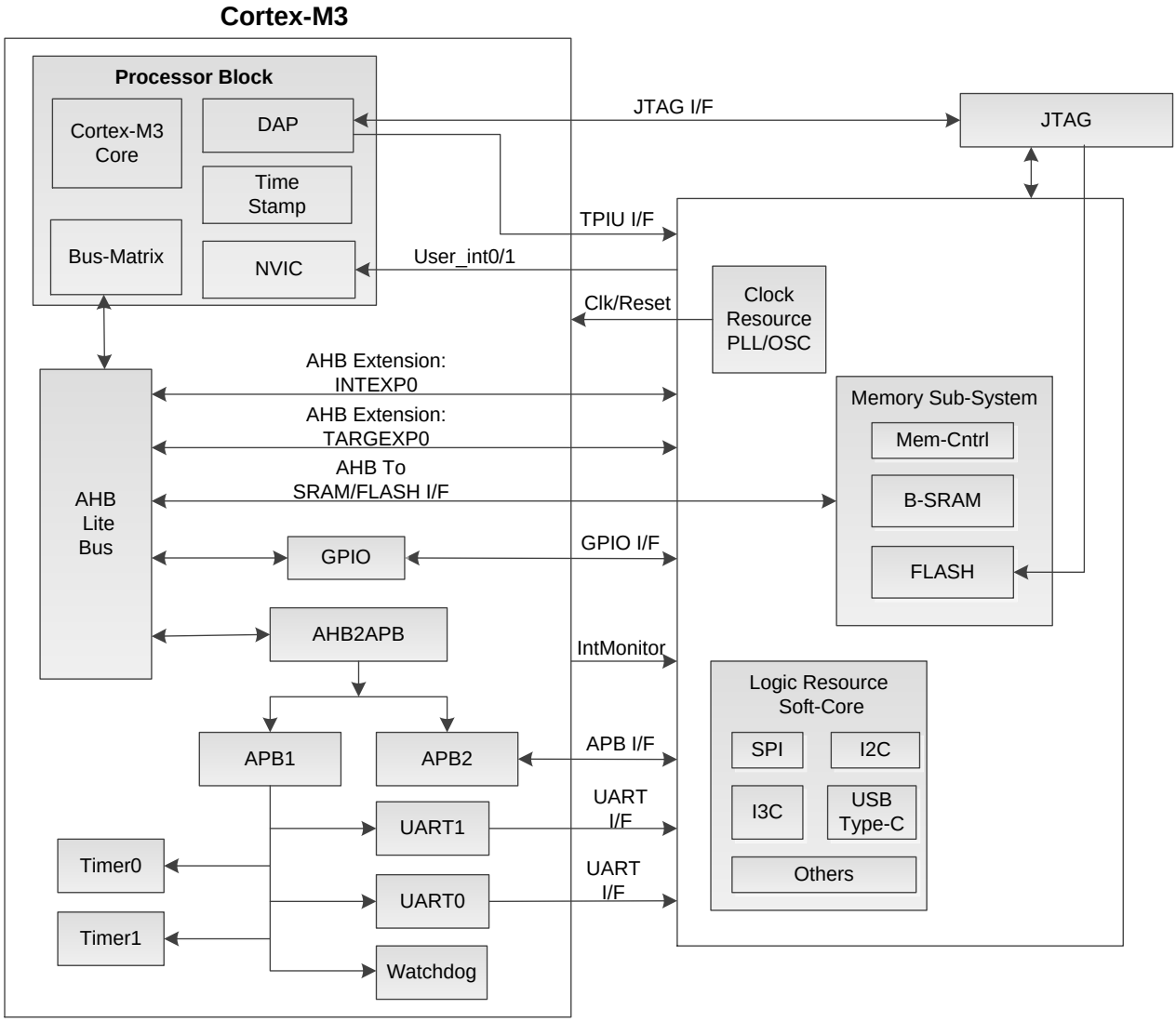
支持六个外部用户中断。调试端口包括 JTAG 调试端口和 TPIU。

此外，微处理器系统提供了一个中断监测信号 IntMonitor，该信号可以指示 GPIO 中断或 APB1 外设中断，包括 Timer0 / Timer1 / Uart0 / Uart1 / Watchdog。该中断监测信号反馈给 FPGA，用来报告微处理器系统当前运行的中断状态。

FPGA 内嵌 PLL 和 OSC，可以灵活方便的提供时钟资源，上电复位和系统复位。

Cortex-M3 的结构框图如图 3-36 所示。

图 3-36 Cortex-M3 结构框图



3.10.2 Cortex-M3

特性

- 紧凑型内核
- Thumb-2 指令集，支持 ARM 核高性能
- 支持 8bits 和 16bits，一般应用于几千字节的内存微控制器中
- 采用哈佛架构，独立的指令总线和数据总线，加载/存储数据的同时能够执行指令取指
- 异常中断处理，通过寄存器操作实现硬件中断处理
- 确定性，快速的中断处理
- 内存保护单元，提供特权模式来保护操作系统功能
- 从 ARM7^{TM} 处理器升级而来，具有更高性能和更低功耗

- 功能丰富的调试解决方案
  - JTAG 调试端口
  - FPB 模块实现断点功能
  - DWT 模块实现检测，触发和系统分析功能
  - ITM 模块支持调试打印
  - TPIU 模块桥接跟踪分析

3.10.3 总线矩阵

总线矩阵用来将 Cortex-M3 处理器和调试接口与外部 AHB 总线相连。

总线矩阵与 AHB 总线的连接包括：

- ICode 总线：32bit AHBLite 总线，用于从代码空间取指令和向量；
- DCode 总线：32bit AHBLite 总线，用于对代码空间进行数据加载/存储以及调试访问；
- 系统总线：32bit AHBLite 总线，用于对系统空间执行取指令和向量，数据加载/存储以及调试访问；
- APB：32bit APB 总线，用于对外部设备空间进行数据加载/存储以及调试访问。

总线矩阵还对下面的功能进行控制：

- 非对齐访问：总线矩阵将非对齐的处理器访问转换为对齐访问；
- Bit-banding：总线矩阵将 Bit_band 别名访问转换为对 Bit_band 空间的访问；
- 写缓冲：总线矩阵包含一个写缓冲区，使得处理器内核不受总线延迟的影响。

3.10.4 NVIC

嵌套向量中断控制器（NVIC）与 Cortex-M3 内核紧密耦合实现了低延迟的异常和中断处理，具有以下特性：

- 支持多达 26 个中断
- 支持六个外部用户中断
- 每个中断支持 8 种可编程的优先级（0~7），7 表示最低级的优先级，0 表示最高级的优先级
- 支持中断信号电平和脉冲检测
- 支持动态配置中断优先级
- 处理器状态进入中断时自动保存，中断退出时自动恢复，不需要额外的指令

表 3-17 NVIC 中断向量表

地址	名称	类型	描述
0x00000000	_StackTop	只读	中断堆栈顶层
0x00000004	Reset_Handler	只读	复位中断
0x00000008	NMI_Handler	只读	NMI 中断
0x0000000C	HardFault_Handler	只读	硬件错误中断
0x00000010	MemMange_Handler	只读	MPU 错误中断
0x00000014	BusFault_Handler	读/写	总线错误中断
0x00000018	UsageFault_Handler	只读	使用错误中断
0x0000002C	SVC_Handler	读/写	SVCall 中断
0x00000030	DebugMon_Handler	只读	调试监测中断
0x00000038	PendSV_Handler	读 / 写 / 只读	挂起中断
0x0000003C	SysTick_Handler	读/写	系统定时器中断
0x00000040	UART0_Handler	读/写	UART0 接收和发送中断
0x00000044	USER_INT0_Handler	读/写	用户中断 0
0x00000048	UART1_Handler	读/写	UART1 接收和发送中断
0x0000004C	USER_INT1_Handler	读/写	用户中断 1
0x00000050	USER_INT2_Handler	读/写	用户中断 2
0x00000058	PORT0_COMB_Handler	读/写	GPIO0 中断
0x0000005C	USER_INT3_Handler	读/写	用户中断 3
0x00000060	TIMER0_Handler	读/写	TIMER0 中断
0x00000064	TIMER1_Handler	读/写	TIMER1 中断
0x0000006C	I2C_Handler	读/写	I2C 中断
0x00000070	UARTOVF_Handler	读/写	UART0/UART1 溢出中断
0x00000074	USER_INT4_Handler	读/写	用户中断 4
0x00000078	USER_INT5_Handler	读/写	用户中断 5
外部中断			
0x00000080	PORT0_0_Handler	读/写	GPIO0 管脚 0 中断
0x00000084	PORT0_1_Handler	读/写	GPIO0 管脚 1 中断
0x00000088	PORT0_2_Handler	读/写	GPIO0 管脚 2 中断
0x0000008C	PORT0_3_Handler	读/写	GPIO0 管脚 3 中断
0x00000090	PORT0_4_Handler	读/写	GPIO0 管脚 4 中断
0x00000094	PORT0_5_Handler	读/写	GPIO0 管脚 5 中断
0x00000098	PORT0_6_Handler	读/写	GPIO0 管脚 6 中断
0x0000009C	PORT0_7_Handler	读/写	GPIO0 管脚 7 中断
0x000000A0	PORT0_8_Handler	读/写	GPIO0 管脚 8 中断
0x000000A4	PORT0_9_Handler	读/写	GPIO0 管脚 9 中断
0x000000A8	PORT0_10_Handler	读/写	GPIO0 管脚 10 中断
0x000000AC	PORT0_11_Handler	读/写	GPIO0 管脚 11 中断

地址	名称	类型	描述
0x000000B0	PORT0_12_Handler	读/写	GPIO0 管脚 12 中断
0x000000B4	PORT0_13_Handler	读/写	GPIO0 管脚 13 中断
0x000000B8	PORT0_14_Handler	读/写	GPIO0 管脚 14 中断
0x000000BC	PORT0_15_Handler	读/写	GPIO0 管脚 15 中断

3.10.5 启动模式

程序加载模块从 ARM 程序内存中加载堆栈指针初始值，并且传送到复位中断处理程序中，复位向量在程序内存中指定。

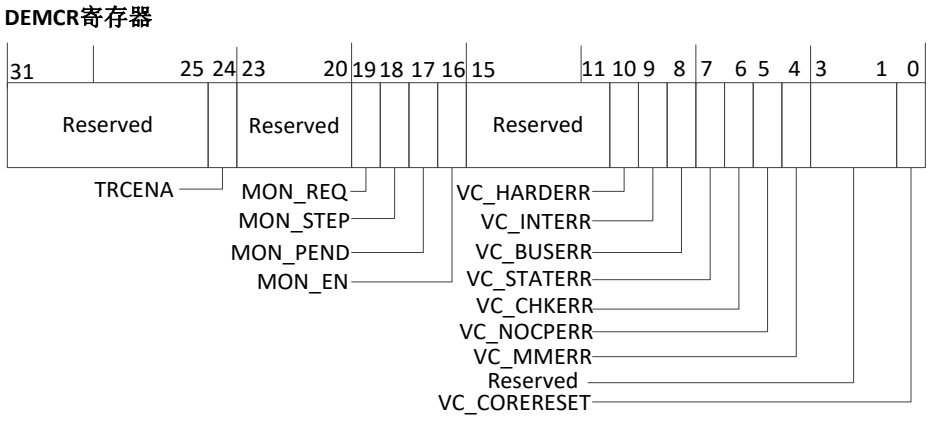
当前的程序加载是基于 UART 消息监测实现的，这种方式易与 PC 机进行通信。启动程序加载模块的例程如下所示：

- 上电复位，进入复位中断处理程序调用程序加载器；
- 设置 UART0 波特率和控制寄存器，为发送和接收设置合适的波特率；
- 启动 Flash 加载模块子程序执行，如内存测试，Timer0 测试，Timer1 测试等；
- 写入 0x4(EOP)来终止程序。

3.10.6 时间戳

48bits 的时间戳计数器包含在 ITM 中，由跟踪使能信号 TRCENA 进行门控和使能，TRCENA 是 DEMCR 寄存器中第 24 位，是 Cortex-M3 处理器的调试模块 DWT 和 ITM 的全局使能信号。时间戳应用在调试进程中用来设置断点和标记等。

图 3-37 DEMCR 寄存器



注！

TRCENA 为 DWT 和 ITM 的全局使能信号：

- 0：DWT 和 ITM 不使能；
- 1：DWT 和 ITM 使能。

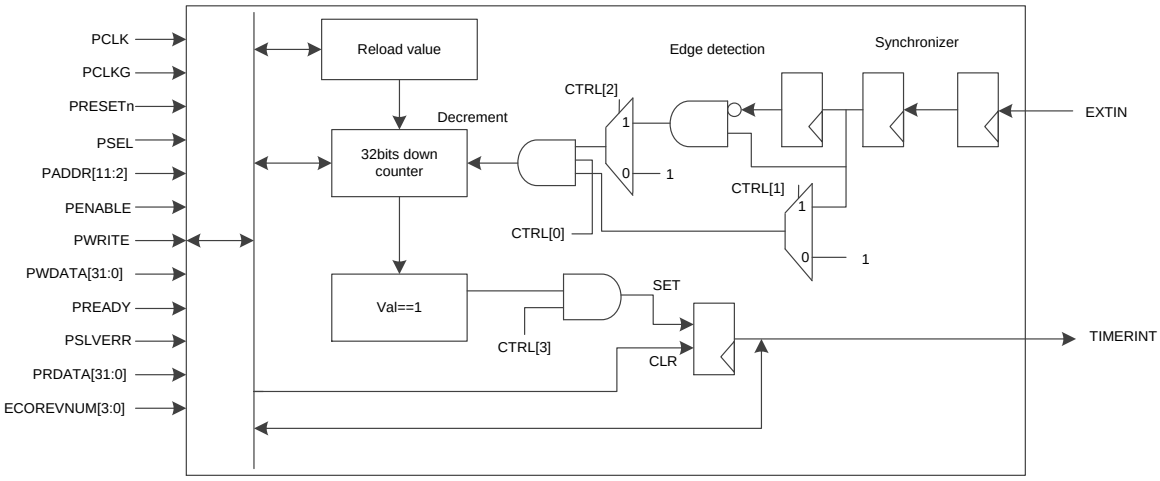
3.10.7 定时器

内嵌两个同步的标准定时器 Timer0 和 Timer1，可以通过 APB1 总线进行控制和访问。

Timer0 和 Timer1 是 32bits 递减计数器，特性如下：

- 当计数值为 0 的时候生成中断请求信号 TIMERINT 且在配置中断清除寄存器 INTCLEAR 前，中断请求信号一直保持有效；
- 可以使用外部信号 EXTIN 作为计数器的使能信号，当 EXTIN 由 0 变 1 的时候使能有效；
- 如果计数器计数到 0，并且同时软件在清除上一次的中断状态，那么中断状态被设置为 1；
- 当外部输入 EXTIN 作为时钟的时候，时钟频率必须低于主时钟的一半，因为 EXTIN 首先要经过两级寄存器采样，然后经过边沿检测逻辑；
- Timer0：EXTIN 硬连接到 GPIO[1]；
- Timer1：EXTIN 硬连接到 GPIO[6]。

图 3-38 Timer0/ Timer1 结构框图



Timer0/ Timer1 寄存器如下表所示，Timer0 基地址为 0x40000000，Timer1 基地址为 0x40001000。

表 3-18 Timer0/ Timer1 寄存器

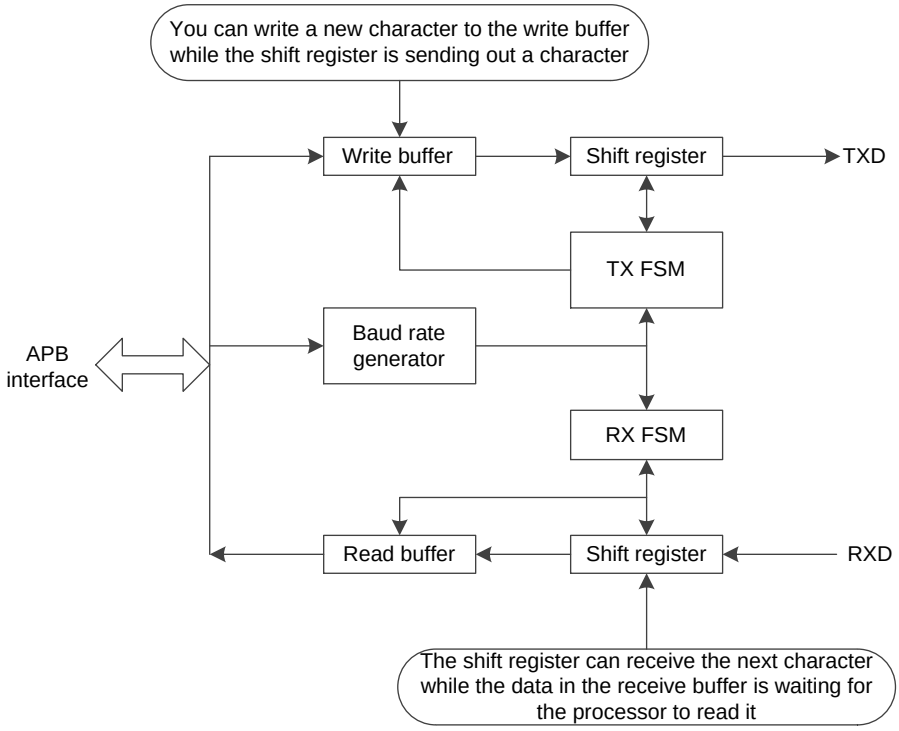
名称	基地址偏移	类型	位宽	复位值	描述
CTRL	0x000	读/写	4	0x0	[3]：定时器中断使能 [2]：外部输入作为时钟信号 [1]：外部输入作为使能信号 [0]：使能信号
VALUE	0x004	读/写	32	0x00000000	当前计数值
RELOAD	0x008	读/写	32	0x00000000	加载值，写入到这个寄存器的数值会加载到计数器的当前计数值寄存器中
INTSTATUS/ INTCLEAR	0x00C	读/写	1	0x0	[0]：定时器中断，写 1 清除中断
PID4	0XFD0	只读	8	0x04	外设 ID 寄存器 4
PID5	0XFD4	只读	8	0x00	外设 ID 寄存器 5
PID6	0XFD8	只读	8	0x00	外设 ID 寄存器 6
PID7	0XFDC	只读	8	0x00	外设 ID 寄存器 7
PID0	0XFE0	只读	8	0x22	外设 ID 寄存器 0
PID1	0XFE4	只读	8	0XB8	外设 ID 寄存器 1
PID2	0XFE8	只读	8	0X1B	外设 ID 寄存器 2
PID3	0XFEC	只读	8	0X00	外设 ID 寄存器 3
CID0	0XFF0	只读	8	0X0D	组件 ID 寄存器 0
CID1	0XFF4	只读	8	0XF0	组件 ID 寄存器 1
CID2	0XFF8	只读	8	0X05	组件 ID 寄存器 2
CID3	0XFFC	只读	8	0XB1	组件 ID 寄存器 3

3.10.8 UART

内嵌两个 UART（UART0 和 UART1），可以通过 APB1 总线进行控制和访问，支持的最大波特率为 921.6Kbits/s。

UART0 和 UART1 支持 8 位数据位和 1 位停止位，不支持校验位。

图 3-39 APB UART Buffering



UART0 和 UART1 支持高速测试模式，当 CTRL[6]设置为 1 时，串行数据在每个时钟周期下传输一位，这样可以在较短的仿真时间内发送信息。当 APB 检测到 UART0 和 UART1 有数据发送时的同时，APB 接口总是会发送“OK”响应，不需要等待。在使能 UART 之前，需要首先配置波特率分频寄存器 BAUDDIV。

BAUDTICK 输出频率是波特率的 16 倍，可以使用这个外部信号在同步模式下采样 UART 数据。CTRL[0]为输出使能信号 TXEN，当 UART 传输使能时，可以用这个信号把双向 I/O 转换为 UART 数据输出。

状态寄存器 STATE 中的缓存溢出状态用于驱动溢出中断请求信号，因此，清除缓存溢出状态可以清除溢出中断请求，清除溢出中断请求也可以清除 STATE 中的缓存溢出状态。

下表是 UART0 和 UART1 的寄存器描述，UART0 基地址为 0X40004000，UART1 基地址为 0X40005000。

表 3-19 UART0/UART1 寄存器

名称	基地址偏移	类型	位宽	复位值	描述
DATA	0x000	读/写	8	0x--	8 位数据 接收模式下为接收数据 发送模式下为发送数据
STATE	0x004	读/写	4	0x0	[3]：接收缓存溢出，写 1 清除 [2]：发送缓存溢出，写 1 清除 [1]：接收缓存满标志，只读 [0]：发送缓存满标志，只读
CTRL	0x008	读/写	7	0x00	[6]：高速测试模式，只在发送模式下支持 [5]：接收溢出中断使能信号 [4]：发送溢出中断使能信号 [3]：接收中断使能信号 [2]：发送中断使能信号 [1]：接收使能信号 [0]：发送使能信号
INTSTATUS/ INTCLEAR	0x00C	读/写	4	0x0	[3]：接收溢出中断，写 1 清除 [2]：发送溢出中断，写 1 清除 [1]：接收中断，写 1 清除 [0]：发送中断，写 1 清除
BAUDDIV	0x010	读/写	20	0x00000	[19:0]：波特率分频寄存器，最小值为 16
PID4	0XFD0	只读	8	0x04	外设 ID 寄存器 4
PID5	0XFD4	只读	8	0x00	外设 ID 寄存器 5
PID6	0XFD8	只读	8	0x00	外设 ID 寄存器 6
PID7	0XFDC	只读	8	0x00	外设 ID 寄存器 7
PID0	0XFE0	只读	8	0x21	外设 ID 寄存器 0
PID1	0XFE4	只读	8	0XB8	外设 ID 寄存器 1
PID2	0XFE8	只读	8	0X1B	外设 ID 寄存器 2
PID3	0XFEC	只读	8	0X00	外设 ID 寄存器 3
CID0	0XFF0	只读	8	0X0D	组件 ID 寄存器 0
CID1	0XFF4	只读	8	0XF0	组件 ID 寄存器 1
CID2	0XFF8	只读	8	0X05	组件 ID 寄存器 2
CID3	0XFFC	只读	8	0XB1	组件 ID 寄存器 3

3.10.9 看门狗

内嵌一个 Watchdog，可以通过 APB1 总线进行控制和访问。

它是基于一个 32bits 的递减计数器，通过重装载寄存器 WDOGLOAD 进行初始化。

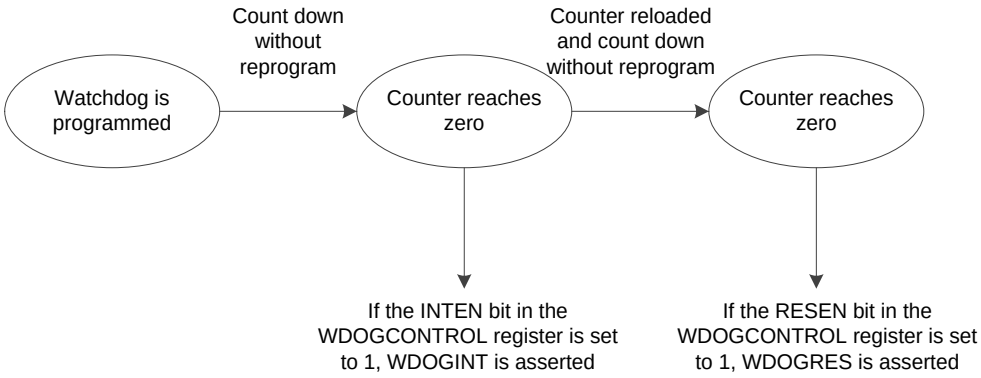
Watchdog 模块会产生中断信号 WDOGINT，和用户配置的计数值有关。当时钟使能信号 WDOGCLKEN 为高电平有效的时候，Watchdog 计数器在每个时钟的上升沿递减。Watchdog 监测中断信号，并且当计数值为 0 时产

生中断请求信号 WDOGRES。在时钟 WDOGCLK 的下一个时钟周期，重装载寄存器 WDOGLOAD 的数值加载到计数器中，继续进行下一次递减计数。

当系统发生错误时，Watchdog 用于产生系统复位信号，提供一种软件系统崩溃恢复的方法。比如，如果中断信号没有清除，此时计数器又一次计数到 0，那么 Watchdog 会重新置位复位信号，用于系统复位。

Watchdog 操作方式如下图所示：

图 3-40 Watchdog 操作方式



Watchdog 寄存器如下表所示，Watchdog 基地址为 0x40008000.

表 3-20 Watchdog 寄存器

名称	基地址偏移	类型	位宽	复位值	描述
WDOGLOAD	0x00	读/写	32	0xFFFFFFFF	Watchdog 加载寄存器
WDOGVALUE	0x04	只读	32	0xFFFFFFFF	Watchdog 计数值寄存器
WDOGCONTROL	0x08	读/写	2	0x0	Watchdog 控制寄存器 [1]： [0]：
WDOGINTCLR	0x0C	只写	-	0x-	Watchdog 中断清除寄存器
WDOGRIS	0x10	只读	1	0x0	Watchdog 上一次中断状态寄存器
WDOGMIS	0x14	只读	1	0x0	Watchdog 中断状态寄存器
WDOGLOCK	0xC00	读/写	32	0x0	Watchdog 锁存寄存器
WDOGTCR	0xF00	读/写	1	0x0	Watchdog 测试控制寄存器
WDOGTOP	0xF04	只写	2	0x0	Watchdog 测试输出设置寄存器
WDOGPERIPHID4	0XFD0	只读	8	0x04	外设 ID 寄存器 4
WDOGPERIPHID5	0XFD4	只读	8	0x00	外设 ID 寄存器 5
WDOGPERIPHID6	0XFD8	只读	8	0x00	外设 ID 寄存器 6
WDOGPERIPHID7	0XFDC	只读	8	0x00	外设 ID 寄存器 7
WDOGPERIPHID0	0XFE0	只读	8	0x24	外设 ID 寄存器 0
WDOGPERIPHID1	0XFE4	只读	8	0XB8	外设 ID 寄存器 1
WDOGPERIPHID2	0XFE8	只读	8	0X1B	外设 ID 寄存器 2
WDOGPERIPHID3	0XFEC	只读	8	0X00	外设 ID 寄存器 3
WDOGPCELLID0	0XFF0	只读	8	0X0D	组件 ID 寄存器 0
WDOGPCELLID1	0XFF4	只读	8	0XF0	组件 ID 寄存器 1
WDOGPCELLID2	0XFF8	只读	8	0X05	组件 ID 寄存器 2
WDOGPCELLID3	0XFFC	只读	8	0XB1	组件 ID 寄存器 3

3.10.10 GPIO

通过 AHB 总线与 GPIO 模块通信，GPIO 模块连接到 FPGA。GPIO 支持 16bits 的通用 I/O 功能，具有以下特性：

- 可编程中断生成功能，可以配置 GPIO 的任一位用来产生中断；
- 位掩码支持使用地址值；
- 支持通过配置寄存器实现不同的功能
- 独立的寄存器配置和明确的控制寄存器地址保证了线程安全

GPIO 寄存器如下表所示，GPIO 基地址为 0x40010000。

表 3-21 GPIO 寄存器

名称	基地址偏移	类型	位宽	复位值	描述
DATA	0x0000	读/写	16	0x----	[15:0]：数据寄存器
DATAOUT	0x0004	读/写	16	0x0000	[15:0]：数据输出寄存器
OUTENSET	0x0010	读/写	16	0x0000	[15:0]：输出使能设置 写 1：输出使能有效 写 0：输出使能无效 读 1：信号为输出 写 0：信号为输入
OUTENCLR	0x0014	读/写	16	0x0000	[15:0]：清除输出使能
ALTFUNCSET	0x0018	读/写	16	0x0000	[15:0]：可选择功能设置 写 1：设置 ALTFUNC 写 0：不设置 ALTFUNC 读 0：GPIO 作为 I/O 读 1：ALTFUNC 功能
ALTFUNCCLR	0x001C	读/写	16	0x0000	[15:0]：可选择功能清除
INTENSET	0x0020	读/写	16	0x0000	[15:0]：中断使能设置 写 1：设置中断使能 写 0：不设置中断使能 读:0：不使能中断 读 1：中断使能
INTENCLR	0x0024	读/写	16	0x0000	[15:0]：中断使能清除 写 1：清除中断使能 写 0：不清除中断使能 读 0：中断使能不清除 读 1：中断使能清除
INTTYPESET	0x0028	读/写	16	0x0000	[15:0]：中断类型设置
INTTYPECLR	0x002C	读/写	16	0x0000	[15:0]：中断类型清除
INTPOLSET	0x0030	读/写	16	0x0000	[15:0]：中断极性设置
INTPOLCLR	0x0034	读/写	16	0x0000	[15:0]：中断极性清除
INTSTATUS/ INTCLEAR	0x0038	读/写	16	0x0000	读中断状态寄存器 写 1 清除中断请求
MASKLOWBYTE	0x0400- 0x07FC	读/写	16	0x0000	-
MASKHIGHBYTE	0x0800- 0x0BFC	读/写	16	0x0000	-
Reserved	0x0C00- 0x0FCF	-	-	-	Reserved
PID4	0XFD0	只读	8	0x04	外设 ID 寄存器 4
PID5	0XFD4	只读	8	0x00	外设 ID 寄存器 5
PID6	0XFD8	只读	8	0x00	外设 ID 寄存器 6
PID7	0XFDC	只读	8	0x00	外设 ID 寄存器 7
PID0	0XFE0	只读	8	0x20	外设 ID 寄存器 0
PID1	0XFE4	只读	8	0XB8	外设 ID 寄存器 1
PID2	0XFE8	只读	8	0X1B	外设 ID 寄存器 2
PID3	0XFEC	只读	8	0X00	外设 ID 寄存器 3

名称	基地址偏移	类型	位宽	复位值	描述
CID0	0XFF0	只读	8	0X0D	组件 ID 寄存器 0
CID1	0XFF4	只读	8	0XF0	组件 ID 寄存器 1
CID2	0XFF8	只读	8	0X05	组件 ID 寄存器 2
CID3	0XFFC	只读	8	0XB1	组件 ID 寄存器 3

3.10.11 调试接口

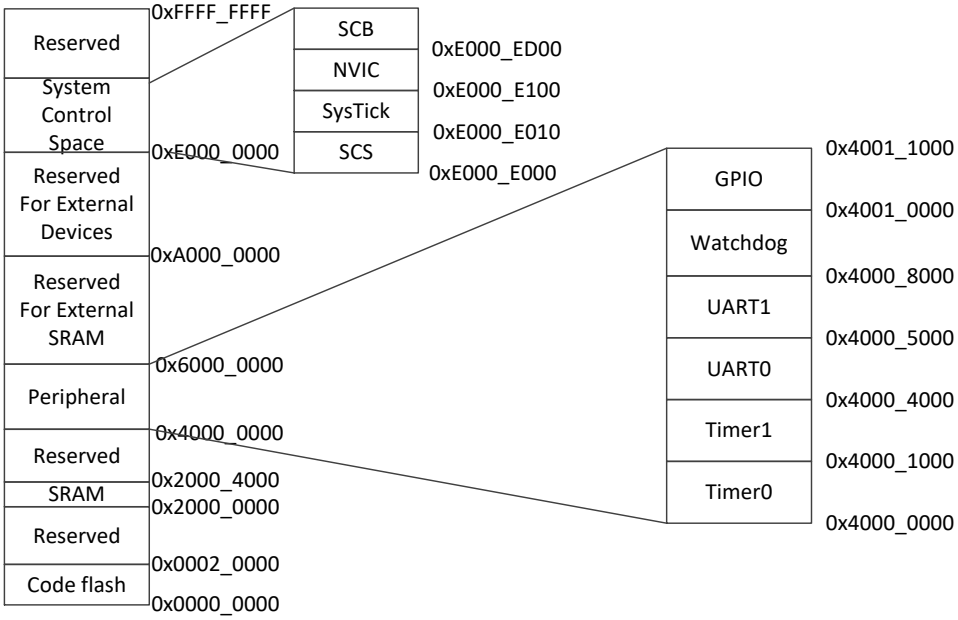
Cortex-M3 处理器包含一个调试访问接口，包括 JTAG 接口和 TPIU 接口，这两个接口都连接到 FPGA。JTAG 调试访问接口符合 IEEE1149.1 测试访问端口以及边界扫描结构标准。

JTAG-DP 的功能实现主要由三部分组成：

- JTAG-DP 状态机
- 指令寄存器（IR）和相关的 IR 扫描链，用来控制 JTAG 和当前所选的寄存器的行为
- 数据寄存器和相关的 DR 扫描链，他们与 JTAG-DP 中的寄存器连接。

3.10.12 内存映射

图 3-41 内存映射



3.10.13 应用

高云半导体提供的云源软件支持 Cortex-M3 的 IP 调用，详细信息请参考 IPUG517,*《GW1NS-2C 硬件设计参考手册》*。

3.11 时钟

时钟资源及布线对 FPGA 高性能的应用至关重要。GW1NSER 系列 FPGA 产品提供了专用全局时钟网络(GCLK)，直接连接到器件的所有资源。除了 GCLK 资源，还提供了高速时钟 HCLK 资源。此外，还提供了锁相环(PLL)等时钟资源。

3.11.1 全局时钟网络

GCLK 在 GW1NSER 系列 FPGA 产品中按象限分布，分成 L、R 两个象限，每个象限提供 8 个 GCLK 网络。GCLK 的可选时钟源包括专用的时钟输入管脚和普通布线资源，使用专用的时钟输入管脚具有更好的时钟性能。

图 3-42 GW1NSER-4C 时钟资源

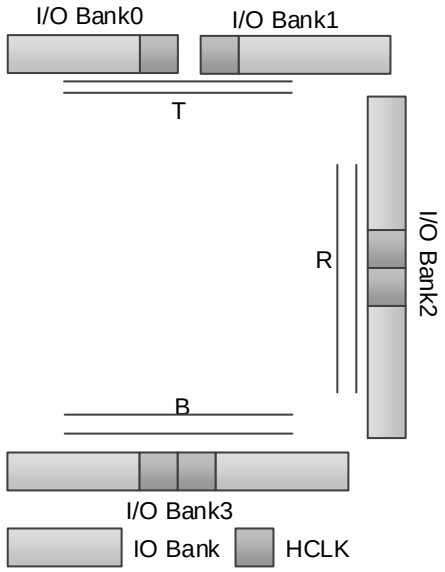
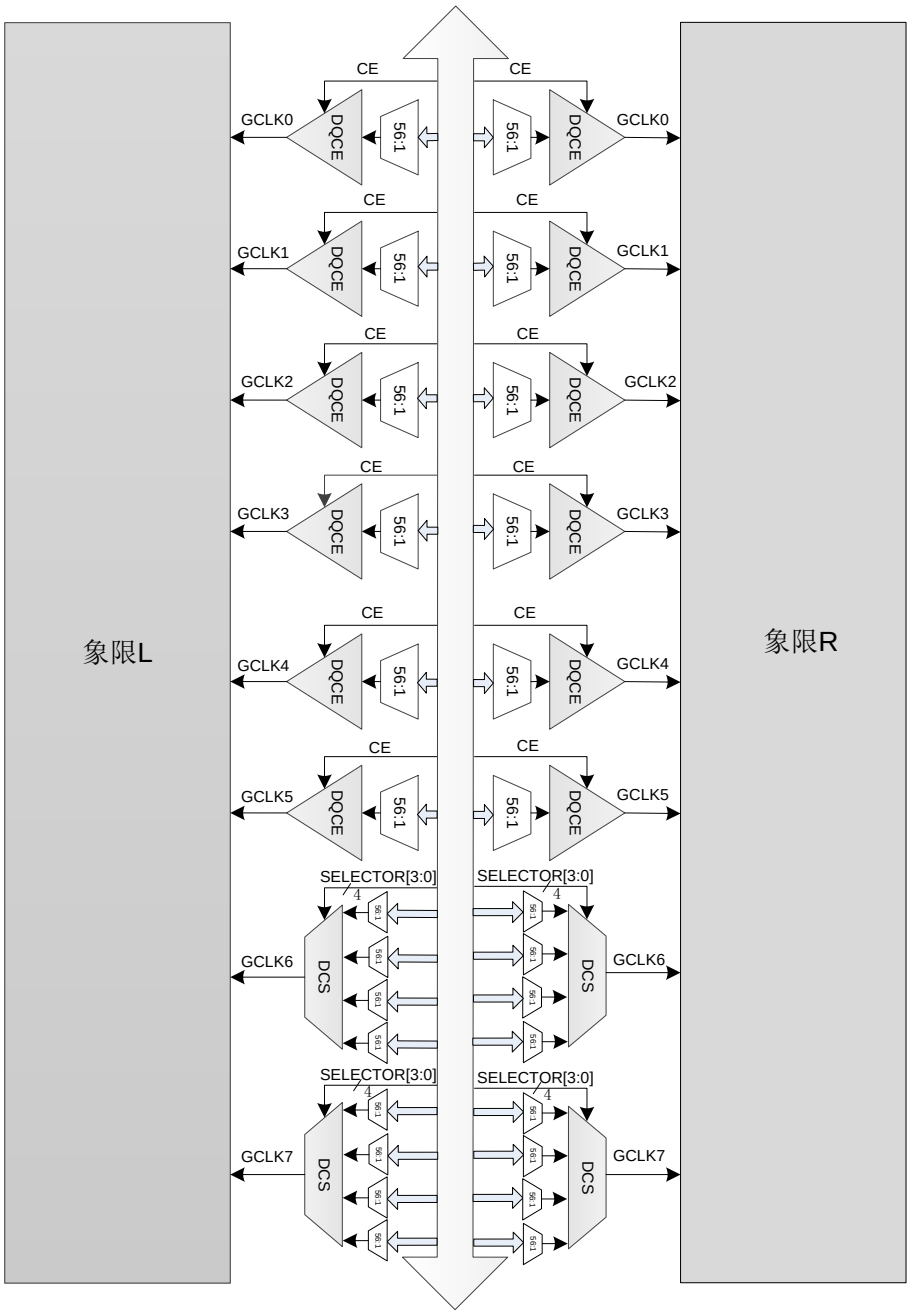
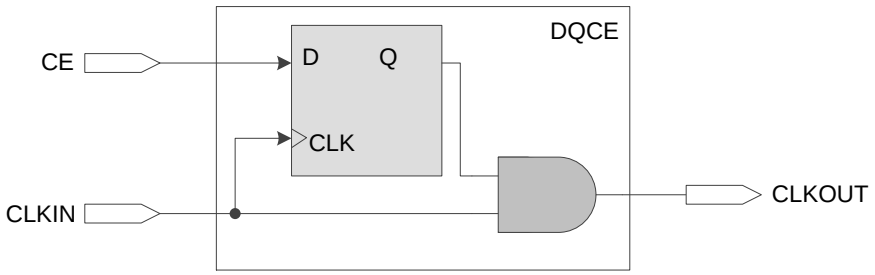


图 3-43 GCLK 象限分布示意



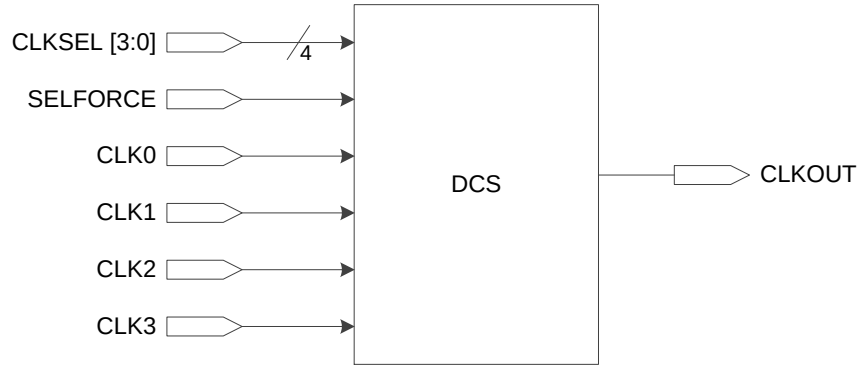
通过 DQCE(Dynamic Quadrant Clock Enable)可动态打开/关闭 GCLK0~GCLK5。关闭 GCLK0~GCLK5 时钟，GCLK0~GCLK5 驱动的内部逻辑不再翻转，从而降低了器件的总体功耗。

图 3-44 DQCE 结构示意图



每个象限的 GCLK6~GCLK7 由 DCS(Dynamic Clock Selector)控制，如图 3-45 所示，内部逻辑可以通过 CRU 在四个时钟输入之间动态选择，输出不带毛刺的时钟。

图 3-45 DCS 接口示意图

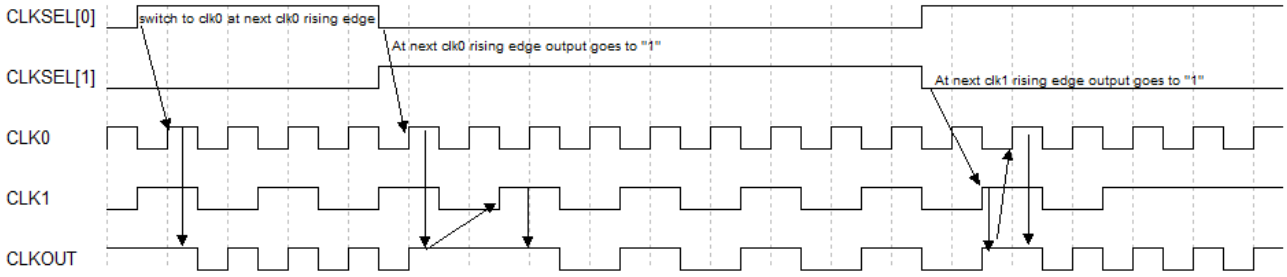


DCS 可以配置为以下几种模式：

1. DCS Rising Edge 模式

即在当前选择时钟的上升沿后转入常量 1，在新选择时钟的上升沿后转入新时钟，如图 3-46 所示。

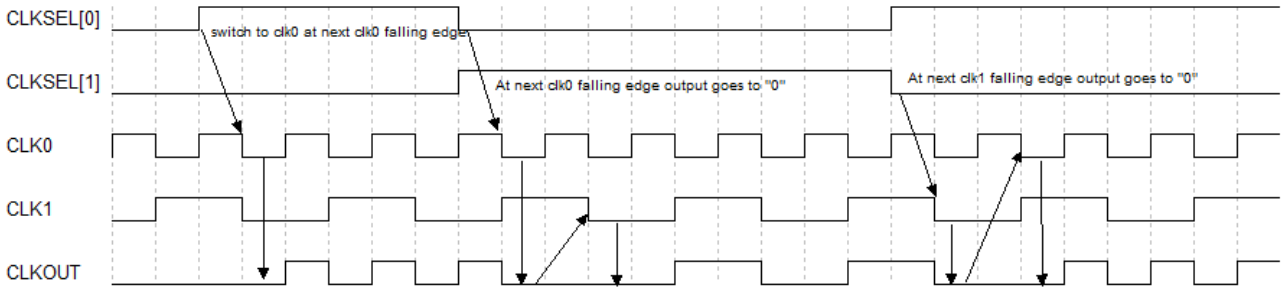
图 3-46 DCS Rising Edge 模式下的时序示意图



2. DCS Falling Edge 模式

即在当前选择时钟的下降沿后转入常量 0，在新选择时钟的下降沿后转入新时钟，如图 3-47 所示。

图 3-47 DCS Falling Edge 模式下的时序示意图



3. Clock Buffer 模式

此模式下，DCS 简化为普通的 Clock buffer。

3.11.2 锁相环

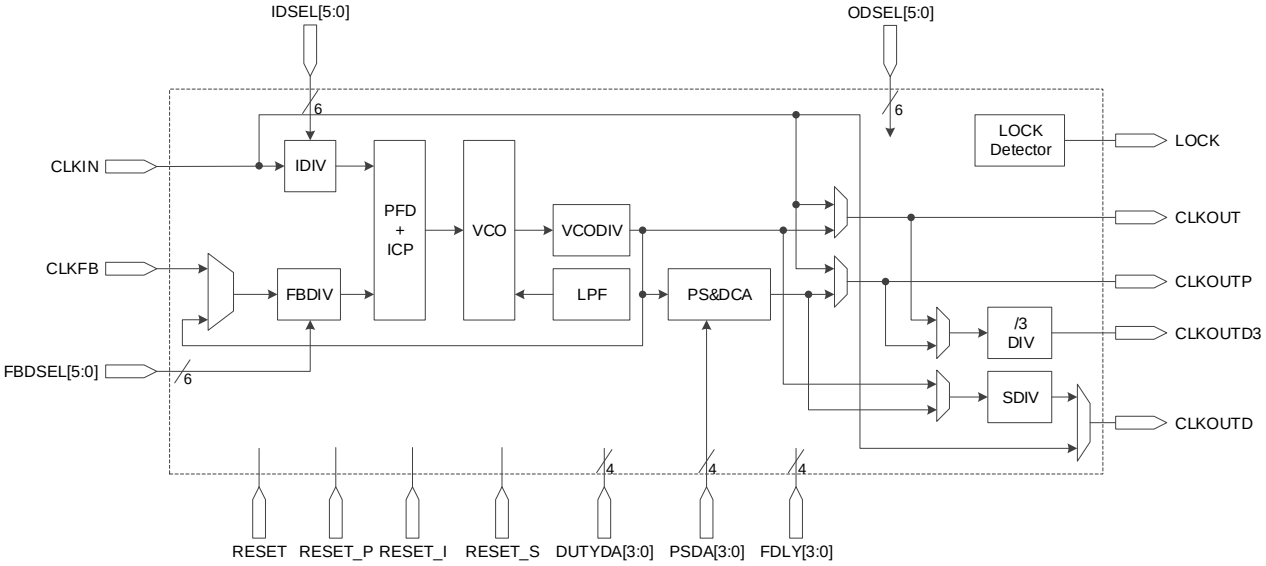
锁相环路是一种反馈控制电路，简称锁相环（PLL，Phase-locked Loop）。

利用外部输入的参考时钟信号控制环路内部振荡信号的频率和相位。

GW1NSER 系列 FPGA 产品的 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。

PLL 模块的结构框图如图 3-48 所示。

图 3-48 PLL 示意图



PLL 的参考时钟信号可以通过外部 PLL 时钟管脚输入，也可以是通过绕线过去的全局时钟信号、高速时钟信号或普通数据信号。PLL 的反馈信号可以是外部 PLL 反馈信号的管脚的输入，也可以是通过绕线过去的全局时钟信号、高速时钟信号或普通数据信号。

GW1NSER 系列 FPGA 产品的 PLL 性能如下：

- CLKIN 频率范围：3MHz~450MHz
- VCO 震荡频率范围：400MHz~1500MHz
- CLKOUT 输出频率范围：3.125MHz~750MHz

PLL 可对输入时钟 CLKIN 进行频率调整（倍频和分频），计算公式如下：

1. $f_{CLKOUT} = (f_{CLKIN}*FBDIV)/IDIV$
2. $f_{VCO} = f_{CLKOUT}*ODIV$
3. $f_{CLKOUTD} = f_{CLKOUT}/SDIV$
4. $f_{PFD} = f_{CLKIN}/IDIV = f_{CLKOUT}/FBDIV$

注！

- f_{CLKIN} 为输入时钟 CLKIN 频率。
- f_{CLKOUT} 为 CLKOUT 和 CLKOUTP 时钟频率。
- $f_{CLKOUTD}$ 为 CLKOUTD 时钟频率，CLKOUTD 为 CLKOUT 分频后的时钟。
- f_{PFD} 为 PFD 鉴相频率，f_{PFD} 最小值不小于 3MHz。

即可通过调整 IDIV、FBDIV、ODIV、SDIV 来得到期望频率的时钟信号。

PLL 端口定义如表 3-22 所示。

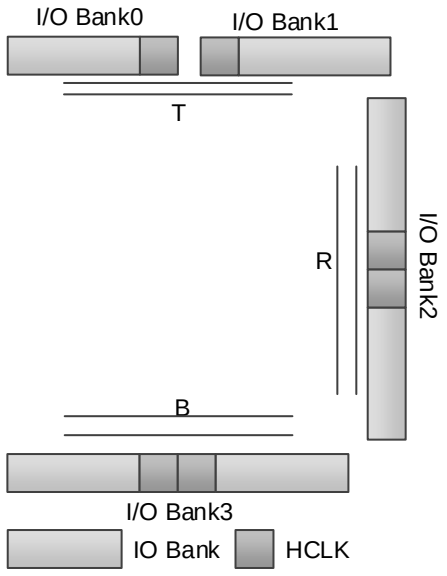
表 3-22 PLL 端口定义

端口名称	信号	描述
CLKIN [5：0]	输入	参考时钟输入
CLKFB	输入	反馈时钟输入
RESET	输入	PLL 全部复位
RESET_P	输入	PLL 关断（Power Down）信号
RESET_I	输入	IDIV 复位信号
RESET_S	输入	SDIV 和 DIV3 复位信号
IDSEL [5：0]	输入	动态控制 IDIV 值，范围 1~64
FBDSEL [5：0]	输入	动态控制 FBDIV 值，范围 1~64
PSDA [3：0]	输入	动态相位控制(上升沿有效)
DUTYDA [3：0]	输入	动态占空比控制(下降沿有效)
FDLY [3：0]	输入	CLKOUTP 动态延迟控制
CLKOUT	输出	无相位和占空比调整的时钟输出
CLKOUTP	输出	有相位和占空比调整的时钟输出
CLKOUTD	输出	来自 CLKOUT 或 CLKOUTP 分频时钟（由 SDIV 分频器控制）
CLKOUTD3	输出	来自 CLKOUT 或 CLKOUTP 的分频时钟（由 DIV3 分频器控制，DIV3 分频值固定为 3）
LOCK	输出	PLL 锁定指示： 1：锁定； 0：失锁

3.11.3 高速时钟

GW1NSER 系列 FPGA 产品的高速时钟 HCLK 可以支持 I/O 完成高性能数据传输，是专门针对源时钟同步的数据传输接口而设计的。

图 3-49 GW1NSER-4C HCLK 示意图



3.12 长线

作为对 CRU 的有效补充，GW1NSER 系列 FPGA 产品提供了灵活丰富的长线资源，适用于时钟、时钟使能、置复位或其它高扇出的信号。

3.13 全局复置位

GW1NSER 系列 FPGA 产品包含一个专用的全局复置位网络，直接连接到器件的内部逻辑，可用作异步/同步复位或异步/同步置位，CFU 和 I/O 中的寄存器均可以独立配置。

3.14 编程配置

GW1NSER 系列 FPGA 产品支持 SRAM 编程和 Flash 编程。Flash 编程模式既支持片内 Flash 编程也支持片外 Flash 编程。

GW1NSER 系列 FPGA 产品除了支持业界通用的 JTAG 配置模式外，还支持高云半导体特有的 GowinCONFIG 配置模式，支持多达 6 种模式：AUTO BOOT、SSPI、MSPI、DUAL BOOT、SERIAL 和 CPU。所有器件均支持 JTAG 和 AUTO BOOT 模式。详细资料请参见 UG290, *Gowin FPGA 产品编程配置手册*。

3.14.1 SRAM 编程

GW1NSER 系列 FPGA 产品的 SRAM 编程，每次上电后需要重新下载配置数据。

3.14.2 Flash 编程

Flash 编程的配置数据存放在片内 Flash 单元。上电后，配置数据从片内 Flash 单元传送到 SRAM 配置单元。在上电后的几个毫秒内就可以完成数据的配置，这种配置方式也称为“快速启动/瞬时启动”。GW1NSER 系列 FPGA 产品还支持外部 Flash 编程模式和双启动模式，详细资料请参见 UG290, *Gowin FPGA 产品编程配置手册*。

3.15 片内晶振

GW1NSER 系列 FPGA 产品内嵌了一个片内晶振，片内晶振提供可编程的用户时钟，时钟精度可达±5%，编程过程中为 MSPI 编程模式提供时钟源。

GW1NSER-4C 器件的片内晶振支持用户可配置省电模式。

片内晶振也可以为用户设计提供时钟源，通过配置工作参数，可以获得多达 64 种时钟频率。

片内晶振输出时钟频率计算公式为：

$$f_{out}=210MHz/Param$$

下表列举了片内晶振的部分频率，如默认频率、最大频率和某些参数的输出小数的频率。

注！

除数 Param 为配置参数，范围为 2~128，只支持偶数。

表 3-23 GW1NSER-4C 片内晶振的部分输出频率

模式	频率	模式	频率	模式	频率
0	2.5MHz[1]	8	7.8MHz	16	15.6MHz
1	5.4MHz	9	8.3MHz	17	17.9MHz
2	5.7MHz	10	8.9MHz	18	21MHz
3	6.0MHz	11	9.6MHz	19	25MHz
4	6.3MHz	12	10.4MHz	20	31.3MHz
5	6.6MHz	13	11.4MHz	21	41.7MHz
6	6.9MHz	14	12.5MHz	22	62.5MHz
7	7.4MHz	15	13.9MHz	23	125MHz[2]

注！

- [1]默认输出频率
- [2]不适用于 MSPI 编程模式

4 电气特性

注！

建议在推荐的工作条件及工作范围内使用高云半导体器件，超出工作条件及工作范围的数据仅供参考，高云半导体不保证所有器件都能在超出工作条件及工作范围的情况下正常工作。

4.1 工作条件

4.1.1 绝对最大范围

表 4-1 绝对最大范围

名称	描述	最小值	最大值
V_{CC}	核电压	-0.5V	1.32V
V_{CCOx}	I/O Bank 电压	-0.5V	3.75V
V_{CCX}	辅助电压	-0.5V	3.75V
Storage Temperature	储存温度	-65℃	+150℃
Junction Temperature	结温	-40℃	+125℃

4.1.2 推荐工作范围

表 4-2 推荐工作范围

名称	描述	最小值	最大值
V_{CC}	核电压	1.14V	1.26V
V_{CCX}	辅助电压	1.71V	3.465V
V_{CCOx}	I/O Bank 电压	1.14V	3.465V
T_{JCOM}	结温(商业级) (Junction temperature Commercial operation)	0℃	+85℃
T_{JIND}	结温(工业级) (Junction temperature Industrial operation)	-40℃	+100℃

注！

不同封装的电压供电信息请参考 UG883, GW1NSER-4C 器件 Pinout 手册。

4.1.3 电源上升斜率

表 4-3 电源上升斜率

名称	描述	最小值	典型值	最大值
T_{RAMP}	电源电压上升斜率 (Power supply ramp rates for all power supplies)	0.01mV/μs	-	10mV/μs

4.1.4 热插拔特性

表 4-4 热插拔特性

名称	描述	条件	I/O 类型	最大值
I_{HS}	输入漏电流 (Input or I/O leakage current)	$0<V_{IN}<V_{IH}(MAX)$	I/O	150uA
I_{HS}	输入漏电流 (Input or I/O leakage current)	$0<V_{IN}<V_{IH}(MAX)$	TDI,TDO, TMS,TCK	120uA

4.1.5 POR 特性

表 4-5 POR 电压参数

名称	描述	最小值	最大值
POR 电压值	Power on reset voltage of Vcc	TBD	TBD

4.2 ESD 性能

表 4-6 GW1NSER ESD - HBM

器件	QN48
GW1NSER-4C	HBM>1,000V

表 4-7 GW1NSER ESD – CDM

器件	QN48
GW1NSER-4C	CDM>500V

4.3 DC 电气特性

4.3.1 推荐工作范围 DC 电气特性

表 4-8 推荐工作范围内 DC 电气特性

名称	描述	条件	最小值	典型值	最大值
I_{IL},I_{IH}	I/O 输入漏电流 (Input or I/O leakage)	$V_{CCO}<V_{IN}<V_{IH}$(MAX)	-	-	210μA
		$0V<V_{IN}<V_{CCO}$	-	-	10μA
I_{PU}	I/O 上拉电流 (I/O Active Pull-up Current)	$0<V_{IN}<0.7V_{CCO}$	-30μA	-	-150μA
I_{PD}	I/O 下拉电流 (I/O Active Pull-down Current)	V_{IL}(MAX)$<V_{IN}<V_{CCO}$	30μA	-	150μA
I_{BHLS}	总线保持低电平时持续电流 (Bus Hold Low Sustaining Current)	$V_{IN}=V_{IL}$(MAX)	30μA	-	-
I_{BHHS}	总线保持高电平时持续电流 (Bus Hold High Sustaining Current)	$V_{IN}=0.7V_{CCO}$	-30μA	-	-
I_{BHLO}	总线保持低电平时过载电流 (Bus Hold Low Overdrive Current)	$0≤V_{IN}≤V_{CCO}$	-	-	150μA
I_{BHHO}	总线保持高电平时过载电流 (BusHoldHigh Overdrive Current)	$0≤V_{IN}≤V_{CCO}$	-	-	-150μA
V_{BHT}	总线保持触发点时电压(Bus hold trip points)		V_{IL}(MAX)	-	V_{IH}(MIN)
C1	I/O 电容 (I/O Capacitance)			5pF	8pF
V_{HYST}	输入迟滞 (Hysteresis for Schmitt Trigge inputs)	V_{CCO}=3.3V, Hysteresis= Large	-	482mV	-
		V_{CCO}=2.5V, Hysteresis= Large	-	302mV	-
		V_{CCO}=1.8V, Hysteresis= Large	-	152mV	-
		V_{CCO}=1.5V, Hysteresis= Large	-	94mV	-
		V_{CCO}=3.3V, Hysteresis= Small	-	240mV	-
		V_{CCO}=2.5V, Hysteresis= Small	-	150mV	-
		V_{CCO}=1.8V, Hysteresis= Small	-	75mV	-
		V_{CCO}=1.5V, Hysteresis= Small	-	47mV	-

4.3.2 静态电流

表 4-9 静态电流

名称	描述	器件类型	器件	最小值	典型值	最大值
I_{CC}	加载时 Core 电源电流	LV 版本	GW1NSER-4C	TBD	TBD	TBD
I_{CCX}	加载时 V_{CCX} 电源电流	LV 版本	GW1NSER-4C	TBD	TBD	TBD
I_{CCO}	加载时 I/O Bank 电源电流	LV 版本	GW1NSER-4C	TBD	TBD	TBD

4.3.3 I/O 推荐工作条件

表 4-10 I/O 推荐工作条件

名称	输出对应的 V_{CCO}(V)			输入对应的 V_{REF}(V)		
	最小值	典型值	最大值	最小值	典型值	最大值
LVTTL33	3.135	3.3	3.465	-	-	-
LVCMOS33	3.135	3.3	3.465	-	-	-
LVCMOS25	2.375	2.5	2.625	-	-	-
LVCMOS18	1.71	1.8	1.89	-	-	-
LVCMOS15	1.425	1.5	1.575	-	-	-
LVCMOS12	1.14	1.2	1.26	-	-	-
SSTL15	1.425	1.5	1.575	0.68	0.75	0.9
SSTL18_I	1.71	1.8	1.89	0.833	0.9	0.969
SSTL18_II	1.71	1.8	1.89	0.833	0.9	0.969
SSTL25_I	2.375	2.5	2.645	1.15	1.25	1.35
SSTL25_II	2.375	2.5	2.645	1.15	1.25	1.35
SSTL33_I	3.135	3.3	3.465	1.3	1.5	1.7
SSTL33_II	3.135	3.3	3.465	1.3	1.5	1.7
HSTL18_I	1.71	1.8	1.89	0.816	0.9	1.08
HSTL18_II	1.71	1.8	1.89	0.816	0.9	1.08
HSTL15	1.425	1.5	1.575	0.68	0.75	0.9
PCI33	3.135	3.3	3.465	-	-	-
LVPECL33E	3.135	3.3	3.465	-	-	-
MLVDS25E	2.375	2.5	2.625	-	-	-
BLVDS25E	2.375	2.5	2.625	-	-	-
RSDS25E	2.375	2.5	2.625	-	-	-
LVDS25E	2.375	2.5	2.625	-	-	-
SSTL15D	1.425	1.5	1.575	-	-	-
SSTL18D_I	1.71	1.8	1.89	-	-	-
SSTL18D_II	1.71	1.8	1.89	-	-	-
SSTL25D_I	2.375	2.5	2.625	-	-	-
SSTL25D_II	2.375	2.5	2.625	-	-	-
SSTL33D_I	3.135	3.3	3.465	-	-	-
SSTL33D_II	3.135	3.3	3.465	-	-	-
HSTL15D	1.425	1.575	1.89	-	-	-
HSTL18D_I	1.71	1.8	1.89	-	-	-
HSTL18D_II	1.71	1.8	1.89	-	-	-

4.3.4 单端 I/O DC 电气特性

表 4-11 单端 I/O DC 电气特性

名称	V_{IL}		V_{IH}		V_{OL} (Max)	V_{OH} (Min)	I_{OL} (mA)	I_{OH} (mA)
	Min	Max	Min	Max				
LVCMOS33 LVTTL33	-0.3V	0.8V	2.0V	3.6V	0.4V	V_{CCO}-0.4V	4	-4
							8	-8
							12	-12
							16	-16
							24	-24
					0.2V	V_{CCO}-0.2V	0.1	-0.1
LVCMOS25	-0.3V	0.7V	1.7V	3.6V	0.4V	V_{CCO}-0.4V	4	-4
							8	-8
							12	-12
							16	-16
					0.2V	V_{CCO}-0.2V	0.1	-0.1
LVCMOS18	-0.3V	0.35*V_{CCO}	0.65*V_{CCO}	3.6V	0.4V	V_{CCO}-0.4V	4	-4
							8	-8
							12	-12
					0.2V	V_{CCO}-0.2V	0.1	-0.1
LVCMOS15	-0.3V	0.35*V_{CCO}	0.65*V_{CCO}	3.6V	0.4V	V_{CCO}-0.4V	4	-4
							8	-8
					0.2V	V_{CCO}-0.2V	0.1	-0.1
LVCMOS12	-0.3V	0.35*V_{CCO}	0.65*V_{CCO}	3.6V	0.4V	V_{CCO}-0.4V	2	-2
							6	-6
					0.2V	V_{CCO}-0.2V	0.1	-0.1
PCI33	-0.3V	0.3*V_{CCO}	0.5*V_{CCO}	3.6V	0.1*V_{CCO}	0.9*V_{CCO}	1.5	-0.5
SSTL33_I	-0.3V	V_{REF}-0.2V	V_{REF}+0.2V	3.6V	0.7	V_{CCO}-1.1V	8	-8
SSTL25_I	-0.3V	V_{REF}-0.18V	V_{REF}+0.18V	3.6V	0.54V	V_{CCO}-0.62V	8	-8
SSTL25_II	-0.3V	V_{REF}-0.18V	V_{REF}+0.18V	3.6V	NA	NA	NA	NA
SSTL18_II	-0.3V	V_{REF}-0.125V	V_{REF}+0.125V	3.6V	NA	NA	NA	NA
SSTL18_I	-0.3V	V_{REF}-0.125V	V_{REF}+0.125V	3.6V	0.40V	V_{CCO}-0.40V	8	-8
SSTL15	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	0.40V	V_{CCO}-0.40V	8	-8
HSTL18_I	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	0.40V	V_{CCO}-0.40V	8	-8
HSTL18_II	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	NA	NA	NA	NA
HSTL15_I	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	0.40V	V_{CCO}-0.40V	8	-8
HSTL15_II	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	NA	NA	NA	NA

4.3.5 差分 I/O DC 电气特性

表 4-12 差分 I/O DC 电气特性

LVDS25

名称	描述	测试条件	最小	典型	最大	单位
V_{INA},V_{INB}	输入电压 (Input Voltage)		0	-	2.4	V
V_{CM}	共模输入电压 (Input Common Mode Voltage)	Half the Sum of the Two Inputs	0.05	-	2.35	V
V_{THD}	差分输入门限(Differential Input Threshold)	Difference Between the Two Inputs	±100	-	-	mV
I_{IN}	输入电流(Input Current)	Power On or Power Off	-	-	±10	μA
V_{OH}	输出高电平(Output High Voltage for V_{OP} or V_{OM})	R_T = 100Ω	-	-	1.60	V
V_{OL}	输出低电平(Output Low Voltage for V_{OP} or V_{OM})	R_T = 100Ω	0.9	-	-	V
V_{OD}	差模输出电压(Output Voltage Differential)	(V_{OP} - V_{OM}), R_T=100Ω	250	350	450	mV
ΔV_{OD}	差模输出电压的变化范围 (Change in V_{OD} Between High and Low)		-	-	50	mV
V_{OS}	输出零漂(Output Voltage Offset)	(V_{OP} + V_{OM})/2, R_T=100Ω	1.125	1.20	1.375	V
ΔV_{OS}	输出零漂变化(Change in V_{OS} Between High and Low)		-	-	50	mV
I_S	短路电流	V_{OD} = 0V 两路输出短接	-	-	15	mA

4.4 AC/开关特性

4.4.1 I/O 速度

表 4-13 IO 特性参数

名称	说明	Min	Max	单位
f_{MAX}	IO 最大频率	-	150M	Hz
f_{MAX_LVDS}	LVDS 最大频率	-	400M	Hz

4.4.2 CFU 开关特性

表 4-14 CFU 时序参数

名称	描述	速度等级		单位
		Min	Max	
t_{LUT4_CFU}	LUT4 延迟(LUT4 delay)	-	0.674	ns
t_{LUT5_CFU}	LUT5 延迟(LUT5 delay)	-	1.388	ns
t_{LUT6_CFU}	LUT6 延迟(LUT6 delay)	-	2.01	ns
t_{LUT7_CFU}	LUT7 延迟(LUT7 delay)	-	2.632	ns
t_{LUT8_CFU}	LUT8 延迟(LUT8 delay)	-	3.254	ns
t_{SR_CFU}	置位/复位到寄存器输出时间(Set/Reset to Register output)	-	1.86	ns
t_{CO_CFU}	时钟到寄存器输出时间(Clock to Register output)	-	0.76	ns

4.4.3 时钟和 I/O 开关特性

表 4-15 外部开关特性

名称	说明	器件	-5		-6		单位
			Min	Max	Min	Max	
Clocks	TBD	TBD	TBD	TBD	TBD	TBD	
Pin-LUT-Pin Delay	TBD	TBD	TBD	TBD	TBD	TBD	
General I/O Pin Parameters	TBD	TBD	TBD	TBD	TBD	TBD	

4.4.4 Gearbox 开关特性

表 4-16 Gearbox 内部时序参数

名称	描述	典型值	单位
$FMAX_{IDDR}$	2:1Gearbox 输入最大主频	TBD	MHz
$FMAX_{IDES4}$	4:1Gearbox 输入最大主频	TBD	MHz
$FMAX_{IDES8}$	8:1Gearbox 输入最大主频	TBD	MHz
$FMAX_{IVIDEO}$	7:1Gearbox 输入最大主频	TBD	MHz
$FMAX_{IDES10}$	10:1Gearbox 输入最大主频	TBD	MHz
$FMAX_{ODDR}$	1:2Gearbox 输入最大主频	TBD	MHz
$FMAX_{OSER4}$	1:4Gearbox 输入最大主频	TBD	MHz
$FMAX_{OSER8}$	1:8Gearbox 输入最大主频	TBD	MHz
$FMAX_{OVIDEO}$	1:7Gearbox 输入最大主频	TBD	MHz
$FMAX_{OSER10}$	1:10Gearbox 输入最大主频	TBD	MHz
$FMAX_{OSER16}$	1:16Gearbox 输入最大主频	TBD	MHz

4.4.5 B-SRAM 开关特性

表 4-17 B-SRAM 时序参数

名称	描述	速度等级		单位
		Min	Max	
t_{COAD_BSRAM}	BSRAM 读地址/数据的时钟到输出延时 (Clock to output time of read address/data)	-	5.10	ns
t_{COOR_BSRAM}	BSRAM 输出寄存器的时钟到输出延时 (Clock to output time of output register)	-	0.56	ns

4.4.6 DSP 开关特性

表 4-18 DSP 时序参数

名称	描述	速度等级		单位
		Min	Max	
t_{COIR_DSP}	输入寄存器的时钟到输出延时(Clock to output time of input register)	-	4.80	ns
t_{COPR_DSP}	流水寄存器的时钟到输出延时(Clock to output time of pipeline register)	-	2.40	ns
t_{COOR_DSP}	输出寄存器的时钟到输出延时(Clock to output time of output register)	-	0.84	ns

4.4.7 片内晶振开关特性

表 4-19 片内晶振特性参数

名称	说明		最小值	典型值	最大值
f_{MAX}	晶振输出频率 (0 ~ +85℃)	GW1NSER-4C	118.75MHz	125MHz	131.25MHz
	晶振输出频率 (-40 ~ +100℃)	GW1NSER-4C	112.5MHz	125MHz	137.5MHz
t_{DT}	输出时钟占空比		43%	50%	57%
t_{OPJIT}	输出时钟抖动		0.01UIPP	0.012UIPP	0.02UIPP

4.4.8 锁相环开关特性

表 4-20 锁相环特性参数

名称	说明	最小值	典型值	最大值
F_{in}	输入时钟频率	3MHz	-	450MHz
F_{out}	输出时钟频率	Fvco/128	-	Fvco/2
F_{vco}	压控振荡器时钟频率	400MHz	-	1500MHz
t_{DT}	输出时钟 Duty Cycle	-	$0.0625T_{pll}$	
T_{PAS}	相位调整步进	-	$0.0625T_{pll}$	

4.5 Cortex-M3 电气特性

4.5.1 DC 电气特性

表 4-21 电流特性

符号	描述	规格		单位
		最小值	最大值	
I_{VCC}	VCC 最大电流	-	100	mA
I_{VSS}	VSS 最大电流	-	-100	mA
I_{INJ}	漏电流	-	+/-5	mA

4.5.2 AC 电气特性

表 4-22 时钟参数

符号	描述	器件	规格		单位
			最小值	最大值	
f_{HCLK}	AHB 时钟频率	GW1NSER-4C	0	30	MHz
f_{PCLK}	APB 时钟频率	GW1NSER-4C	0	100	MHz

4.6 用户闪存电气特性

4.6.1 DC 电气特性

表 4-23 用户闪存 DC 电气特性

名称	参数	最大值		单位	Wake-up 时间	条件
		V_{CC}[3]	V_{CCX}			
读模式 (w/l 25ns)[1]	I_{CC1}[2]	2.19	0.5	mA	NA	最小时钟周期，占空比 100%，VIN = “1/0”
写模式		0.1	12	mA	NA	-
擦除模式		0.1	12	mA	NA	-
页擦除模式		0.1	12	mA	NA	-
读模式静态电流 (25-50ns 之间)	I_{CC2}	980	25	μA	NA	XE=YE=SE=“1”，在 $T=T_{acc}$ 到 T=50ns 之间，I/O 的电流为 0mA。T=50ns 之后，内部定时器关闭读模式，I/O 的电流为待机模式电流
待机模式	I_{SB}	5.2	20	μA	0	V_{SS}、V_{CCX} 和 V_{CC}

注！

- [1]这些数值为直流平均电流值，峰值电流值会高于该平均电流值；
- [2]I_{CC1} 在 T_{new} 不同的时钟周期计算；
  - 不允许 $T_{new} < T_{acc}$
  - $T_{new} = T_{acc}$
  - $T_{acc} < T_{new}$ - 50ns：I_{CC1} (new) = (I_{CC1} - I_{CC2})(T_{acc}/T_{new}) + I_{CC2}

- T_{new}>50ns：I_{CC1} (new) = (I_{CC1} - I_{CC2})(T_{acc}/T_{new}) + 50ns*I_{CC2}/T_{new} + I_{SB}
- t > 50ns，I_{CC2} = I_{SB}

- [3]从 wake-up time 的零时刻开始 V_{CC} 必须大于 1.08V。

4.6.2 AC 电气特性

表 4-24 用户闪存时序参数

用户模式	参数	符号	最小值	最大值	单位
访问时间 [2]	WC1	T_{acc} [3]	-	25	ns
	TC		-	22	ns
	BC		-	21	ns
	LT		-	21	ns
	WC		-	25	ns
编程/擦除到数据存储建立时间		T_{nvs}	5	-	μs
数据存储保持时间		T_{nvh}	5	-	μs
数据存储保持时间(整体擦除)		T_{nvh1}	100	-	μs
数据存储到编程建立时间		T_{pgs}	10	-	μs
编程保持时间		T_{pgh}	20	-	ns
写时间		T_{prog}	8	16	μs
写准备时间		T_{wpr}	>0	-	ns
擦除保持时间		T_{whd}	>0	-	ns
控制信号到写/擦除建立时间		T_{cps}	-10	-	ns
SE 到读操作建立时间		T_{as}	0.1	-	ns
SE 脉冲的高电平时间		T_{pws}	5	-	ns
地址/数据建立时间		T_{ads}	20	-	ns
地址/数据保持时间		T_{adh}	20	-	ns
数据保持时间		T_{dh}	0.5	-	ns
读模式地址保持时间 [3]	WC1	T_{ah}	25	-	ns
	TC	-	22	-	ns
	BC	-	21	-	ns
	LT	-	21	-	ns
	WC	-	25	-	ns
SE 脉冲低电平时间		T_{nws}	2	-	ns
恢复时间		T_{rcv}	10	-	μs
数据存储时间		T_{hv} [4]	-	6	ms
擦除时间		T_{erase}	100	120	ms
整体擦除时间		T_{me}	100	120	ms
掉电到待机模式的 Wake-up 时间		T_{wk_pd}	7	-	μs
待机保持时间		T_{sbh}	100	-	ns
V_{CC} 建立时间		T_{ps}	0	-	ns
V_{CCX} 保持时间		T_{ph}	0	-	ns

注！

- [1]这些设定值可能会改变。
- [2]这些数值为仿真数据，在实际器件中会有改变。

- [3]在信号 XADR、YADR、XE 和 YE 信号有效后，T_{acc} 的开始时间为 SE 信号的上升沿。读取的数据 DOUT 被保存直到在下一次有效的读操作开始。
- [4]T_{hv} 时间为写操作开始到数据下一次擦除操作之前的累积时间，同一个地址在下一次擦除之前不能被写入两次；同一个存储单元在下一次擦除之前不能被写入两次。这种限制是基于安全考虑的。
- [5]所有的波形都有 1ns 的上升沿时间和 1ns 的下降沿时间。
- [6]控制信号 X、YADR、XE 和 YE 信号需要至少保持 T_{acc} 的时间，T_{acc} 从 SE 的上升沿处开始。

4.6.3 操作时序图

图 4-1 用户闪存读操作时序

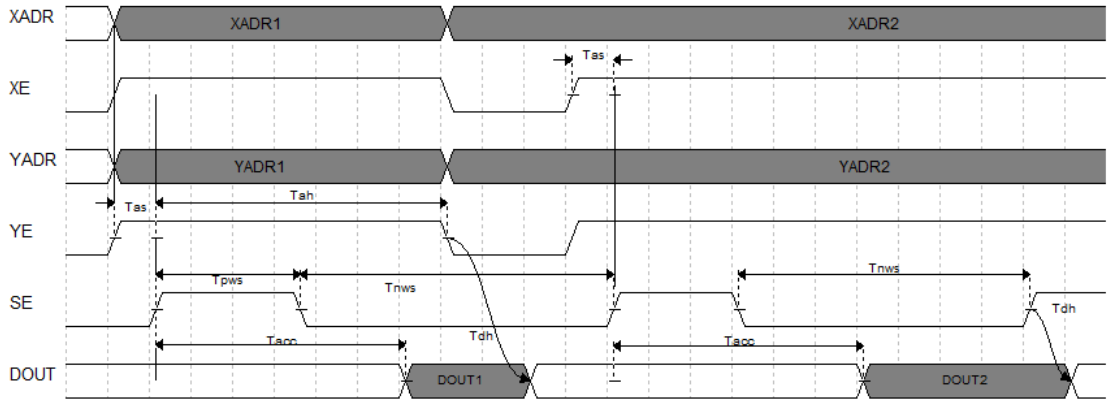


图 4-2 用户闪存编程操作时序

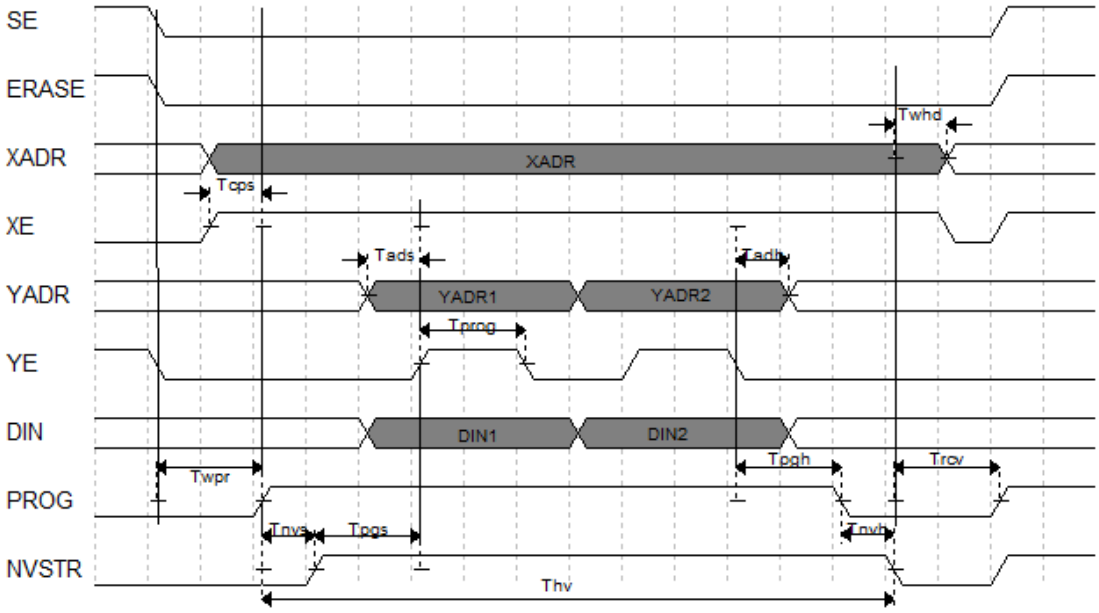
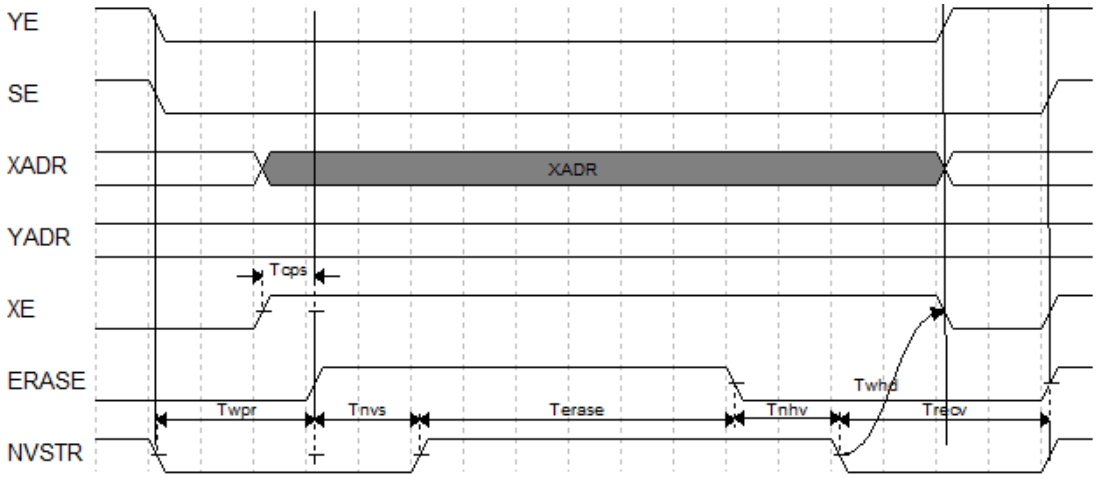


图 4-3 用户闪存擦除操作时序



4.7 编程接口时序标准

GW1NSER 系列 FPGA 产品 GowinCONFIG 配置模式支持多达 6 种，包括自启动模式、双启动模式、MSPI 模式、SSPI 模式、CPU 模式、SERIAL 模式，详细资料请参见 UG290, *Gowin FPGA 产品编程配置手册*。

4.7.1 JTAG 模式接口时序标准

GW1NSER 系列 FPGA 产品的 JTAG 配置模式符合 IEEE1532 标准和 IEEE1149.1 边界扫描标准。

JTAG 配置模式是将比特数据下载到 GW1NSER 系列 FPGA 产品的 SRAM 中，掉电后配置数据丢失。

JTAG 编程模式的时序图如图 4-4 所示。

图 4-4 JTAG 编程模式时序示意图

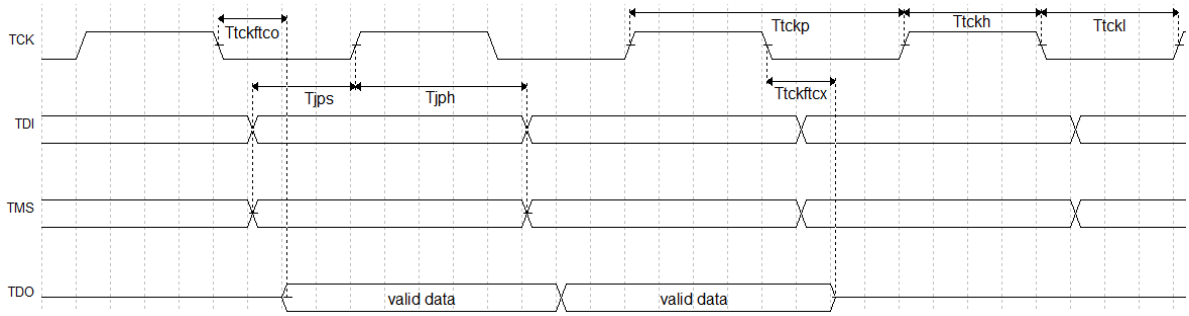


表 4-25 JTAG 编程模式时序参数

参数名称	参数含义	最小值	最大值
$T_{tckftco}$	TCK 下降沿到输出数据时间（Time from TCK falling edge to output）		10ns
$T_{tckftcx}$	TCK 下降沿到输出高阻时间（Time from TCK falling edge to high impedance）		10ns
T_{tckp}	TCK 时钟周期（TCK clock period）	40ns	-
T_{tckh}	TCK 时钟高电平时间（TCK clock high time）	20ns	-
T_{tckl}	TCK 时钟低电平时间（TCK clock low time）	20ns	-
T_{jps}	JTAG 口建立时间（JTAG PORT setup time）	10ns	-
T_{jph}	JTAG 口保持时间（JTAG PORT hold time）	8ns	-

4.7.2 AUTO BOOT 模式接口时序标准

AUTOBOOT 模式是高云半导体针对 GW1NSER 系列 FPGA 产品的瞬时接通特性创造的一种配置模式，此时需要配置 Mode=000。该模式下，芯片上电后无需连接外部配置接口，FPGA 即可自行从内置 Flash 读取配置数据完成程序加载。

内置 Flash 的配置过程通过 JTAG 接口完成，配置完成后，低电平脉冲触发 RECONFIG_N 或者重新上电开始自启动配置，时序图及相关参数如图 4-5 所示。

图 4-5 重新上电时序图

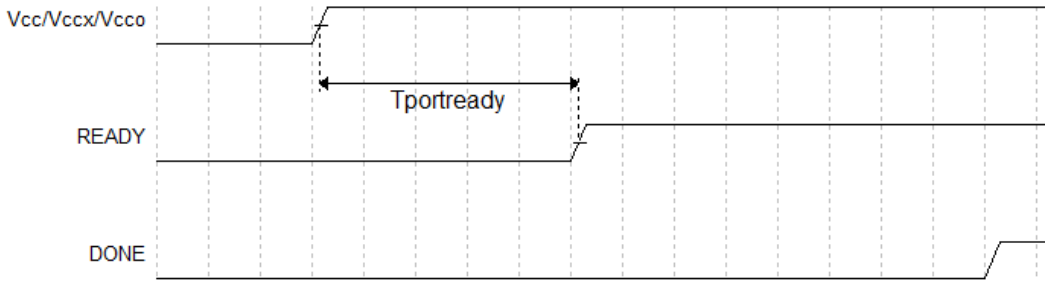
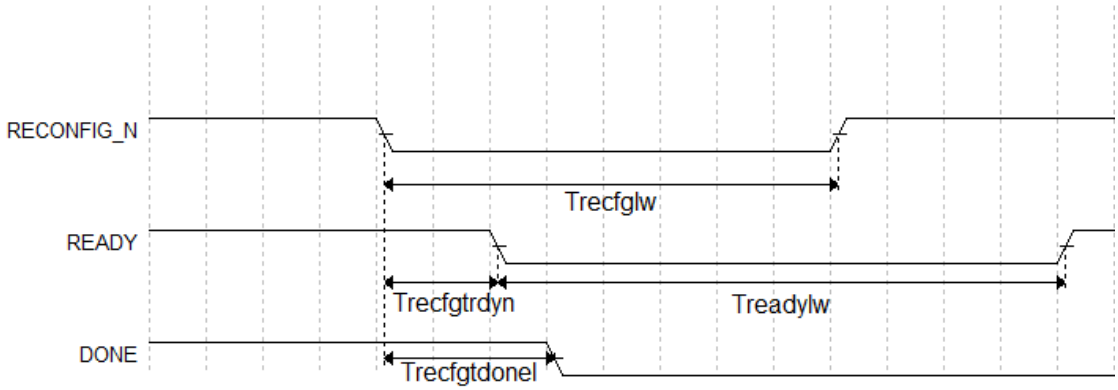


图 4-6 RECONFIG_N 触发时序图



相关的时序参数如表 4-26 所示。

表 4-26 重新上电和 RECONFIG_N 触发时序参数

参数名称	参数含义	最小值	最大值
$T_{portready}$[1]	V_{CC}, V_{CCX} 及 V_{CCO} 到 READY 的上升沿时间（Time from application of V_{CC}, V_{CCX} and V_{CCO} to the rising edge of READY）	50μs	200μs
$T_{recfglw}$	RECONFIG_N 低电平脉冲宽度（RECONFIG_N low pulse width）	25ns	
$T_{recfgtrdyn}$	RECONFIG_N 下降沿到 READY 低电平时间（Time from RECONFIG_N falling edge to READY low）	-	70ns
$T_{readylw}$	READY 低电平脉冲宽度（READY low pulse width）	TBD	
$T_{recfgtdonel}$	RECONFIG_N 下降沿到 DONE 低电平时间（Time from RECONFIG_N falling edge to DONE low）	-	80ns

注！

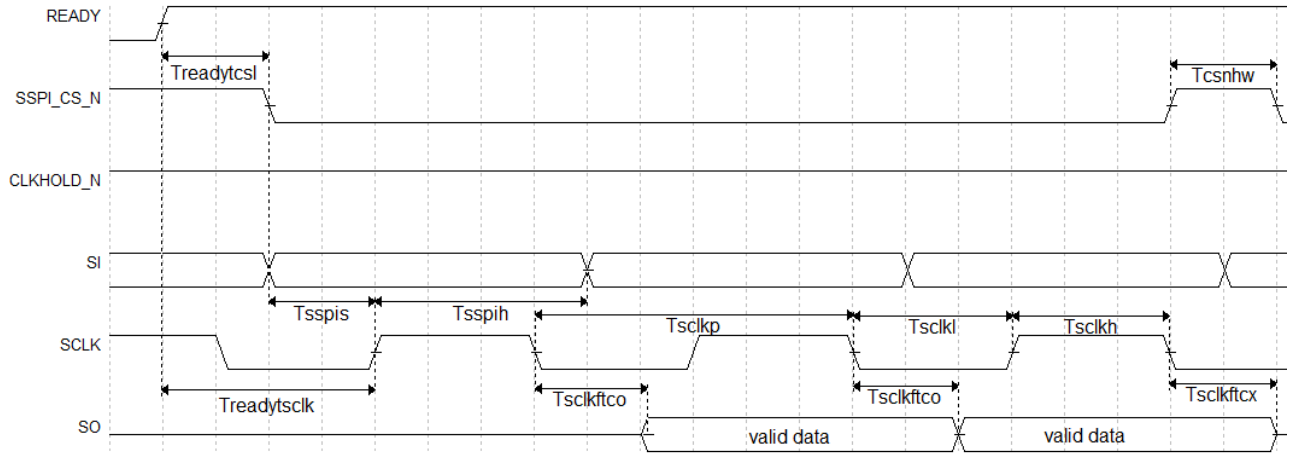
MODE0=0 时器件的上电等待时间为 200μs，MODE0=1 时为 50μs。

4.7.3 SSPI 模式接口时序标准

SSPI 配置模式，即 FPGA 作为从器件，由外部 Host 通过 SPI 接口对 GW1NSER 系列 FPGA 产品进行配置，此时需要配置 Mode=001。

SSPI 编程模式的时序图如图 4-7 所示。

图 4-7 SSPI 编程模式时序图



相关时序参数如表 4-27 所示。

表 4-27 SSPI 编程模式时序参数

参数名称	参数含义	最小值	最大值
T_{sclkp}	SCLK 时钟周期(SCLK clock period)	15ns	-
T_{sclkh}	SCLK 时钟高电平时间(SCLK clock high time)	7.5ns	-
T_{sclkl}	SCLK 时钟低电平时间(SCLK clock low time)	7.5ns	-
T_{sspis}	SSPI PORT 建立时间(SSPI PORT setup time)	2ns	-
T_{sspih}	SSPI PORT 保持时间(SSPI PORT hold time)	0ns	-
$T_{sclkftco}$	SCLK 下降沿到数据输出时延(Time from SCLK falling edge to output)	-	10ns
$T_{sclkftcx}$	SCLK 下降沿到输出高阻时延(Time from SCLK falling edge to high impedance)	-	10ns
T_{csnhw}	CSN 高电平脉冲宽度（CSN high time）	25ns	-
$T_{readytcsl}$	READY 上升沿到 CSN 低电平时间(Time from READY rising edge to CSN low)		
$T_{readytsclk}$	READY 上升沿到第一个 SCLK 沿时间(Time from READY rising edge to first SCLK edge)	TBD	-

除了满足上电要求，使用 SSPI 模式对 GW1NSER 系列 FPGA 产品进行编程，还需满足以下条件：

- SSPI 接口使能

上电后初次编程或前一次编程时，RECONFIG_N 设为“NON-RECOVERY”状态。

- 启动新的编程

重新上电或者给编程管脚 RECONFIG_N 一个低电平脉冲。

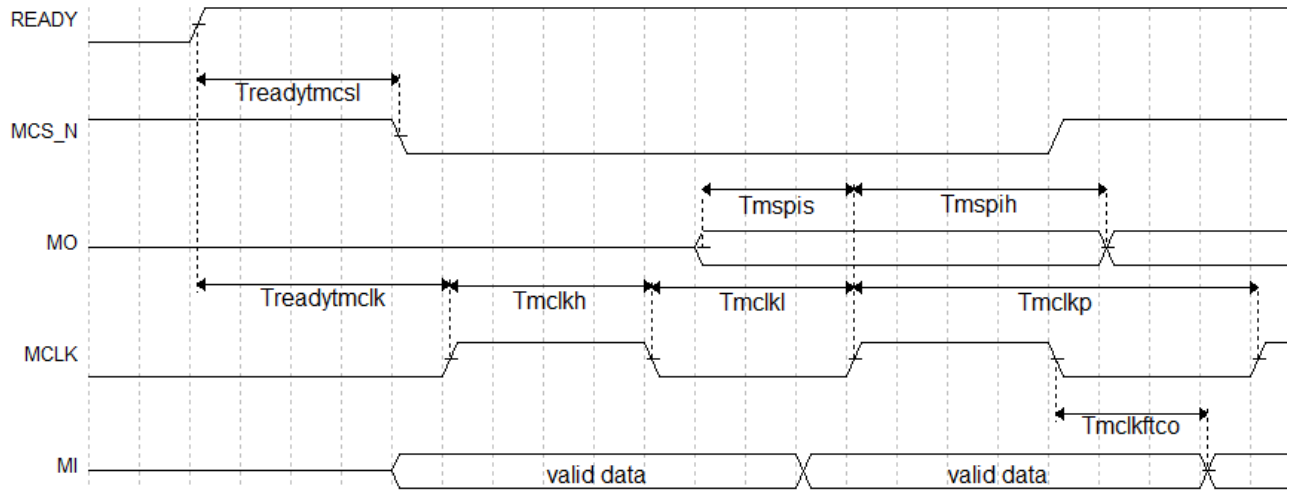
4.7.4 MSPI 模式接口时序标准

MSPI 配置模式，即 FPGA 作为主器件，通过 SPI 接口主动从外部 Flash 读取配置数据，此时需要配置 Mode=010。默认 MCLK 频率是 2.1MHz。MCLK 的精度是+/-5%。

MSPI 编程模式将配置数据写入外部 Flash 之后，需重新上电或触发 RECONFIG_N 键进行器件配置。只支持一次自动 MSPI 配置操作，如果配置失败，需重新上电或触发 RECONFIG_N 键再次操作。

MSPI 编程模式的时序图如图 4-8 所示。

图 4-8 MSPI 编程模式时序示意图



图中各个参数的含义如表 4-28 所示。

表 4-28 MSPI 编程模式时序参数

参数名称	参数含义	最小值	最大值
T_{mclkp}	MCLK 时钟周期(MCLK clock period)	15ns	-
T_{mclkh}	MCLK 时钟高电平时间(MCLK clock high time)	7.5ns	-
T_{mclkl}	MCLK 时钟低电平时间(MCLK clock low time)	7.5ns	-
T_{mspis}	MSPI PORT 建立时间(MSPI PORT setup time)	5ns	-
T_{mspih}	MSPI PORT 保持时间(MSPI PORT hold time)	1ns	-
$T_{mclkftco}$	MCLK 下降沿到数据输出时延(Time from MCLK falling edge to output)	-	10ns
$T_{readytmcsl}$	READY 上升沿到 MCS_N 低电平时间(Time from READY rising edge to MCS_N low)	100ns	200ns
$T_{readytmclk}$	READY 上升沿到第一个 MCLK 沿时间(Time from READY rising edge to first MCLK edge)	2.8μs	4.4μs

4.7.5 DUAL BOOT 模式

GW1NSER-4C 器件的 DUAL BOOT 配置模式实现请参见 TN101，*基于高云半导体 GW1N-4 芯片的 DUAL BOOT 下载方案*。

4.7.6 CPU 模式

CPU 编程模式下，HOST 通过 DBUS 接口对 GW1NSER 系列 FPGA 产品进行编程配置，此时需要配置 Mode=111。除了满足上电要求，使用 CPU 模式对 GW1NSER 系列 FPGA 产品进行编程，还需满足以下条件：

- CPU 接口使能
  上电后初次编程或前一次编程时，RECONFIG_N 设为“NON-RECOVERY”状态。
- 启动新的编程
  重新上电或者给编程管脚 RECONFIG_N 一个低电平脉冲。

4.7.7 SERIAL 模式

SERIAL 配置模式，Host 通过串行接口对 GW1NSER 系列 FPGA 产品进行配置，此时需要配置 Mode=101。除了满足上电要求，使用 SERIAL 模式对 GW1NSER 系列 FPGA 产品进行编程，还需满足以下条件：

- SERIAL 接口使能
  上电后初次编程或前一次编程时，RECONFIG_N 设为“NON-RECOVERY”状态。
- 启动新的编程
  重新上电或者给编程管脚 RECONFIG_N 一个低电平脉冲。

5 器件订货信息

5.1 器件命名

注！

- Speed Grade 适用于 LX 版本和 UX 版本。
- 详细的封装类型及管脚信息，请参考 2.2 产品信息列表及 2.3 封装信息列表。

图 5-1 GW1NSER-4C 内嵌 HyperRAM 器件命名方法－ES

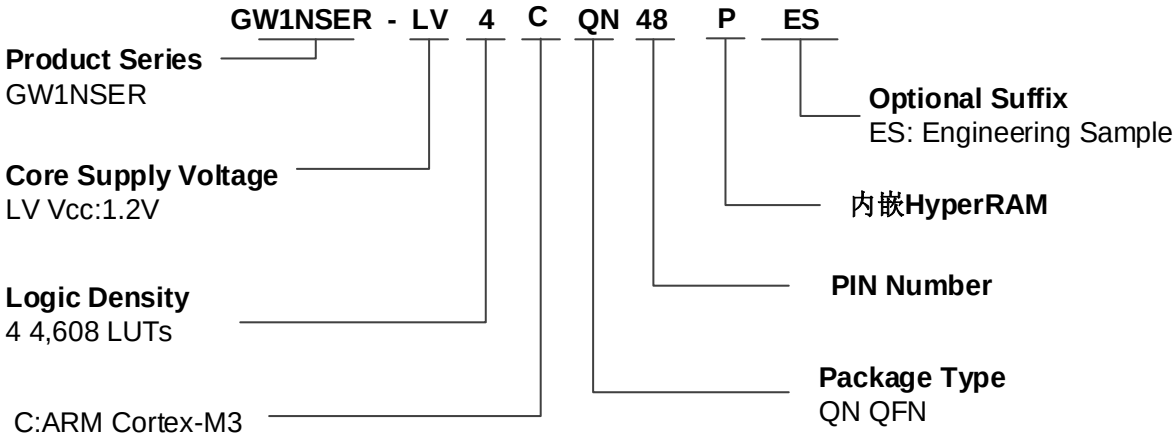


图 5-2 GW1NSER-4C 内嵌 NOR FLASH 器件命名方法－ES

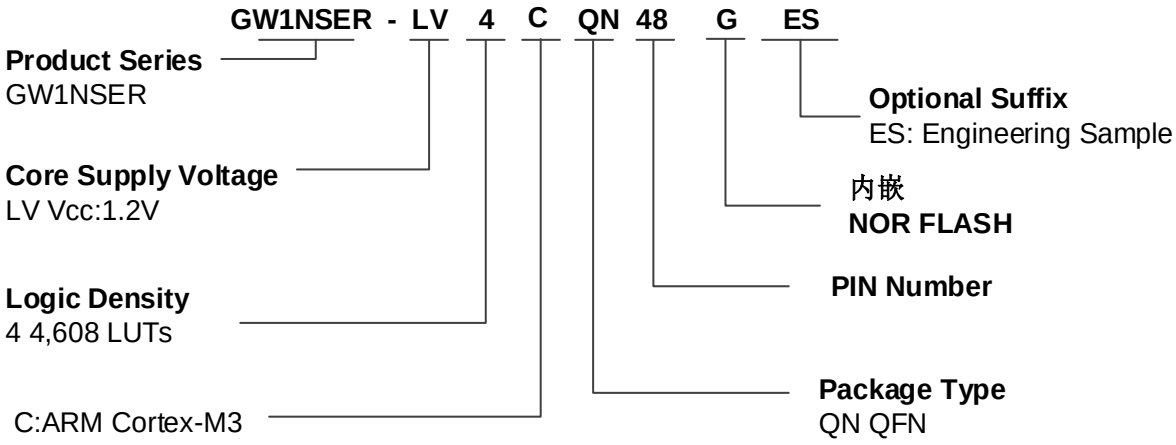


图 5-3 GW1NSER-4C 内嵌 HyperRAM 器件命名方法 - Production

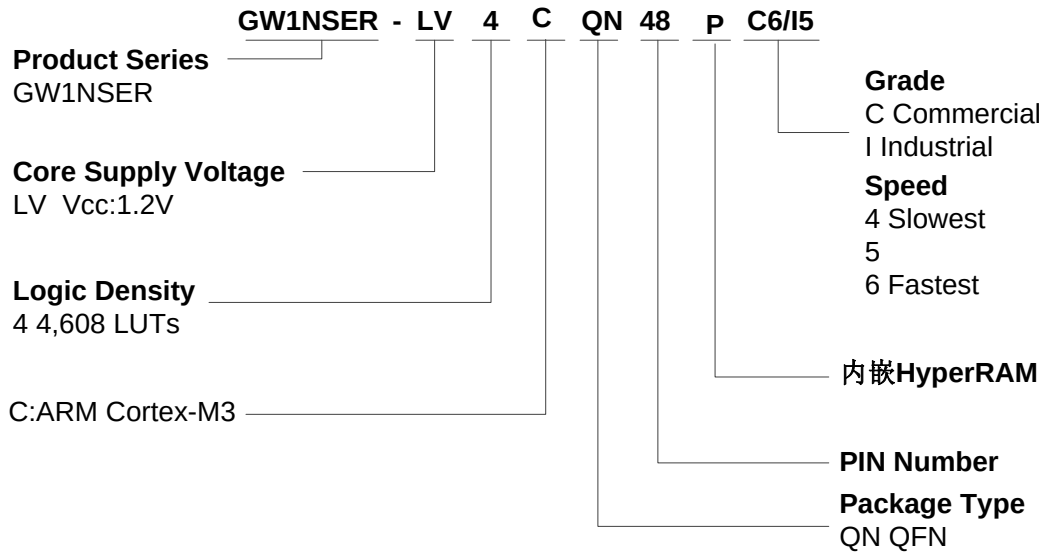
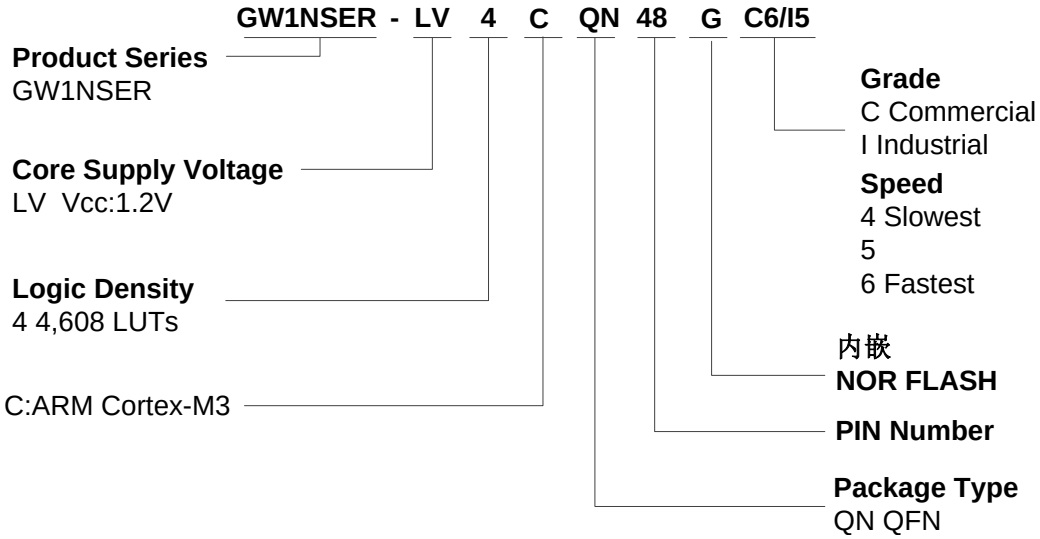


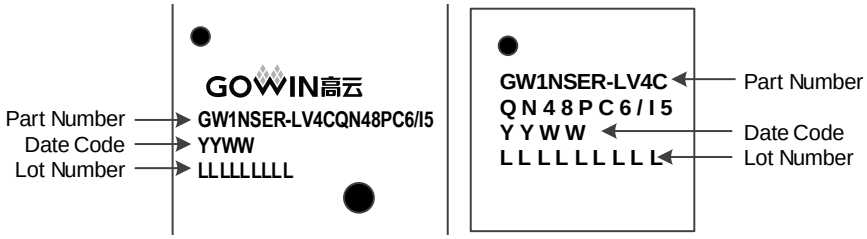
图 5-4 GW1NSER-4C 内嵌 NOR FLASH 器件命名方法 - Production



5.2 器件封装标识

高云半导体产品在芯片表面印制了器件信息，如图 5-5 所示。

图 5-5 GW1NSER-4C 器件封装标识示例



注！

图 5-5 中第一行与第二行均为“Part Number”。

GOWIN高云
智慧逻辑 定制未来