



# GW2AN-18X/9X 器件 数据手册

DS971-1.06, 2022-11-11

版权所有© 2022 广东高云半导体科技股份有限公司

**GOWIN高云**、Gowin、小蜜蜂、LittleBee、晨熙、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

日期	版本	说明
2020/09/21	1.0	初始版本。
2021/07/16	1.01	完善 GW2AN-9X 器件信息。
2021/10/28	1.02	GW2AN-9X 器件新增 UG256、PG256 及 UG324 封装。
2022/05/25	1.03	<ul style="list-style-type: none"><li>● 更新 I/O 推荐工作条件。</li><li>● 修改电源电压上升斜率。</li></ul>
2022/08/26	1.04	<ul style="list-style-type: none"><li>● 更新差分输入门限 <math>V_{THD}</math> 的最大值。</li><li>● 增加关于 DC 电流限制的注释。</li><li>● 增加 3.9.1 I2C 时序特性。</li></ul>
2022/09/07	1.05	<ul style="list-style-type: none"><li>● 更新表 4-3 电源上升斜率。</li><li>● 更新表 4-8 推荐工作范围内的 DC 电气特性。</li><li>● 更新图 3-1 结构概念示意图。</li></ul>
2022/11/11	1.06	<ul style="list-style-type: none"><li>● 更新表 4-2 推荐工作范围<sup>[1]</sup>。</li><li>● 更新表 4-5 POR 电压参数。</li><li>● 更新表 4-8 推荐工作范围内的 DC 电气特性。</li><li>● 更新表 4-9 静态电流。</li></ul>

# 目录

目录 .....	<b>i</b>
图目录 .....	<b>iv</b>
表目录 .....	<b>v</b>
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 相关文档 .....	1
1.3 术语、缩略语 .....	2
1.4 技术支持与反馈 .....	2
<b>2 产品概述 .....</b>	<b>3</b>
2.1 特性概述 .....	3
2.2 产品信息列表 .....	4
<b>3 结构介绍 .....</b>	<b>6</b>
3.1 结构框图 .....	6
3.2 NOR FLASH .....	7
3.3 可配置功能单元 .....	8
3.3.1 可配置逻辑单元 .....	8
3.3.2 布线资源单元 .....	10
3.4 输入输出模块 .....	10
3.4.1 I/O 电平标准 .....	11
3.4.2 I/O 逻辑 .....	15
3.4.3 I/O 逻辑工作模式 .....	17
3.5 块状静态随机存储器模块 .....	18
3.5.1 简介 .....	18
3.5.2 存储器配置模式 .....	18
3.5.3 存储器混合数据宽度配置 .....	19
3.5.4 字节使能功能配置 .....	20
3.5.5 校验位功能配置 .....	20
3.5.6 同步操作 .....	20

3.5.7 上电情况.....	21
3.5.8 BSRAM 操作模式.....	21
3.5.9 时钟模式.....	22
3.6 时钟.....	24
3.6.1 全局时钟网络.....	24
3.6.2 锁相环.....	27
3.6.3 高速时钟.....	29
3.6.4 DDR 存储器接口时钟管理 DQS.....	30
3.7 长线.....	31
3.8 全局复位.....	31
3.9 编程配置.....	31
3.9.1 I <sup>2</sup> C 时序特性.....	31
3.10 片内晶振.....	32
<b>4 电气特性.....</b>	<b>33</b>
4.1 工作条件.....	33
4.1.1 绝对最大范围.....	33
4.1.2 推荐工作范围.....	34
4.1.3 电源上升斜率.....	34
4.1.4 热插拔特性.....	34
4.1.5 POR 特性.....	34
4.2 ESD 性能.....	35
4.3 DC 电气特性.....	35
4.3.1 推荐工作范围的 DC 电气特性.....	35
4.3.2 静态电流.....	37
4.3.3 I/O 推荐工作条件.....	37
4.3.4 单端 I/O DC 电气特性.....	38
4.3.5 差分 I/O DC 电气特性.....	39
4.4 AC 开关特性.....	40
4.4.1 CFU 开关特性.....	40
4.4.2 BSRAM 开关特性.....	40
4.4.3 Gearbox 开关特性.....	40
4.4.4 时钟和 I/O 开关特性.....	40
4.4.5 片内晶振开关特性.....	41
4.4.6 PLL 开关特性.....	41
4.5 编程接口时序标准.....	41
<b>5 器件订货信息.....</b>	<b>42</b>

5.1 器件命名.....	42
5.2 器件封装标识示例 .....	43

# 图目录

图 3-1 结构概念示意图 .....	6
图 3-2 CFU 结构示意图 .....	8
图 3-3 CLS 中的寄存器示意图 .....	9
图 3-4 IOB 结构示意图 .....	10
图 3-5 GW2AN 的 I/O Bank 分布示意图 .....	11
图 3-6 I/O 逻辑输出示意图 .....	15
图 3-7 I/O 逻辑输入示意图 .....	15
图 3-8 IODELAY 示意图 .....	16
图 3-9 GW2AN 的 I/O 寄存器示意图 .....	16
图 3-10 GW2AN 的 IEM 示意图 .....	17
图 3-11 单端口、伪双端口及双端口模式下的流水线模式 .....	21
图 3-12 独立时钟模式 .....	23
图 3-13 读写时钟模式 .....	23
图 3-14 单端口时钟模式 .....	23
图 3-15 GW2AN 时钟资源 .....	24
图 3-16 GCLK 象限分布示意图 .....	25
图 3-17 DQCE 结构示意图 .....	26
图 3-18 DCS 接口示意图 .....	26
图 3-19 DCS Rising Edge 模式下的时序示意图 .....	26
图 3-20 DCS Falling Edge 模式下的时序示意图 .....	27
图 3-21 PLL 示意图 .....	27
图 3-22 GW2AN HCLK 示意图 .....	29
图 3-23 DQS 示意图 .....	30
图 3-24 I <sup>2</sup> C 时序图 .....	31
图 5-1 器件命名方法示例—Production .....	42
图 5-2 器件封装标识示例 .....	43

# 表目录

表 1-1 术语、缩略语 .....	2
表 2-1 产品信息列表 .....	4
表 2-2 GW2AN-18X PLL 列表 .....	5
表 2-3 GW2AN 系列 FPGA 产品封装和最大用户 I/O 信息 .....	5
表 3-1 CLS 中寄存器模块信号说明 .....	9
表 3-2 GW2AN 系列 FPGA 产品支持的输出 I/O 类型及部分可选配置 .....	12
表 3-3 GW2AN 支持的输入 I/O 类型及部分可选配置 .....	13
表 3-4 端口介绍 .....	15
表 3-5 存储器配置列表 .....	18
表 3-6 双端口混合读写数据宽度配置列表 .....	20
表 3-7 伪双端口混合读写数据宽度配置列表 .....	20
表 3-8 时钟模式配置列表 .....	22
表 3-9 PLL 端口定义 .....	28
表 3-10 GW2AN-18X & 9X 器件的 I <sup>2</sup> C 时序要求 .....	31
表 3-11 片内晶振的输出频率选项 .....	32
表 4-1 绝对最大范围 .....	33
表 4-2 推荐工作范围 <sup>[1]</sup> .....	34
表 4-3 电源上升斜率 .....	34
表 4-4 热插拔特性 .....	34
表 4-5 POR 电压参数 .....	34
表 4-6 GW2AN ESD - HBM .....	35
表 4-7 GW2AN ESD - CDM .....	35
表 4-8 推荐工作范围内的 DC 电气特性 .....	35
表 4-9 静态电流 .....	37
表 4-10 I/O 推荐工作条件 .....	37
表 4-11 单端 I/O DC 电气特性 .....	38
表 4-12 差分 I/O DC 电气特性 .....	39
表 4-13 CFU 时序参数 .....	40
表 4-14 BSRAM 时序参数 .....	40



---

表 4-15 Gearbox 时序参数 .....	40
表 4-16 外部开关特性 .....	40
表 4-17 片内晶振开关特性 .....	41
表 4-18 PLL 开关特性 .....	41

# 1 关于本手册

## 1.1 手册内容

GW2AN 系列 FPGA 产品 GW2AN 系列 FPGA 产品数据手册主要包括高云半导体 GW2AN 系列 FPGA 产品特性概述、产品资源信息、内部结构介绍、电气特性、编程接口时序以及器件订货信息，帮助用户快速了解高云半导体 GW2AN 系列 FPGA 产品以及特性，有助于器件选型及使用。

## 1.2 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

- [UG702, GW2AN-18X & 9X 器件编程配置手册](#)
- [UG973, GW2AN 系列 FPGA 产品封装与管脚手册](#)
- [UG972, GW2AN-18X 器件 Pinout 手册](#)
- [UG978, GW2AN-9X 器件 Pinout 手册](#)

## 1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

**表 1-1 术语、缩略语**

术语、缩略语	全称	含义
ALU	Arithmetic Logic Unit	算术逻辑单元
BSRAM	Block Static Random Access Memory	块状静态随机存储器
CFU	Configurable Function Unit	可配置功能单元
CLS	Configurable Logic Section	可配置逻辑块
CRU	Configurable Routing Unit	可编程布线单元
DCS	Dynamic Clock Selector	动态时钟选择器
DP	True Dual Port 16K BSRAM	16K 双端口 BSRAM
DQCE	Dynamic Quadrant Clock Enable	动态象限时钟使能
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable IO	Gowin 可编程通用管脚
IOB	Input/Output Block	输入输出模块
LUT4	4-input Look-up Table	4 输入查找表
LUT5	5-input Look-up Table	5 输入查找表
LUT6	6-input Look-up Table	6 输入查找表
LUT7	7-input Look-up Table	7 输入查找表
LUT8	8-input Look-up Table	8 输入查找表
PG	PBGA	PBGA 封装
PLL	Phase-locked Loop	锁相环
REG	Register	寄存器
SDP	Semi Dual Port 16K BSRAM	16K 伪双端口 BSRAM
SP	Single Port 16K BSRAM	16K 单端口 BSRAM
SSRAM	Shadow Static Random Access Memory	分布式静态随机存储器
TDM	Time Division Multiplexing	时分复用
UG	UBGA	UBGA 封装

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 产品概述

高云半导体 GW2AN 系列 FPGA 产品是高云半导体晨熙®家族第一代具有非易失性的 FPGA 产品，内部资源丰富，高速 LVDS 接口以及丰富的 BSRAM 存储器资源、NOR Flash 资源，这些内嵌的资源搭配精简的 FPGA 架构以及 55nm 工艺使 GW2AN 系列 FPGA 产品适用于高速低成本的应用场合。

高云半导体提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 GW2AN 系列 FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

## 2.1 特性概述

- 低功耗
  - 55nm 工艺
  - LV 版本：支持 1.0V 核电压
  - EV 版本：支持 1.2V 核电压
  - UV 版本：支持 2.5V 及 3.3V 核电压
  - 支持时钟动态打开/关闭
- 支持多种 I/O 电平标准
  - LVCMOS33/25/18/15/12; LVTTL33,SSTL33/25/18 I, II, SSTL15;
  - HSTL18 I, II, HSTL15 I; PCI, LVDS25, RSDS, LVDS25E, BLVDSE
  - MLVDSE, LVPECLE, RSDSE
  - 提供输入信号迟滞选项
  - 支持 4mA、8mA、16mA、24mA 等驱动能力
  - 提供输出信号 Slew Rate 选项
  - 提供输出信号驱动电流选项
  - 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项
  - 支持热插拔
- 丰富的基本逻辑单元

- 4 输入 LUT(LUT4)
- 支持移位寄存器和分布式存储器
- 集成 NOR Flash 存储芯片
- 支持多种模式的静态随机存储器
  - 支持双端口、单端口以及伪双端口模式
  - 支持字节写使能
- 灵活的 PLL 资源
  - 实现时钟的倍频、分频和相移
  - 全局时钟网络资源
- 编程配置模式
  - 支持 JTAG 配置模式
  - 支持 5 种 GowinCONFIG 配置模式：Autoboot、SSPI、CPU、I<sup>2</sup>C、SERIAL
  - 支持 I<sup>2</sup>C 背景升级、支持 SSPI 背景升级
  - 支持 JTAG、SSPI 模式直接编程 SPI Flash，其他模式可以通过 IP 的方式编程 SPI Flash
  - 支持数据流文件加密和安全位设置

## 2.2 产品信息列表

表 2-1 产品信息列表

器件	GW2AN-9X	GW2AN-18X
逻辑单元(LUT4)	10368	20,736
寄存器(FF)	10368	15552
分布式静态随机存储器 SSRAM(bits)	41472	41,472
块状静态随机存储器 BSRAM(bits)	540K	540K
块状静态随机存储器数目 BSRAM(个)	30	30
NOR Flash	16M bit	16M bit
最多锁相环(PLLs)	2	2
Global Clock	8	8
High Speed Clock	8	8
LVDS (Mb/s)	1250	1250
MIPI (Mb/s)	1200	1200
I/O Bank 总数	9	9
最大 I/O 数	389	389
核电压 (LV 版本)	1.0V	1.0V
核电压 (EV 版本)	1.2V	1.2V
核电压 (UV 版本)	2.5V/3.3V	2.5V/3.3V

表 2-2 GW2AN-18X PLL 列表

封装	器件	可用的 PLL
PG256	GW2AN-18X	PLLL/PLL
UG256	GW2AN-18X	PLLL/PLL
UG324	GW2AN-18X	PLLL/PLL
UG332	GW2AN-18X	PLLL/PLL
UG400	GW2AN-18X	PLLL/PLL
UG484	GW2AN-18X	PLLL/PLL

表 2-3 GW2AN 系列 FPGA 产品封装和最大用户 I/O 信息

封装	间距(mm)	尺寸(mm)	E-pad 尺寸 (mm)	GW2AN-9X	GW2AN-18X
UG484	0.8	19 x 19	-	383 (96)	383 (96)
UG400	0.8	17 x 17	-	335 (95)	335 (95)
UG256	0.8	14 x 14	-	207 (86) -	207 (86)
PG256	1.0	17 x 17	-	207 (86) -	207 (86)
UG332	0.8	17 x 17	-	-	279 (82)
UG324	0.8	15 x 15	-	279 (74) -	279 (74)
PG484	1.0	23 x 23	-	-	381 (96)

注!

- 文档中 GW2AN 系列 FPGA 产品封装命名采用缩写的方式，请参考 [5.1 器件命名](#)；
- JTAGSEL\_N 和 JTAG 管脚是互斥管脚，JTAGSEL\_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O，此表格的数据为 JTAG 下载的 4 个引脚复用为 I/O 时的情况。详细信息请参考 [UG973, GW2AN 系列 FPGA 产品封装与管脚手册](#)。

# 3 结构介绍

## 3.1 结构框图

图 3-1 结构概念示意图

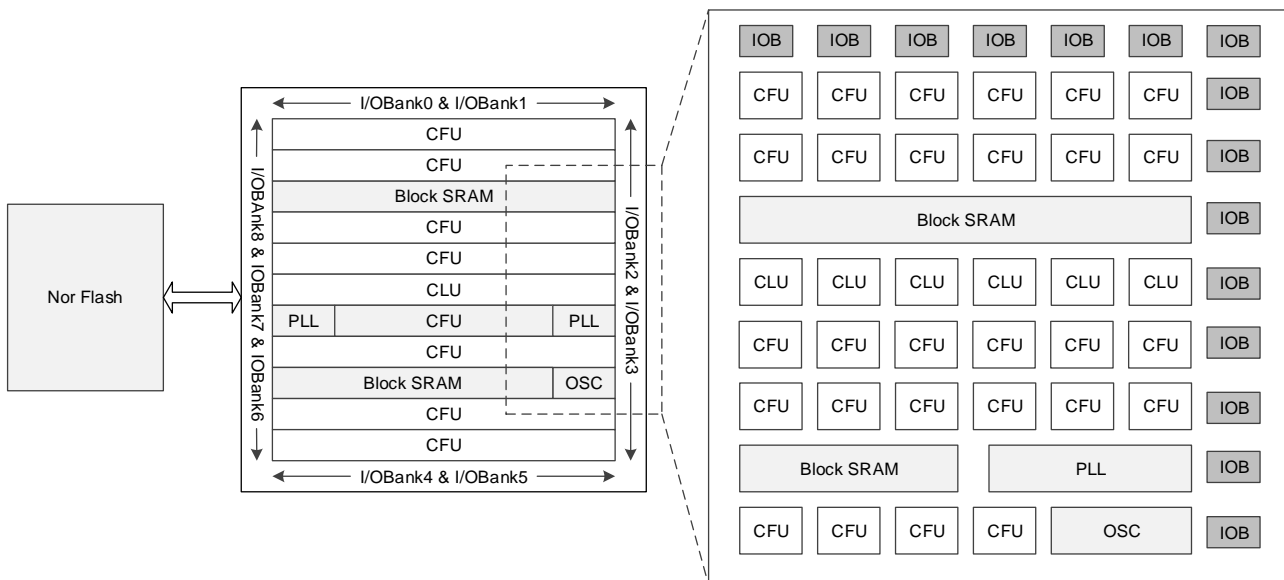


图 3-1 为 GW2AN 系列 FPGA 产品结构示意图，GW2AN 系列集成了 NOR Flash 存储芯片。NOR Flash 特性和概述请参见 [3.2 NOR FLASH](#)。

GW2AN-18X 器件内部资源数量详细资料请参考表 2-1。器件内部是一个逻辑单元阵列，外围是输入输出模块(IOB)，器件内嵌了静态随机存储器 (BSRAM) 模块、PLL 资源和片内晶振。

GW2AN 系列 FPGA 产品基本的组成部分为可配置功能单元(CFU, Configurable Logic Unit)。在器件内部按照行、列式矩阵排列，不同容量的器件行数和列数不同。可配置功能单元 (CFU) 可以配置成查找表 (LUT4) 模式、算术逻辑模式和存储器模式。详细资料请参考 [3.3 可配置功能单元](#)。

GW2AN 系列 FPGA 产品的 I/O 资源分布在器件外围，以 Bank 为单位划分，共分为 9 个 Bank，标注为 Bank0~Bank8。I/O 资源支持多种电平标

准，支持普通工作模式、SDR 工作模式、通用 DDR 模式和 DDR\_MEM 模式。详细资料请参考 [3.4 输入输出模块](#)。

GW2AN 系列 FPGA 产品的块状静态随机存储器 (BSRAM) 在器件内部按照行排列。一个 BSRAM 的容量大小为 18Kbits，支持多种配置模式和操作模式。详细资料请参考 [3.5 块状静态随机存储器模块](#)。

GW2AN 系列 FPGA 产品内嵌了锁相环 PLL 资源高云半导体 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。同时产品内嵌可编程片内晶振，支持 1.5625MHz 到 100MHz 的时钟频率范围，为 MSPI 编程配置模式提供时钟。片内晶振提供可编程的用户时钟，详细资料请参考 [3.6 时钟](#)、[3.10 片内晶振](#)。

此外，FPGA 器件内置了丰富的可编程布线单元(CRU, Configurable Routing Unit)，为 FPGA 内部的所有资源提供连接关系。可配置功能单元 (CFU) 和 IOB 内部都分布着布线资源，连通了 CFU 内部资源和 IOB 内部的逻辑资源。布线资源可通过高云半导体 FPGA 软件自动生成。此外，GW2AN 系列 FPGA 产品还提供了丰富的专用时钟网络资源，长线资源，全局置复位，以及编程选项等。详细资料行参考 [3.7 长线](#)、[3.8 全局复置位](#)。

## 3.2 NOR FLASH

GW2AN 系列 FPGA 产品提供 NOR FLASH，具有如下特性：

### 特性

- 支持 1.65V 至 3.465V 宽电压工作；
- 16Mb 存储空间，每页 256 字节；
- 支持 SPI；
- 时钟频率：100MHz；
- 软/硬件写保护：
  - 软件设置全部/部分内存写保护
  - 顶层/底层块写保护
- Min 100,000 编程/擦除；
- 快速的编程/擦除操作：
  - 页编程时间：1ms
  - Sector 擦除时间：100ms
  - 块擦除时间：0.3s/0.5s
  - 芯片擦除时间：10s
- 数据存储时间：20 年

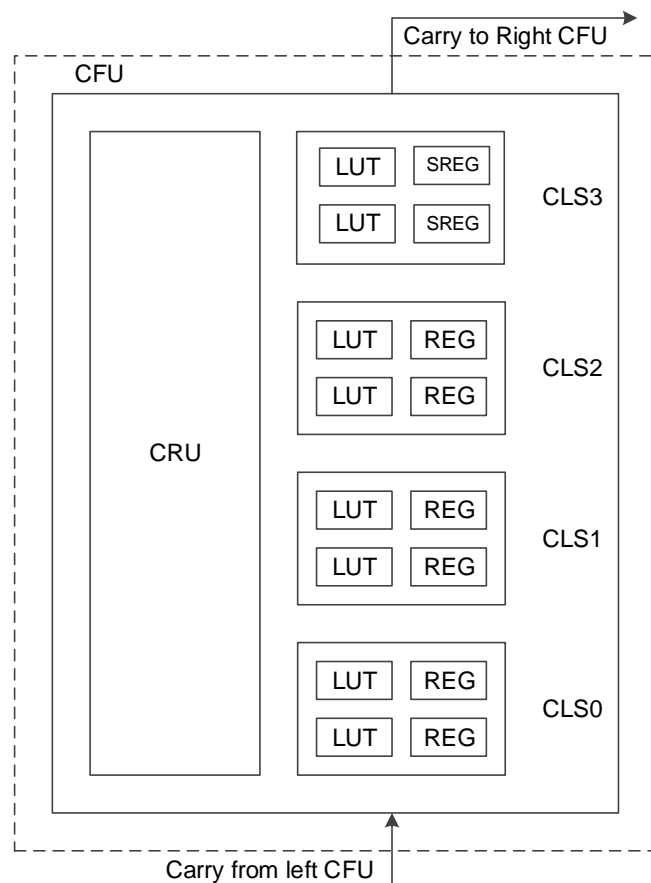


## 3.3 可配置功能单元

可配置功能单元(CFU)和可配置逻辑单元(CLU)是构成高云半导体 FPGA 产品内核的两种基本单元，每个基本单元可由四个可配置逻辑块 (CLS)以及相应的可配置布线单元(CRU)组成，其中三个可配置逻辑块各包含两个四输入查找表(LUT)和两个寄存器(REG)，另外一个可配置逻辑块只包含两个四输入查找表，如图 3-2 所示。

CLU 中的可配置逻辑块不能配置为静态随机存储器，可配置为基本查找表、算术逻辑单元和只读存储器。CFU 中的可配置逻辑块可根据应用场景配置成基本查找表、算术逻辑单元、静态随机存储器和只读存储器四种工作模式。本节以 CFU 为例进行介绍。

图 3-2 CFU 结构示意图



注！

SREG 需要特殊的软件支持。如有需要，请联系高云半导体技术支持或当地办事处。

### 3.3.1 可配置逻辑单元

查找表支持基本查找表、算术逻辑和存储器模式：

- 基本查找表模式

每个查找表可以被配置为一个 4 输入查找表(LUT4)，可实现高阶查找

表功能:

- 一个可配置功能片可配置成一个 5 输入查找表(LUT5)。
- 两个可配置功能片可配置成一个 6 输入查找表(LUT6)。
- 四个可配置功能片可配置成一个 7 输入查找表(LUT7)。
- 八个可配置功能片(两个 CFU)可配置成成一个 8 输入查找表(LUT8)。

● 算术逻辑模式

结合进位链，查找表可配置成算术逻辑模式(ALU)，用作实现以下功能:

- 加法/减法运算
- 计数器，包括加计数器和减计数器
- 比较器，包括大于比较、小于比较和不相等比较
- 乘法器

● 存储器模式

在此模式下，可用可配置逻辑单元构成 16 x 4 位的分布式静态随机存储器 (SSRAM) 或只读存储器。

高云半导体 FPGA 软件支持读入初始化文件的方式实现静态随机存储器 (SSRAM) 的初始化。只读存储器的数据在对器件编程时完成输入。

可配置功能片(CLS0~CLS2)各含两个寄存器(REG)，如图 3-3 所示。

图 3-3 CLS 中的寄存器示意图

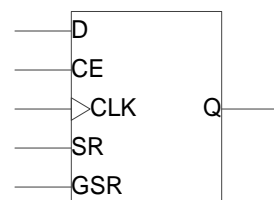


表 3-1 CLS 中寄存器模块信号说明

信号名	I/O	描述
D	I	寄存器数据输入 <sup>[1]</sup>
CE	I	CLK 使能信号，可配置为高电平使能或低电平使能 <sup>[2]</sup>
CLK	I	时钟信号，可配置为上升沿触发或下降沿触发 <sup>[2]</sup>
SR	I	本地置复位输入，可配置为如下功能 <sup>[2]</sup> : <ul style="list-style-type: none"> <li>● 同步复位</li> <li>● 同步置位</li> <li>● 异步复位</li> <li>● 异步置位</li> <li>● 无本地置复位</li> </ul>
GSR <sup>[3],[4]</sup>	I	全局复置位，可配置为如下功能 <sup>[4]</sup> : <ul style="list-style-type: none"> <li>● 异步复位</li> <li>● 异步置位</li> <li>● 无全局复置位</li> </ul>

信号名	I/O	描述
Q	O	寄存器输出

注!

- [1]信号 D 的来源可以选择同一可配置功能片中任一查找表的输出，也可以选择来自于 CRU 的输入。因此在查找表被占用的情况下，寄存器仍可以单独使用。
- [2]CFU 中可配置功能片的 CE/CLK/SR 均可独立配置选择。
- [3]在 GW2AN 系列 FPGA 产品内部，GSR 通过直连线连接，不通过 CRU。
- [4]SR 与 GSR 同时有效时，GSR 有较高的优先级。

### 3.3.2 布线资源单元

布线资源单元 CRU 的功能主要包括两个方面：

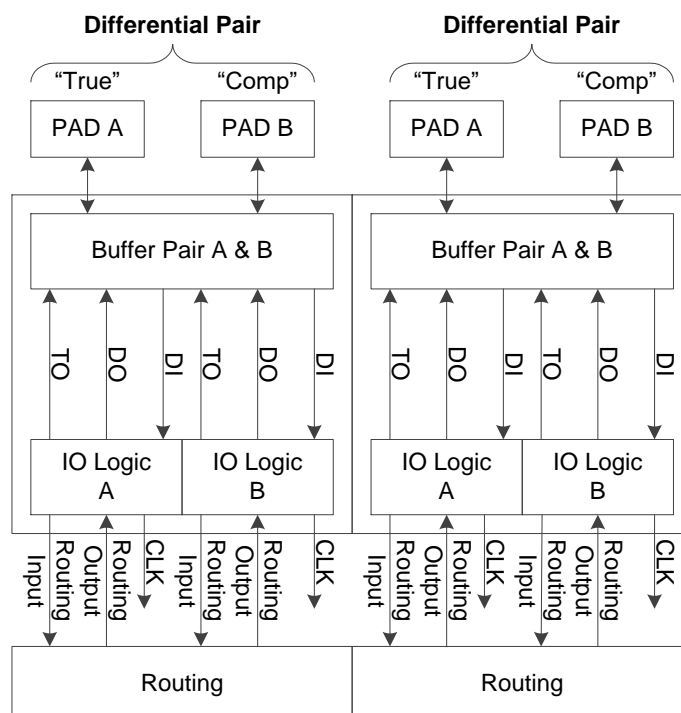
- 输入选择功能：为 CFU 的输入信号提供输入源选择。
- 布线资源功能：为 CFU 的输入/输出信号提供连接关系，包括 CFU 内部连接、CFU 之间连接以及 CFU 和 FPGA 内部其他功能模块之间的连接。

更多详细信息请参考 [UG288, Gowin 可配置功能单元\(CFU\)用户指南](#)。

## 3.4 输入输出模块

GW2AN 系列 FPGA 产品的 IOB 主要包括 I/O Buffer、I/O 逻辑以及相应的布线资源单元三个部分。如下图所示，每个 IOB 单元包括了两个 I/O 管脚(标记为 A 和 B)，它们可以配置成一组差分信号对，也可以作为单端信号分别配置。

图 3-4 IOB 结构示意图



GW2AN 系列 FPGA 产品中 IOB 的功能特点:

- 基于 Bank 的  $V_{CC0}$  机制;
- 支持 LVCMOS、PCI、LVTTTL、LVDS、SSTL 以及 HSTL 等多种电平标准;
- 提供输入信号迟滞选项;
- 提供输出信号驱动电流选项;
- 提供输出信号 Slew Rate 选项;
- 对每个 I/O 提供独立的 Bus Keeper、上拉/下拉电阻及 Open Drain 输出选项;
- 支持热插拔;
- I/O 逻辑支持普通模式、SDR 模式以及 DDR 等多种模式。

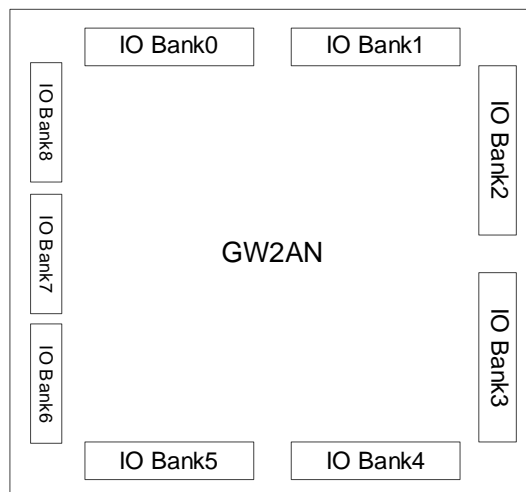
3.4.1 ~ 3.4.3 分别介绍了 I/O 电平标准、I/O 逻辑及 I/O 逻辑工作模式, 关于各种 I/O 模块的更多详细信息, 请参考 [UG289, Gowin 可编程通用管脚\(GPIO\)用户指南](#)。

### 3.4.1 I/O 电平标准

GW2AN 系列 FPGA 产品的 I/O 包括 9 个 Bank, 如图 3-5 所示, 每个 Bank 有独立的 I/O 电源  $V_{CC0}$ 。 $V_{CC0}$  可以设置为 3.3V、2.5V、1.8V、1.5V、1.35V、1.2V 或 1.0V。详细信息请参考表 4-2。

为支持 SSTL, HSTL 等 I/O 输入标准, 每个 Bank 还提供一个独立的参考电压( $V_{REF}$ ), 用户可以选择使用 IOB 内置的  $V_{REF}$  源(等于  $0.5 \times V_{CC0}$ ), 也可选择外部的  $V_{REF}$  输入(使用 Bank 中任意一个 I/O 管脚作为外部  $V_{REF}$  输入)。

图 3-5 GW2AN 的 I/O Bank 分布示意图



GW2AN 系列 FPGA 产品不同的 Bank 支持不同的片上电阻设置, 包括单端电阻和差分电阻两种。单端电阻设置用于 SSTL/HSTL 输入输出, 在 Bank2/3/6/7/8 中支持。差分电阻设置用于 LVDS 输入, 仅在 Bank0/1 中支持, Bank0/1 支持 100 欧姆差分匹配电阻。

**注!**

可编程通用管脚（GPIO）默认状态是三态输入弱下拉。

GW2AN 系列 FPGA 产品分为 LV、EV、UV 三个版本。

LV 版本器件支持 1.0V V<sub>CC</sub> 供电电压，EV 版本器件支持 1.2V V<sub>CC</sub> 供电电压，可以满足用户低功耗的需求。

V<sub>CC0</sub> 根据需要可在 1.0V、1.2V、1.5V、1.8V、2.5V、3.3V 电压中灵活设置。

UV 版本器件方便用户实现单一电源供电，内部集成了线性稳压器，内核电压支持 2.5V、3.3V 供电电压。

不同的 I/O 输出标准对 V<sub>CC0</sub> 的要求，如表 3-2 所示。GW2AN 系列支持的输入 I/O 类型及部分可选配置如表 3-3 所示。

**表 3-2 GW2AN 系列 FPGA 产品支持的输出 I/O 类型及部分可选配置**

I/O 输出标准	单端/差分	Bank V <sub>CC0</sub> (V)	输出驱动能力(mA)	典型应用
LVTTL33	单端	3.3	4,8,12,16,24	通用接口
LVC MOS33	单端	3.3	4,8,12,16,24	通用接口
LVC MOS25	单端	2.5	4,8,12,16	通用接口
LVC MOS18	单端	1.8	4,8,12	通用接口
LVC MOS15	单端	1.5	4,8	通用接口
LVC MOS12	单端	1.2	4,8	通用接口
SSTL25_I	单端	2.5	8	存储接口
SSTL25_II	单端	2.5	8	存储接口
SSTL33_I	单端	3.3	8	存储接口
SSTL33_II	单端	3.3	8	存储接口
SSTL18_I	单端	1.8	8	存储接口
SSTL18_II	单端	1.8	8	存储接口
SSTL15	单端	1.5	8	存储接口
HSTL18_I	单端	1.8	8	存储接口
HSTL18_II	单端	1.8	8	存储接口
HSTL15_I	单端	1.5	8	存储接口
PCI33	单端	3.3	N/A	PC 和嵌入式系统
LVPECL33E	差分	3.3	16	高速数据传输
MLVDS25E	差分	2.5	16	LCD 时序驱动与列驱动器接口
BLVDS25E	差分	2.5	16	多点高速数据传输
RS DS25E	差分	2.5	8	点对点高速数据传输
LVDS25E	差分	2.5	8	点对点高速数据传输
LVDS25	差分(TLVDS)	2.5/3.3	3.5/2.5/2/1.25	点对点高速数据传输
RS DS	差分(TLVDS)	2.5/3.3	2	点对点高速数据传输
MINILVDS	差分(TLVDS)	2.5/3.3	2	LCD 时序驱动与列驱动器接口

I/O 输出标准	单端/差分	Bank V <sub>CC0</sub> (V)	输出驱动能力(mA)	典型应用
PPLVDS	差分(TLVDS)	2.5/3.3	3.5	LCD 行/列驱动
SSTL15D	差分	1.5	8	存储接口
SSTL25D_I	差分	2.5	8	存储接口
SSTL25D_II	差分	2.5	8	存储接口
SSTL33D_I	差分	3.3	8	存储接口
SSTL33D_II	差分	3.3	8	存储接口
SSTL18D_I	差分	1.8	8	存储接口
SSTL18D_II	差分	1.8	8	存储接口
HSTL18D_I	差分	1.8	8	存储接口
HSTL18D_II	差分	1.8	8	存储接口
HSTL15D_I	差分	1.5	8	存储接口
LVC MOS12D	差分	1.2	8/4	通用接口
LVC MOS15D	差分	1.5	8/4	通用接口
LVC MOS18D	差分	1.8	8/12/4	通用接口
LVC MOS25D	差分	2.5	8/16/12/4	通用接口
LVC MOS33D	差分	3.3	8/24/16/12/4	通用接口

表 3-3 GW2AN 支持的输入 I/O 类型及部分可选配置

I/O 输入标准	单端/差分	Bank V <sub>CC0</sub> (V)	支持迟滞选项	是否需要 V <sub>REF</sub>
LVTTL33	单端	1.5/1.8/2.5/3.3	是	否
LVC MOS33	单端	1.5/1.8/2.5/3.3	是	否
LVC MOS25	单端	1.5/1.8/2.5/3.3	是	否
LVC MOS18	单端	1.5/1.8/2.5/3.3	是	否
LVC MOS15	单端	1.2/1.5/1.8/2.5/3.3	是	否
LVC MOS12	单端	1.2/1.5/1.8/2.5/3.3	是	否
SSTL15	单端	1.5/1.8/2.5/3.3	否	是
SSTL25_I	单端	2.5/3.3	否	是
SSTL25_II	单端	2.5/3.3	否	是
SSTL33_I	单端	3.3	否	是
SSTL33_II	单端	3.3	否	是
SSTL18_I	单端	1.8/2.5/3.3	否	是
SSTL18_II	单端	1.8/2.5/3.3	否	是
HSTL18_I	单端	1.8/2.5/3.3	否	是
HSTL18_II	单端	1.8/2.5/3.3	否	是
HSTL15_I	单端	1.5/1.8/2.5/3.3	否	是
PCI33	单端	3.3	是	否
LVC MOS33OD25	单端	2.5	否	否
LVC MOS33OD18	单端	1.8	否	否
LVC MOS33OD15	单端	1.5	否	否

I/O 输入标准	单端/差分	Bank V <sub>CC0</sub> (V)	支持迟滞选项	是否需要 V <sub>REF</sub>
LVC MOS25OD18	单端	1.8	否	否
LVC MOS25OD15	单端	1.5	否	否
LVC MOS18OD15	单端	1.5	否	否
LVC MOS15OD12	单端	1.2	否	否
LVC MOS25UD33	单端	3.3	否	否
LVC MOS18UD25	单端	2.5	否	否
LVC MOS18UD33	单端	3.3	否	否
LVC MOS15UD18	单端	1.8	否	否
LVC MOS15UD25	单端	2.5	否	否
LVC MOS15UD33	单端	3.3	否	否
LVC MOS12UD15	单端	1.5	否	否
LVC MOS12UD18	单端	1.8	否	否
LVC MOS12UD25	单端	2.5	否	否
LVC MOS12UD33	单端	3.3	否	否
LVDS25	差分	2.5/3.3	否	否
RS DS	差分	2.5/3.3	否	否
MINILVDS	差分	2.5/3.3	否	否
PPLVDS	差分	2.5/3.3	否	否
LVDS25E	差分	2.5/3.3	否	否
MLVDS25E	差分	2.5/3.3	否	否
BLVDS25E	差分	2.5/3.3	否	否
RS DS25E	差分	2.5/3.3	否	否
LVPECL33E	差分	3.3	否	否
SSTL15D	差分	1.5/1.8/2.5/3.3	否	否
SSTL25D_I	差分	2.5/3.3	否	否
SSTL25D_II	差分	2.5/3.3	否	否
SSTL33D_I	差分	3.3	否	否
SSTL33D_II	差分	3.3	否	否
SSTL18D_I	差分	1.8/2.5/3.3	否	否
SSTL18D_II	差分	1.8/2.5/3.3	否	否
HSTL18D_I	差分	1.8/2.5/3.3	否	否
HSTL18D_II	差分	1.8/2.5/3.3	否	否
HSTL15D_I	差分	1.5/1.8/2.5/3.3	否	否
LVC MOS12D	差分	1.2/1.5/1.8/2.5/3.3	否	否
LVC MOS15D	差分	1.5/1.8/2.5/3.3	否	否
LVC MOS18D	差分	1.8/2.5/3.3	否	否
LVC MOS25D	差分	2.5/3.3	否	否
LVC MOS33D	差分	3.3	否	否

### 3.4.2 I/O 逻辑

图 3-6 为 GW2AN 系列 FPGA 产品的 I/O 逻辑的输出部分。

图 3-6 I/O 逻辑输出示意图

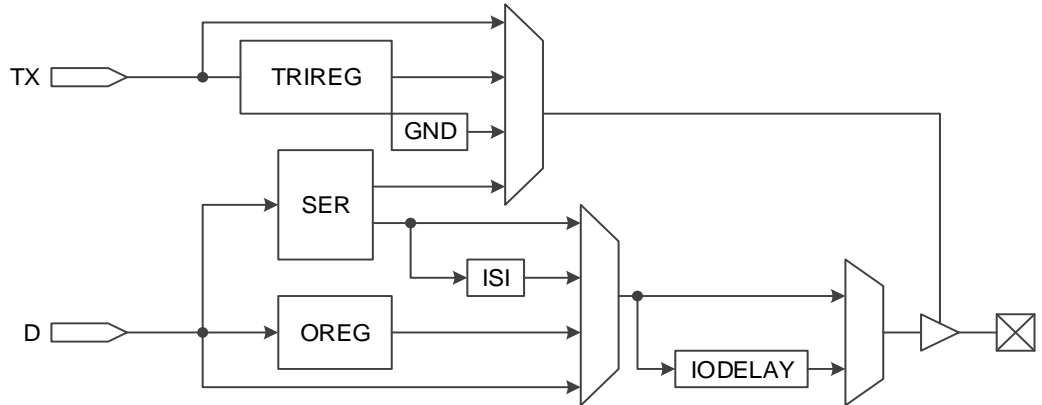


图 3-7 为 GW2AN 系列 FPGA 产品的 I/O 逻辑的输入部分。

图 3-7 I/O 逻辑输入示意图

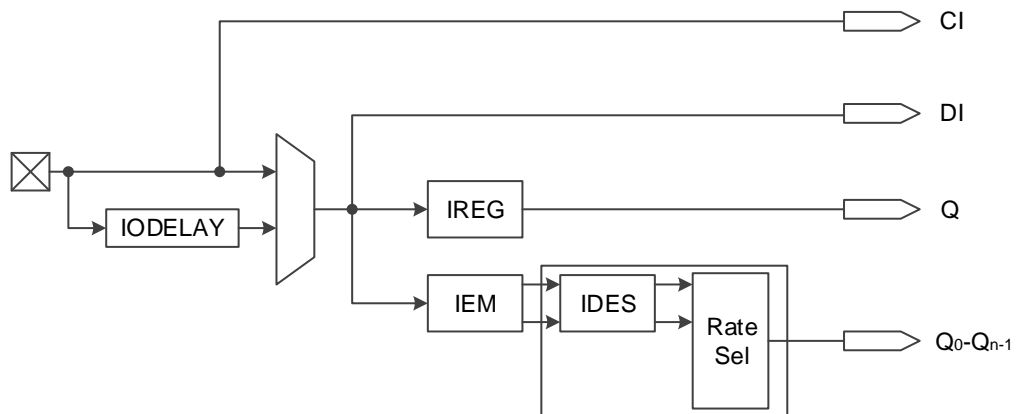


表 3-4 端口介绍

端口名	I/O	描述
C <sub>I</sub> <sup>[1]</sup>	Input	GCLK 输入信号。 GCLK 输入信号的数量请参考 <a href="#">UG972, GW2AN-18X 器件 Pinout 手册</a> 、 <a href="#">UG978, GW2AN-9X 器件 Pinout 手册</a> 。
D <sub>I</sub>	Input	IO 口低速输入信号，直接输入到 Fabric。
Q	Output	SDR 模块中 IREG 输出信号。
Q <sub>0</sub> -Q <sub>n-1</sub>	Output	DDR 模块中 IDES 输出信号。

注！

[1] 当 C<sub>I</sub> 作为 GCLK 输入使用时，D<sub>I</sub>、Q 及 Q<sub>0</sub>-Q<sub>n-1</sub> 不能作为 IO 输入输出使用。

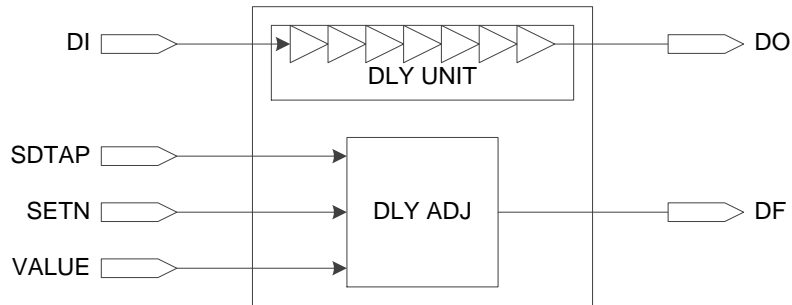


GW2AN 系列 FPGA 产品的 I/O 逻辑的组成模块说明如下：

### 延迟模块

图 3-8 为延迟模块 IODELAY。GW2AN 系列 FPGA 产品的每个 I/O 都包含 IODELAY 模块，总共提供 128(0~127)步的延迟，一步的延迟时间约为 18ps。

图 3-8 IODELAY 示意图



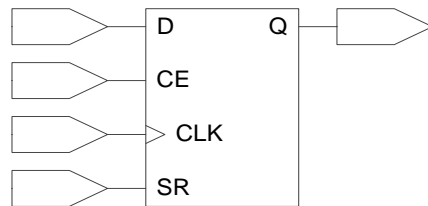
有两种控制延迟的方式：

- 静态控制。
- 动态控制，可与 IEM 模块一起使用来调节动态取样窗口需要注意的是 IODELAY 不能同时用于输入和输出。

### I/O 寄存器

图 3-9 为 GW2AN 系列 FPGA 产品的 I/O 寄存器模块。GW2AN 系列 FPGA 产品的每个 I/O 都提供可编程输入寄存器 IREG、输出寄存器 OREG 和高阻控制寄存器 TRIREG。

图 3-9 GW2AN 的 I/O 寄存器示意图



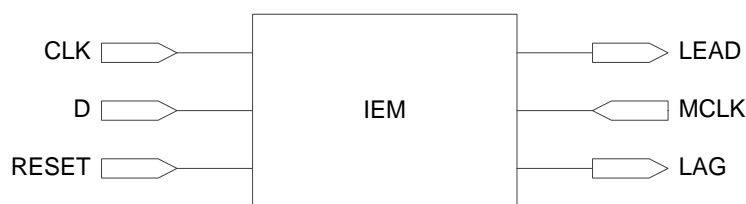
注！

- CE 可以编程为低电平有效(0: enable)或高电平有效(1: enable)。
- CLK 可以编程为上升沿触发或下降沿触发。
- SR 可以编程为同步/异步的 SET/RESET 或无效(disable)。
- 寄存器可以编程为寄存器(register)或触发器(latch)。

### 取样模块

取样模块(IEM)是用来取样数据边沿，用于通用 DDR 模式。如图 3-10 所示。

图 3-10 GW2AN 的 IEM 示意图



### 解串器 DES 及跨时钟域转换模块

每个输入的 I/O 逻辑提供了简单的解串器 DES，丰富了 I/O 资源应用方式。DES 里面的输入时钟的跨时钟域转换(Clock domain transfer)模块提供了安全转换外部取样时钟(strobe)到内部的持续运转时钟的能力。有多个寄存器(registers)用来进行数据采样。

跨时钟域转换模块有如下功能：

- 用内部连续时钟代替不连续的 DQS 来进行数据采样。此功能应用于 DDR 存储器接口。
- 对于 DDR3 存储器接口标准，在读 DQS 电平 (read-leveling) 后对数据排列整理 (align)。
- 在通用 DDR 模式，当 DQS.RCLK 用于采样时，跨时钟域转换模块也需要使用。

每个 DQS 提供 WADDR 及 RADDR 信号给同一个群的跨时钟域转换模块。

### 串化器 SER 模块

每个输出的 I/O 逻辑提供了简单的串化器 SER 模块，丰富了 I/O 资源应用方式。

## 3.4.3 I/O 逻辑工作模式

GW2AN 系列 FPGA 产品的 I/O 逻辑支持多种工作模式。每一种工作模式下，I/O(或 I/O 差分信号对)又可以配置成输出信号、输入信号、INOUT 信号及三态输出信号(带三态控制的输出信号)。

## 3.5 块状静态随机存储器模块

### 3.5.1 简介

GW2AN 系列 FPGA 产品提供了丰富的块状静态随机存储器资源。这些存储器资源按照模块排列，以行的形式，分布在整个 FPGA 阵列中。因此称为块状静态随机存储器 (BSRAM)。每个 BSRAM 可配置最高 18,432bits(18Kbits)。提供 5 种操作模式：单端口模式 Single Port，双端口模式 Dual Port，伪双端口模式 Semi Dual Port，固化存储器模式，内置的 FIFO 缓存。在下表中列出了 BSRAM 的信号及功能描述。

丰富的块状静态随机存储器资源为用户的高性能设计提供了保障。以下是 BSRAM 提供的各种功能：

- 1 个模块最大容量为 18,432bits
- 时钟频率达到 380MHz(在 Read-before-write 模式下 230MHz)
- 单端口模式 Single Port
- 双端口模式 Dual Port
- 伪双端口模式 Semi Dual Port
- 提供校验位 Parity Bits
- 提供只读存储器模式 ROM
- 数据宽度从 1 位到 36 位
- 可混合时钟操作 Mixed clock mode
- 可混合数据宽度 Mixed data width mode
- 在双字节以上的数据宽度支持字节使能功能 Enable Byte
- 正常读写 Normal Read and Write mode
- 先读后写 Read-before-write mode
- 通写 Write-through mode

### 3.5.2 存储器配置模式

GW2AN 系列 FPGA 产品的块状静态随机存储器可支持多种的数据宽度，如表 3-5 所示。

表 3-5 存储器配置列表

单端口模式	双端口模式	伪双端口模式	只读模式
16K x 1	16K x 1	16K x 1	16K x 1
8K x 2	8K x 2	8K x 2	8K x 2
4K x 4	4K x 4	4K x 4	4K x 4
2K x 8	2K x 8	2K x 8	2K x 8
1K x 16	1K x 16	1K x 16	1K x 16
512 x 32	-	512 x 32	512 x 32
2K x 9	2K x 9	2K x 9	2K x 9
1K x 18	1K x 18	1K x 18	1K x 18

单端口模式	双端口模式	伪双端口模式	只读模式
512 x 36	-	512 x 36	512 x 36

### 单端口模式

在单端口模式，BSRAM 可以在一个时钟沿对 BSRAM 进行读或写操作。在写操作中，被写入的数据会传到 BSRAM 的输出。支持正常读写模式(Normal-Write Mode)和通写模式(Write-through Mode)。当输出寄存器旁路(Bypass)时，新数据出现在同一个时钟的上升沿。

关于单端口模式的端口框图及相关描述请参考 [UG285, Gowin 存储器\(BSRAM & SSRAM\)用户指南](#)。

### 双端口模式

BSRAM 支持双端口模式，可对两个端口做如下操作：

- 两个端口同时读操作
- 两个端口同时写操作
- 任何一个端口的读和写

**注！**

DP 模式下，不支持先读后写模式。

关于双端口模式的端口示意图及相关描述请参考 [UG285, Gowin 存储器\(BSRAM & SSRAM\)用户指南](#)。

### 伪双端口模式

伪双端口可支持同时的读和写操作。但是对同一个端口不能做读写操作，只支持 A 端口写，B 端口读。

关于伪双端口模式的端口示意图及相关描述请参考 [UG285, Gowin 存储器\(BSRAM & SSRAM\)用户指南](#)。

### 只读模式

BSRAM 可配置成只读存储器模式。用户可通过存储器初始化文件，通过编程端口来初始化只读存储器。用户需要提供 ROM 中的内容，编入初始化文件中。在器件上电编程时来完成初始化操作。

每个 BSRAM 可配置成一个 16Kbits ROM。关于只读模式的端口示意图及详细描述请参考 [UG285, Gowin 存储器\(BSRAM & SSRAM\)用户指南](#)。

## 3.5.3 存储器混合数据宽度配置

GW2AN 系列 FPGA 产品的块状静态随机存储器模块可支持混合数据线宽度操作。在双端口模式和伪双端口模式模式下，读和写的数据宽度可以不同，但需要按照表 3-6 和表 3-7 的配置来应用。

表 3-6 双端口混合读写数据宽度配置列表

读端口	写端口						
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	2K x 9	1K x 18
16K x 1	*	*	*	*	*		
8K x 2	*	*	*	*	*		
4K x 4	*	*	*	*	*		
2K x 8	*	*	*	*	*		
1K x 16	*	*	*	*	*		
2K x 9						*	*
1K x 18						*	*

注!

标注为“\*”的表示支持的模式。

表 3-7 伪双端口混合读写数据宽度配置列表

读端口	写端口								
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	512x32	2K x 9	1K x 18	512x36
16K x 1	*	*	*	*	*	*			
8K x 2	*	*	*	*	*	*			
4K x 4	*	*	*	*	*	*			
2K x 8	*	*	*	*	*	*			
1K x 16	*	*	*	*	*	*			
512x32	*	*	*	*	*	*			
2K x 9							*	*	*
1K x 18							*	*	*

注!

标注为“\*”的表示支持的模式。

### 3.5.4 字节使能功能配置

BSRAM 支持字节使能 (byte-enables) 功能。可以遮蔽输入数据，只让被选择到的字节写入。而被遮蔽的数据能继续保留。读/写使能信号 (WREA, WREB)，及 byte-enable 参数选项用于控制 BSRAM 的写操作。

### 3.5.5 校验位功能配置

所有的块状静态随机存储器模块 BSRAM 内置了校验位的配置。每个字节的第 9 位可用来做校验位，用来检测数据传输的正确性，也可以用来存储数据。

### 3.5.6 同步操作

- 所有的块状静态随机存储器模块的输入寄存器支持同步写入。

- 输出寄存器可用作流水线寄存器提高用户的设计性能。
- 输出寄存器可旁路 bypass-able。

### 3.5.7 上电情况

BSRAM 支持上电时静态随机存储器初始化。在上电过程中，BSRAM 处于待机状态，所有数据输出为 0。此状态也适用于只读存储器模式 ROM。

### 3.5.8 BSRAM 操作模式

BSRAM 支持 5 种操作模式，包括 2 种读操作模式(旁路模式 Bypass Mode, 流水线读模式 PipelineRead Mode)和 3 种写操作模式(正常写模式: Normal-Write Mode, 通写模式: Write-through Mode, 先读后写模式: Read-before-write Mode)。

#### 读操作模式

通过输出寄存器或不通过输出寄存器从 BSRAM 读出数据。

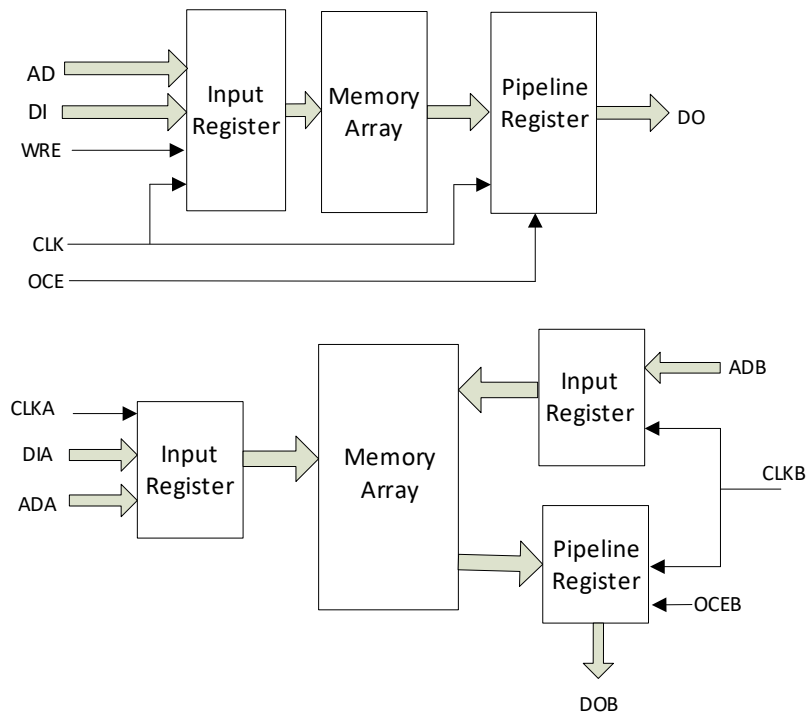
##### 流水线模式

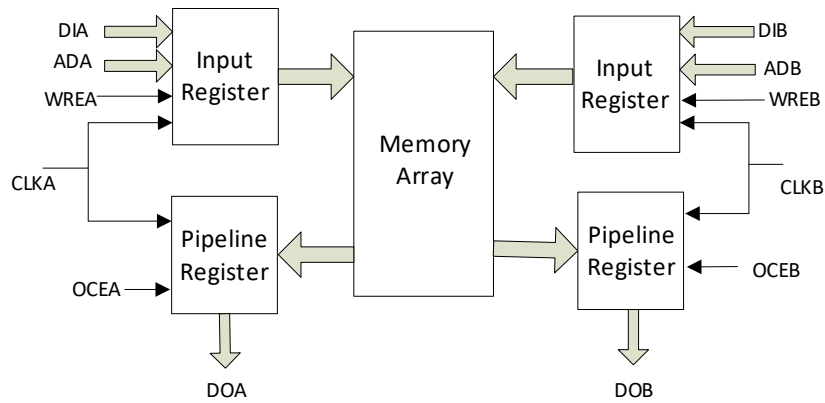
在同步写入存储器时，使用输出寄存器。此模式可支持数据宽度最大 36 位。

##### 旁路模式

不使用输出寄存器，数据保留在存储器(Memory Array)的输出。

图 3-11 单端口、伪双端口及双端口模式下的流水线模式





## 写操作模式

### 正常写模式

对一个端口进行正常写操作，此端口的输出数据不变。写入数据不会出现在读端口。

### 通写模式

在此模式下，对一个端口进行写操作时，写入数据会出现在此端口的输出。

### 先读后写模式

在此模式下，对一个端口进行写操作时，原来的数据会出现在此端口的输出，写入数据会存入相应单元。

### 注！

DP 模式下，不支持先读后写模式。

## 3.5.9 时钟模式

表 3-8 中列出了不同 BSRAM 模式下可使用的时钟模式：

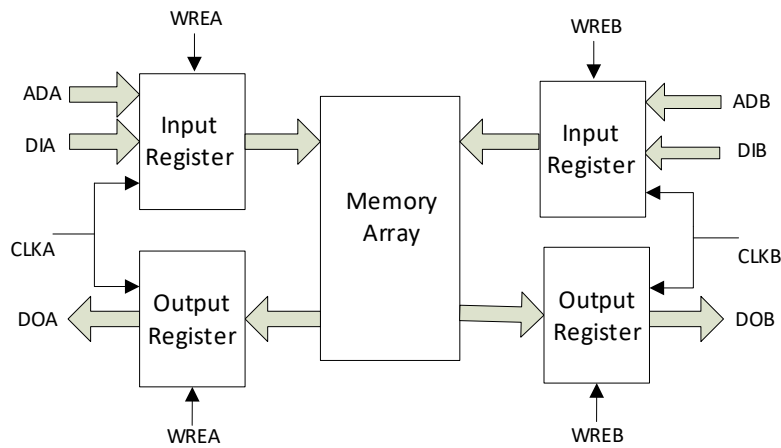
表 3-8 时钟模式配置列表

时钟模式	双端口模式	伪双端口模式	单端口模式
独立时钟模式	Yes	No	No
读/写时钟模式	Yes	Yes	No
单端口时钟模式	No	No	Yes

### 独立时钟模式

图 3-12 显示了在双端口模式下的独立时钟使用模式，每个端口各有一个独立时钟。CLKA 信号控制了端口 A 的所有寄存器，CLKB 信号控制了端口 B 的所有寄存器。

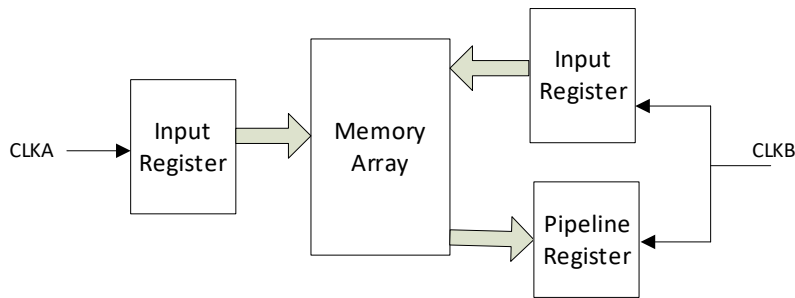
图 3-12 独立时钟模式



读写时钟模式

图 3-13 显示了在伪双端口模式下的读写时钟使用模式。每个端口各有一个时钟。写时钟(CLKA)信号控制了端口 A 的写入数据、写地址和读/写使能信号。读时钟(CLKB)信号控制了端口 B 的读出数据、读地址和读使能信号。

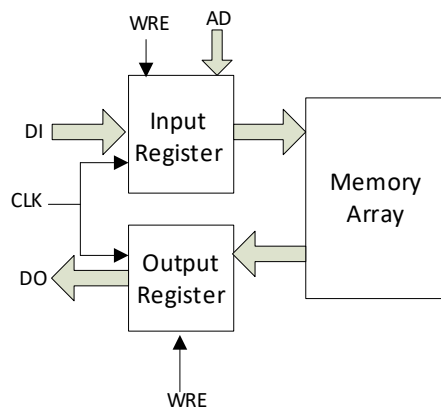
图 3-13 读写时钟模式



单端口时钟模式

图 3-14 显示了单端口时钟模式。

图 3-14 单端口时钟模式

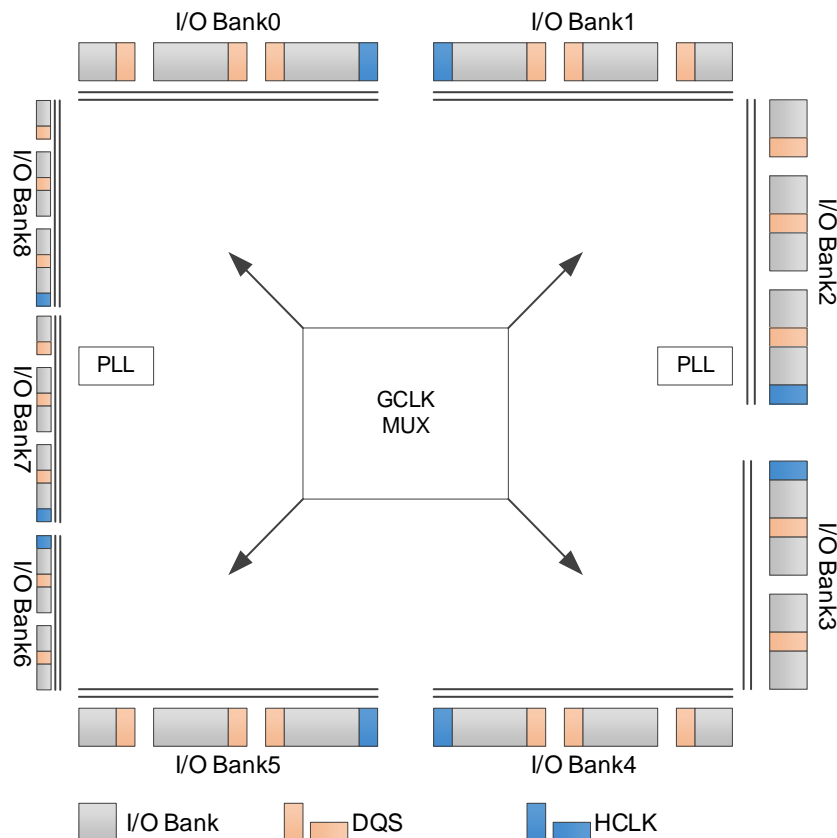




## 3.6 时钟

时钟资源及布线对 FPGA 高性能的应用至关重要。GW2AN 系列 FPGA 产品提供了专用全局时钟网络(GCLK)，直接连接到器件的所有资源。除了 GCLK 资源，还提供了锁相环 (PLL)、高速时钟 HCLK 和 DDR 存储器接口数据脉冲时钟 DQS 等时钟资源。

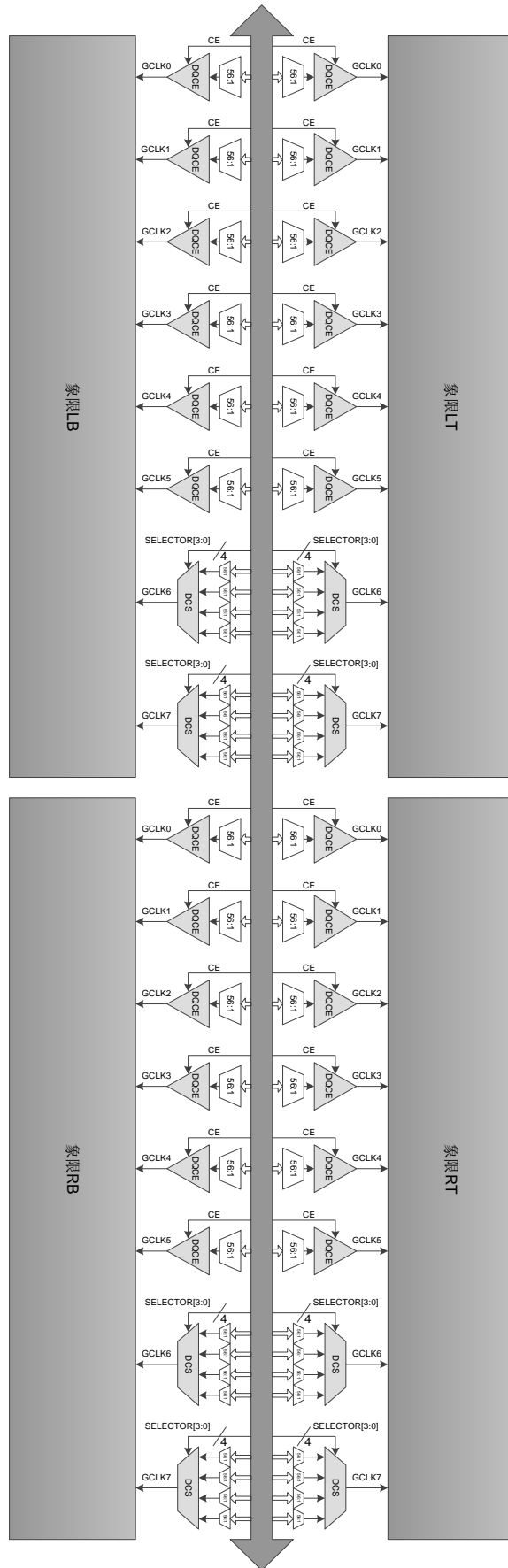
图 3-15 GW2AN 时钟资源



### 3.6.1 全局时钟网络

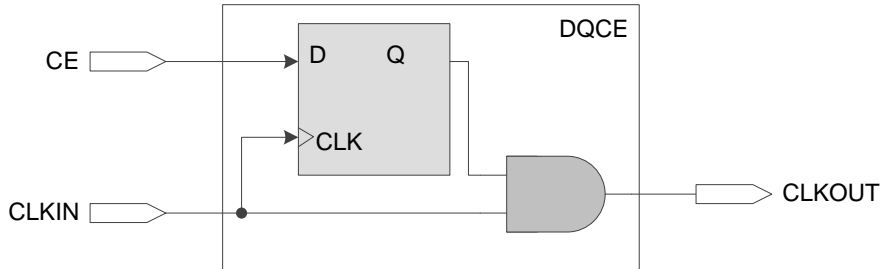
GCLK 在 GW2AN 产品中按象限分布，分为四个象限，每个象限提供 8 个 GCLK 网络。GCLK 的可选时钟源包括专用的时钟输入管脚和普通布线资源，使用专用的时钟输入管脚具有更好的时钟性能。

图 3-16 GCLK 象限分布示意图



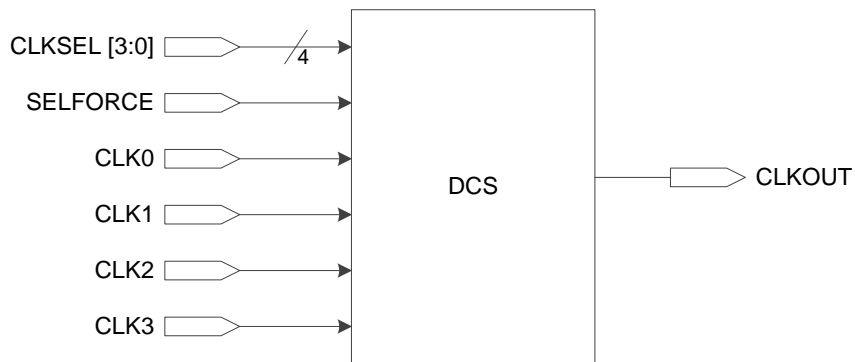
通过 DQCE(Dynamic Quadrant Clock Enable)可动态打开/关闭 GCLK0~GCLK5。关闭 GCLK0~GCLK5 时钟，GCLK0~GCLK5 驱动的内部逻辑不再翻转，从而降低了器件的总体功耗。

图 3-17 DQCE 结构示意图



每个象限的 GCLK6~GCLK7 由 DCS(Dynamic Clock Selector)控制，如图 3-18 所示，内部逻辑可以通过 CRU 在四个时钟输入之间动态选择，输出不带毛刺的时钟。

图 3-18 DCS 接口示意图

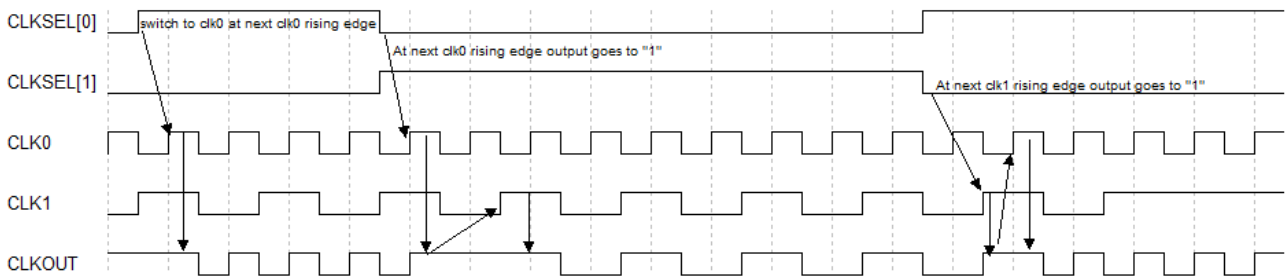


DCS 可以配置为以下几种模式：

- DCS rising edge 模式

即在当前选择时钟的上升沿后转入常量 1，在新选择时钟的上升沿后转入新时钟，如图 3-19 所示。

图 3-19 DCS Rising Edge 模式下的时序示意图

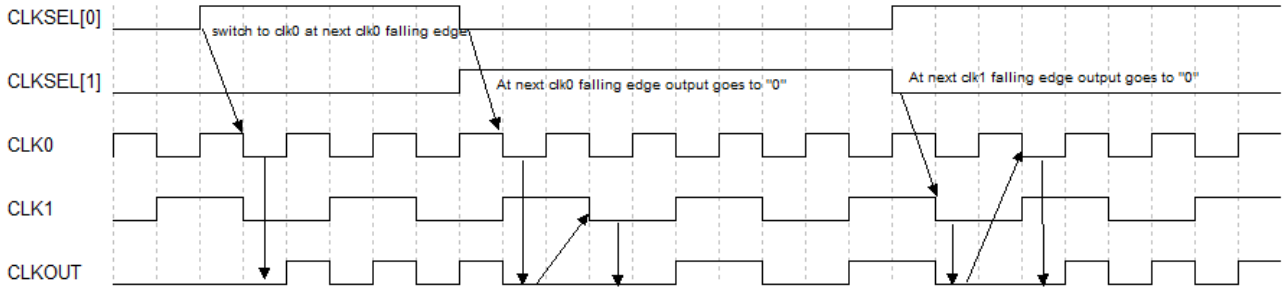


- DCS falling edge 模式

即在当前选择时钟的下降沿后转入常量 0，在新选择时钟的下降沿后转

入新时钟，如图 3-20 所示。

图 3-20 DCS Falling Edge 模式下的时序示意图



● Clock Buffer 模式

此模式下，DCS 简化为普通的 Clock buffer。

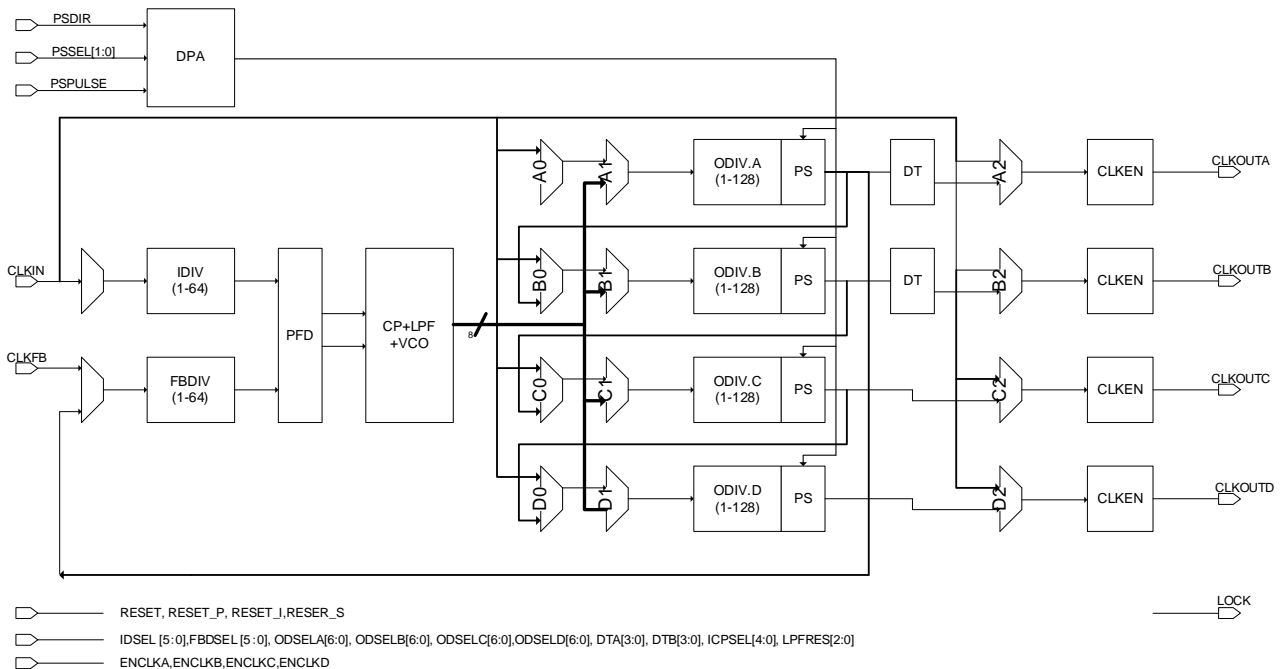
3.6.2 锁相环

锁相环路是一种反馈控制电路，简称锁相环 (PLL, Phase-Locked Loop)。利用外部输入的参考时钟信号控制环路内部振荡信号的频率和相位。

GW2AN 产品的 PLL 模块能够提供可以综合的时钟频率，通过配置不同的参数可以进行时钟的频率调整(倍频和分频)、相位调整、占空比调整等功能。

PLL 模块的结构框图如图 3-21 所示。

图 3-21 PLL 示意图



PLL 端口定义如表 3-9 所示。

表 3-9 PLL 端口定义

端口名称	信号	描述
CLKIN	输入	参考时钟输入
CLKFB	输入	反馈时钟输入
RESET	输入	PLL 全部复位
RESET_P	输入	PLL 关断 (Power Down) 信号
RESET_I	输入	带 IDIV 的 PLL 全复位
RESET_S	输入	仅复位 B/C/D 这 3 路
IDSEL [5: 0]	输入	动态控制 IDIV 值, 范围 0~63
FBDSEL [5: 0]	输入	动态控制 FBDIV 值, 范围 0~63
ODSELA[6:0]	输入	动态控制 ODIVA,范围 0~127
ODSELB[6:0]	输入	动态控制 ODIVB,范围 0~127
ODSELC[6:0]	输入	动态控制 ODIVC,范围 0~127
ODSELD[6:0]	输入	动态控制 ODIVD,范围 0~127
DTA[3:0]	输入	动态微调控制 CLKOUTA 的 dutycycle
DTB[3:0]	输入	动态微调控制 CLKOUTB 的 dutycycle
ICPSEL[4:0]	输入	动态控制 ICP 大小
LPFRES[2:0]	输入	动态控制 LPFRES 大小
PSDIR	输入	动态控制相位移动方向
PSSEL[1:0]	输入	动态控制相位移动通道选择
PSPULSE	输入	动态控制相位移动时钟
ENCLKA ENCLKB ENCLKC ENCLKD	输出	动态控制时钟输出使能
CLKOUTA	输出	A 通道时钟输出
CLKOUTB	输出	B 通道时钟输出
CLKOUTC	输出	C 通道时钟输出
CLKOUTD	输出	D 通道时钟输出
LOCK	输出	PLL 锁定指示: 1: 锁定 0: 失锁

PLL 的参考时钟信号可以通过外部 PLL 时钟管脚输入, 也可以是通过绕线过去的全局时钟信号、高速时钟信号或普通数据信号。PLL 的反馈信号可以是外部 PLL 反馈信号的管脚的输入, 也可以是通过绕线过去的全局时钟信号、高速时钟信号或普通数据信号。

GW2AN 系列 FPGA 产品的 PLL 性能请参考 [4.4.6 PLL 开关特性](#)。

PLL 可对输入时钟 CLKIN 进行频率调整（倍频和分频），计算公式如下：

1.  $f_{CLKOUTA} = (f_{CLKIN} * FBDIV) / IDIV$
2.  $f_{VCO} = f_{CLKOUTA} * ODIVA$
3.  $f_{CLKOUTx} = f_{IN\_ODIVx} / ODIVx$
4.  $f_{PFD} = f_{CLKIN} / IDIV = f_{CLKOUTA} / FBDIV$

注！

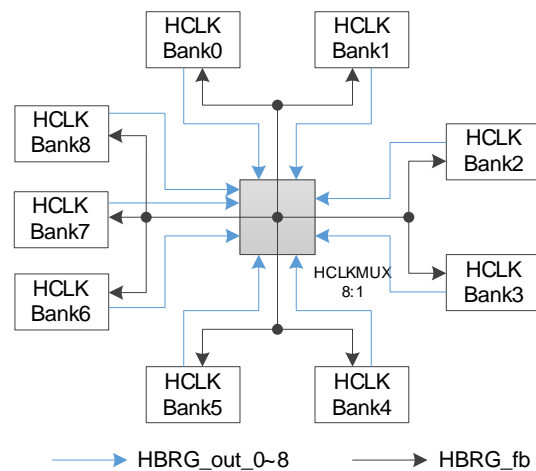
- $f_{CLKIN}$  为输入时钟 CLKIN 频率。
- $f_{CLKOUTx}$ :  $x=A/B/C/D$ , 为 A/B/C/D 通道的输出时钟频率。
- $ODIVx$ :  $x=A/B/C/D$ , 为 A/B/C/D 通道的输出分频系数。
- $f_{IN\_ODIVx}$ :  $x=A/B/C/D$ , 为  $ODIVx$  的输入时钟频率，默认  $f_{vco}$ ，级联时按实际电路连接。

即可通过调整 IDIV、FBDIV、ODIV 来得到期望频率的时钟信号。

### 3.6.3 高速时钟

GW2AN 系列 FPGA 产品的高速时钟 HCLK 可以支持 I/O 完成高性能数据传输，是专门针对源时钟同步的数据传输接口而设计的，如图 3-22 所示。

图 3-22 GW2AN HCLK 示意图



由图 3-22 可以看到，高速时钟 HCLK 的中间有一个 8:1 的 HCLKMUX 模块，HCLKMUX 能将任何一个 Bank 中的 HCLK 时钟信号送到其他任何一个 Bank 中，这使得 HCLK 的使用更加灵活。

HCLK 可以提供给用户使用的功能模块如下所示：

- **DHCEN**: 动态的高速时钟使能模块，功能类似于 DQCE。可动态的打开/关闭高速时钟信号。
- **CLKDIV/CLKDIV2**: 高速时钟分频模块，每个时钟 Bank 中有一个 CLKDIV。生成和输入时钟相位一致的分频时钟，用于 IO 逻辑工作模式中。
- **DCS**: 动态的全局时钟选择器。

- DLLDLY: 动态延迟调整模块, 用于专用时钟管脚输入的时钟信号。

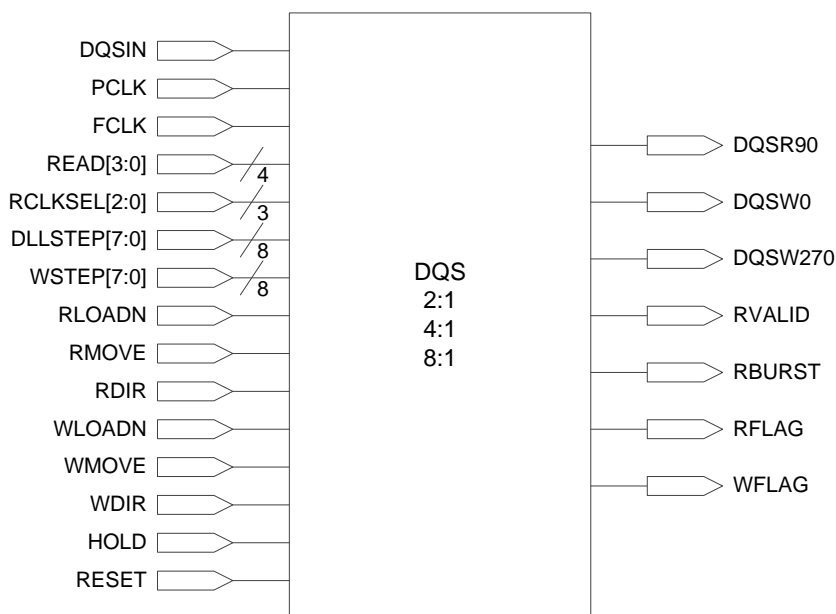
### 3.6.4 DDR 存储器接口时钟管理 DQS

GW2AN 系列 FPGA 产品的 DQS 模块提供了如下的功能来支持 DDR 存储器接口的时钟需求:

- 接收 DQS 输入, 整理波形并移动 1/4 相位
- 为输入缓存提供读/写指针
- 为内部逻辑提供数据有效信号
- 提供 DDR 输出时钟信号
- 支持 DDR3 写电压控制

DQS 模块有 3 种工作模式, 用来满足不同的 IO 接口的需求, 如图 3-23 所示。

图 3-23 DQS 示意图



#### CDRCLKGEN

CDRCLKGEN 用来支持高速异步输入接口, 如 SGMII。每个位置只有一个 DQS 和 CDRCLKGEN。

#### CDRCLKDIV

时钟分频模块, 功能与 HCLKDIV 类似。

## 3.7 长线

作为对 CRU 的有效补充，GW2AN 系列 FPGA 产品提供了灵活丰富的长线资源，适用于时钟、时钟使能、置复位或其它高扇出的信号。

## 3.8 全局复位位

GW2AN 系列 FPGA 产品中包含一个专用的全局复位位网络，直接连接到器件的内部逻辑，可用作异步复位或异步置位，CFU 和 I/O 中的寄存器均可以独立配置。

## 3.9 编程配置

GW2AN 系列 FPGA 产品支持 SRAM 配置，因此，每次上电后需要重新下载配置数据文件到器件中。当然，用户可以根据自身需求将配置数据文件保存在内部或外部 Flash 中。上电后，GW2AN 器件从内部或外部 Flash 中读取配置数据到 SRAM 中。

GW2AN 系列 FPGA 产品除了支持业界通用的 JTAG 配置模式外，还支持高云半导体特有的 GowinCONFIG 配置模式：Autoboot、SSPI、CPU、I<sup>2</sup>C、SERIAL。详细资料请参考 [UG702, GW2AN-18X & 9X 器件编程配置手册](#)。

### 3.9.1 I<sup>2</sup>C 时序特性

注!

- SDA 管脚非 Open Drain 模式;
- 支持点对点应用;
- 支持同系列多颗芯片同时接入总线，通过广播方式完成配置。

图 3-24 I<sup>2</sup>C 时序图

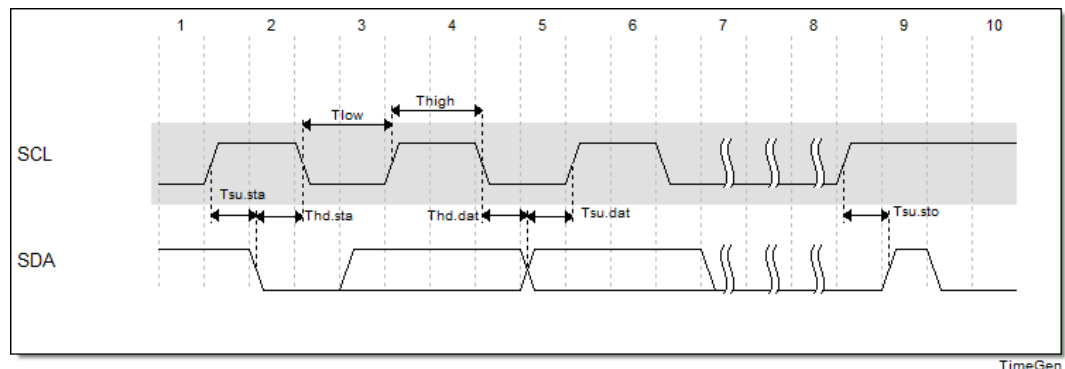


表 3-10 GW2AN-18X & 9X 器件的 I<sup>2</sup>C 时序要求

Symbol	Parameter	Min	Max	Unit
F <sub>SCL</sub>	Clock Frequency	-	400	kHz



Symbol	Parameter	Min	Max	Unit
T <sub>low</sub>	LOW period of the SCL	1.3	-	us
T <sub>high</sub>	HIGH period of the SCL	0.6	-	us
T <sub>hd.sta</sub>	Start Hold Time	0.6	-	us
T <sub>su.sta</sub>	Start Setup Time	0.6	-	us
T <sub>hd.dat</sub>	Data In Hold Time	80 <sup>[1]</sup>	-	ns
T <sub>su.dat</sub>	Data In Setup Time	500 <sup>[1]</sup>	-	ns
T <sub>su.sto</sub>	Stop Setup Time	0.6	-	us

注!

- [1]: T<sub>hd.dat</sub> 和 T<sub>su.dat</sub> 超出 I<sup>2</sup>C 规范。

## 3.10 片内晶振

GW2AN 系列 FPGA 产品内嵌了一个片内晶振，编程过程中为 MSPI 编程模式提供时钟源，输出频率数据如表 3-11 所示。片内晶振还可以为用户设计提供时钟源，通过配置工作参数，可以获得多达 64 种时钟频率。输出时钟频率可以通过如下公式计算得到：

$$f_{out}=200\text{MHz}/\text{Param}。$$

注!

其中除数 Param 为配置参数，范围为 2~128，只支持偶数。

表 3-11 片内晶振的输出频率选项

模式	频率	模式	频率	模式	频率
0	2MHz <sup>[1]</sup>	8	6.25MHz	16	12.5MHz
1	4.3MHz	9	6.7MHz	17	14.3MHz
2	4.5MHz	10	7.1MHz	18	16.7MHz
3	4.8MHz	11	7.7MHz	19	20MHz
4	5.0MHz	12	8.3MHz	20	25MHz
5	5.3MHz	13	9.1MHz	21	33.3MHz
6	5.6MHz	14	10MHz	22	50MHz
7	5.9MHz	15	11.1MHz	23	100MHz

注!

[1]片内晶振默认输出频率为 2MHz。。

# 4 电气特性

注!

建议在推荐的工作条件及工作范围内使用高云器件，超出工作条件及工作范围的数据仅供参考，高云半导体不保证所有器件都能在超出工作条件及工作范围的情况下正常工作。

## 4.1 工作条件

### 4.1.1 绝对最大范围

表 4-1 绝对最大范围

名称	描述	最小值	最大值
V <sub>CC</sub>	LV 版本核电压	-0.5V	1.1V
	EV 版本核电压	-0.5V	1.32V
	UV 版本核电压	-0.5V	3.75V
V <sub>CC0</sub>	I/O Bank 电压	-0.5V	3.75V
V <sub>CCX</sub>	辅助电压	-0.5V	3.75V
Storage Temperature	储存温度	-65°C	+150°C
Junction Temperature	结温	-40°C	+125°C

## 4.1.2 推荐工作范围

表 4-2 推荐工作范围<sup>[1]</sup>

名称	描述	最小值	最大值
V <sub>CC</sub>	LV 版本核电压	0.95V	1.05V
	EV 版本核电压	1.14V	1.26V
	UV 版本核电压	2.375V	3.6V
V <sub>CC0</sub> <sup>[2]</sup>	I/O Bank 电压	1.14V	3.6V
V <sub>CCX</sub>	辅助电压	2.7V	3.6V
T <sub>JCOM</sub>	结温(商业级)	0°C	+85°C
T <sub>JIND</sub>	结温(工业级)	-40°C	+100°C

注!

- [1]不同封装的器件供电电压信息请参考 [UG972, GW2AN-18X 器件 Pinout 手册](#)、[UG978, GW2AN-9X 器件 Pinout 手册](#)。
- [2]当 V<sub>CC05</sub> 电压小于 2.0V 时，V<sub>CC05</sub> 上会增加约 20mA 的静态电流。

## 4.1.3 电源上升斜率

表 4-3 电源上升斜率

名称	描述	最小值	典型值	最大值
T <sub>RAMP</sub>	电源电压上升斜率 (Power supply ramp rates for all power supplies)	0.1mV/μs	-	10mV/μs

## 4.1.4 热插拔特性

表 4-4 热插拔特性

名称	描述	条件	I/O 类型	最大值
I <sub>HS</sub>	输入漏电流 (Input or I/O leakage current)	0<V <sub>IN</sub> <V <sub>IH</sub> (MAX)	I/O	150uA
I <sub>HS</sub>	输入漏电流 (Input or I/O leakage current)	0<V <sub>IN</sub> <V <sub>IH</sub> (MAX)	TDI, TDO, TMS, TCK	120uA

## 4.1.5 POR 特性

表 4-5 POR 电压参数

名称	描述	器件	名称	值
V <sub>POR_UP</sub>	Power on reset ramp up trip point	GW2AN-9X	V <sub>CC</sub>	TBD
			V <sub>CCX</sub>	TBD
			V <sub>CC0</sub>	TBD
		GW2AN-18X	V <sub>CC</sub>	0.78V
			V <sub>CCX</sub>	1.9V

名称	描述	器件	名称	值
			V <sub>CC0</sub>	0.95V
V <sub>POR_DOWN</sub>	Power on reset ramp down trip point	GW2AN-9X	V <sub>CC</sub>	TBD
			V <sub>CCX</sub>	TBD
			V <sub>CC0</sub>	TBD
		GW2AN-18X	V <sub>CC</sub>	0.63V
			V <sub>CCX</sub>	1.3V
			V <sub>CC0</sub>	0.65V

## 4.2 ESD 性能

表 4-6 GW2AN ESD - HBM

器件	GW2AN-18X	GW2AN-9X
UG256	HBM>1,000V	HBM>1,000V
UG332	HBM>1,000V	-
UG324	HBM>1,000V	HBM>1,000V
UG400	HBM>1,000V	HBM>1,000V
UG484	HBM>1,000V	HBM>1,000V
PG256	HBM>1,000V	HBM>1,000V

表 4-7 GW2AN ESD - CDM

器件	GW2AN-18X	GW2AN-9X
UG256	CDM>500V	CDM>500V
UG332	CDM>500V	-
UG324	CDM>500V	CDM>500V
UG400	CDM>500V	CDM>500V
UG484	CDM>500V	CDM>500V
PG256	CDM>500V	CDM>500V

## 4.3 DC 电气特性

### 4.3.1 推荐工作范围的 DC 电气特性

表 4-8 推荐工作范围内的 DC 电气特性

名称	描述	条件	最小值	典型值	最大值
I <sub>IL</sub> , I <sub>IH</sub>	I/O 输入漏电流(Input or I/O leakage)	V <sub>CC0</sub> <V <sub>IN</sub> <V <sub>IH</sub> (MAX)	-	-	210μA
		0V<V <sub>IN</sub> <V <sub>CC0</sub>	-	-	10μA
I <sub>PU</sub>	I/O 上拉电流 (I/O Active Pull-up Current)	0<V <sub>IN</sub> <0.7V <sub>CC0</sub>	-30μA	-	-150μA
I <sub>PD</sub>	I/O 下拉电流	V <sub>IL</sub> (MAX)<V <sub>IN</sub> <V <sub>CC0</sub>	30μA	-	150μA

名称	描述	条件	最小值	典型值	最大值
	(I/O Active Pull-down Current)				
I <sub>BHLS</sub>	总线保持低电平时持续电流 (Bus Hold Low Sustaining Current)	V <sub>IN</sub> =V <sub>IL</sub> (MAX)	30μA	-	-
I <sub>BHHS</sub>	总线保持高电平时持续电流 (Bus Hold High Sustaining Current)	V <sub>IN</sub> =0.7V <sub>CCO</sub>	-30μA	-	-
I <sub>BHLO</sub>	总线保持低电平时过载电流 (Bus Hold Low Overdrive Current)	0≤V <sub>IN</sub> ≤V <sub>CCO</sub>	-	-	150μA
I <sub>BHHO</sub>	总线保持高电平时过载电流 (Bus Hold High Overdrive Current)	0≤V <sub>IN</sub> ≤V <sub>CCO</sub>	-	-	-150μA
V <sub>BHT</sub>	总线保持触发点时电压 (Bus hold trip points)	-	V <sub>IL</sub> (MAX)	-	V <sub>IH</sub> (MIN)
C1	I/O 电容 (I/O Capacitance)	-	-	5pF	8pF
V <sub>HYST</sub>	输入迟滞(Hysteresis for Schmitt Trigger inputs)	V <sub>CCO</sub> =3.3V, Hysteresis=L2H <sup>[1]</sup>	-	240mV	-
		V <sub>CCO</sub> =2.5V, Hysteresis=L2H	-	140mV	-
		V <sub>CCO</sub> =1.8V, Hysteresis=L2H	-	65mV	-
		V <sub>CCO</sub> =1.5V, Hysteresis=L2H	-	30mV	-
		V <sub>CCO</sub> =3.3V, Hysteresis=H2L <sup>[1]</sup>	-	200mV	-
		V <sub>CCO</sub> =2.5V, Hysteresis=H2L	-	130mV	-
		V <sub>CCO</sub> =1.8V, Hysteresis=H2L	-	60mV	-
		V <sub>CCO</sub> =1.5V, Hysteresis=H2L	-	40mV	-
		V <sub>CCO</sub> =3.3V, Hysteresis=High	-	440mV	-
		V <sub>CCO</sub> =2.5V, Hysteresis=High	-	270mV	-
		V <sub>CCO</sub> =1.8V, Hysteresis=High	-	125mV	-
		V <sub>CCO</sub> =1.5V, Hysteresis=High	-	70mV	-

注!

[1] L2H(Low to high)表示在 V<sub>IH</sub> 增加这个值, H2L(High to Low)表示从 V<sub>IL</sub> 减去这个值。

## 4.3.2 静态电流

表 4-9 静态电流

器件	名称	描述	器件类型	C8/I7	C7/I6
				典型值	典型值
GW2AN-LV9X GW2AN-LV18X	I <sub>CC</sub>	Core 电源电流(V <sub>CC</sub> =1.0V)	LV	-	30mA
	I <sub>CCX</sub>	V <sub>CCX</sub> 电源电流(V <sub>CCX</sub> =3.3V)	LV	-	12mA
	I <sub>CCO</sub> <sup>[1]</sup>	I/O Bank 电源电流(V <sub>CCO</sub> =2.5V)	LV	-	1mA
GW2AN-UV9X GW2AN-UV18X	I <sub>CC</sub> +I <sub>CCX</sub>	V <sub>CCX</sub> 电源电流及 Core 电源电流 (V <sub>CCX</sub> = V <sub>CC</sub> =3.3V)	UV	-	46mA
	I <sub>CCO</sub> <sup>[1]</sup>	I/O Bank 电源电流(V <sub>CCO</sub> =2.5V)	UV	-	2mA

注!

[1]当 V<sub>CCO5</sub> 电压小于 2.0V 时, V<sub>CCO5</sub> 上会增加约 20mA 的静态电流。

## 4.3.3 I/O 推荐工作条件

表 4-10 I/O 推荐工作条件

名称	输出对应的 V <sub>CCO</sub> (V)			输入对应的 V <sub>REF</sub> (V)		
	最小值	典型值	最大值	最小值	典型值	最大值
LVTTL33	3.135	3.3	3.6	-	-	-
LVCMOS33	3.135	3.3	3.6	-	-	-
LVCMOS25	2.375	2.5	2.625	-	-	-
LVCMOS18	1.71	1.8	1.89	-	-	-
LVCMOS15	1.425	1.5	1.575	-	-	-
LVCMOS12	1.14	1.2	1.26	-	-	-
SSTL15	1.425	1.5	1.575	0.68	0.75	0.9
SSTL18_I	1.71	1.8	1.89	0.833	0.9	0.969
SSTL18_II	1.71	1.8	1.89	0.833	0.9	0.969
SSTL25_I	2.375	2.5	2.645	1.15	1.25	1.35
SSTL25_II	2.375	2.5	2.645	1.15	1.25	1.35
SSTL33_I	3.135	3.3	3.6	1.3	1.5	1.7
SSTL33_II	3.135	3.3	3.6	1.3	1.5	1.7
HSTL18_I	1.71	1.8	1.89	0.816	0.9	1.08
HSTL18_II	1.71	1.8	1.89	0.816	0.9	1.08
HSTL15	1.425	1.5	1.575	0.68	0.75	0.9
PCI33	3.135	3.3	3.6	-	-	-
LVPECL33E	3.135	3.3	3.6	-	-	-
MLVDS25E	2.375	2.5	2.625	-	-	-
BLVDS25E	2.375	2.5	2.625	-	-	-
RSDS25E	2.375	2.5	2.625	-	-	-

名称	输出对应的 V <sub>CCO</sub> (V)			输入对应的 V <sub>REF</sub> (V)		
	最小值	典型值	最大值	最小值	典型值	最大值
LVDS25E <sup>1</sup>	2.375	2.5	2.625	-	-	-
SSTL15D	1.425	1.5	1.575	-	-	-
SSTL18D_I	1.71	1.8	1.89	-	-	-
SSTL18D_II	1.71	1.8	1.89	-	-	-
SSTL25D_I	2.375	2.5	2.625	-	-	-
SSTL25D_II	2.375	2.5	2.625	-	-	-
SSTL33D_I	3.135	3.3	3.6	-	-	-
SSTL33D_II	3.135	3.3	3.6	-	-	-
HSTL15D	1.425	1.575	1.89	-	-	-
HSTL18D_I	1.71	1.8	1.89	-	-	-
HSTL18D_II	1.71	1.8	1.89	-	-	-

注!

使用 True LVDS 的 Bank VCCO 建议设置为 2.5V。

### 4.3.4 单端 I/O DC 电气特性

表 4-11 单端 I/O DC 电气特性

名称	V <sub>IL</sub>		V <sub>IH</sub>		V <sub>OL</sub> (Max)	V <sub>OH</sub> (Min)	I <sub>OL</sub> <sup>[1]</sup> (mA)	I <sub>OH</sub> <sup>[1]</sup> (mA)							
	Min	Max	Min	Max											
LVCMOS33 LVTTTL33	-0.3V	0.8V	2.0V	3.6V	0.4V	V <sub>CCO</sub> -0.4V	4	-4							
							8	-8							
							12	-12							
							16	-16							
							24	-24							
LVCMOS25	-0.3V	0.7V	1.7V	3.6V	0.4V	V <sub>CCO</sub> -0.4V	4	-4							
							8	-8							
							12	-12							
							16	-16							
							0.2V	V <sub>CCO</sub> -0.2V	0.1	-0.1					
LVCMOS18	-0.3V	0.35 x V <sub>CCO</sub>	0.65 x V <sub>CCO</sub>	3.6V	0.4V	V <sub>CCO</sub> -0.4V	4	-4							
							8	-8							
							12	-12							
							0.2V	V <sub>CCO</sub> -0.2V	0.1	-0.1					
							LVCMOS15	-0.3V	0.35 x V <sub>CCO</sub>	0.65 x V <sub>CCO</sub>	3.6V	0.4V	V <sub>CCO</sub> -0.4V	4	-4
8	-8														
0.2V	V <sub>CCO</sub> -0.2V	0.1	-0.1												
LVCMOS12	-0.3V	0.35 x V <sub>CCO</sub>	0.65 x V <sub>CCO</sub>	3.6V	0.4V	V <sub>CCO</sub> -0.4V								2	-2

名称	V <sub>IL</sub>		V <sub>IH</sub>		V <sub>OL</sub> (Max)	V <sub>OH</sub> (Min)	I <sub>OL</sub> <sup>[1]</sup> (mA)	I <sub>OH</sub> <sup>[1]</sup> (mA)
	Min	Max	Min	Max				
							4	-4
					0.2V	V <sub>CCO</sub> -0.2V	0.1	-0.1
PCI33	-0.3V	0.3 x V <sub>CCO</sub>	0.5 x V <sub>CCO</sub>	3.6V	0.1 x V <sub>CCO</sub>	0.9 x V <sub>CCO</sub>	1.5	-0.5
SSTL33_I	-0.3V	V <sub>REF</sub> -0.2V	V <sub>REF</sub> +0.2V	3.6V	0.7	V <sub>CCO</sub> -1.1V	8	-8
SSTL25_I	-0.3V	V <sub>REF</sub> -0.18V	V <sub>REF</sub> +0.18V	3.6V	0.54V	V <sub>CCO</sub> -0.62V	8	-8
SSTL25_II	-0.3V	V <sub>REF</sub> -0.18V	V <sub>REF</sub> +0.18V	3.6V	NA	NA	NA	NA
SSTL18_II	-0.3V	V <sub>REF</sub> -0.125V	V <sub>REF</sub> +0.125V	3.6V	NA	NA	NA	NA
SSTL18_I	-0.3V	V <sub>REF</sub> -0.125V	V <sub>REF</sub> +0.125V	3.6V	0.40V	V <sub>CCO</sub> -0.40V	8	-8
SSTL15	-0.3V	V <sub>REF</sub> -0.1V	V <sub>REF</sub> + 0.1V	3.6V	0.40V	V <sub>CCO</sub> -0.40V	8	-8
HSTL18_I	-0.3V	V <sub>REF</sub> -0.1V	V <sub>REF</sub> + 0.1V	3.6V	0.40V	V <sub>CCO</sub> -0.40V	8	-8
HSTL18_II	-0.3V	V <sub>REF</sub> -0.1V	V <sub>REF</sub> + 0.1V	3.6V	NA	NA	NA	NA
HSTL15_I	-0.3V	V <sub>REF</sub> -0.1V	V <sub>REF</sub> + 0.1V	3.6V	0.40V	V <sub>CCO</sub> -0.40V	8	-8
HSTL15_II	-0.3V	V <sub>REF</sub> -0.1V	V <sub>REF</sub> + 0.1V	3.6V	NA	NA	NA	NA

注!

同一个 Bank 所有 IO 的总的 DC 电流限制(包括 source 和 sink): 同一个 Bank 所有 IO 的总电流不能大于 n\*8mA, n 表示该 Bank 被引出的 IO 数量。

### 4.3.5 差分 I/O DC 电气特性

表 4-12 差分 I/O DC 电气特性

#### LVDS

名称	描述	测试条件	最小	典型	最大	单位
V <sub>INA</sub> , V <sub>INB</sub>	输入电压 (Input Voltage)		0	-	2.4	V
V <sub>CM</sub>	共模输入电压 (Input Common Mode Voltage)	Half the Sum of the Two Inputs	0.05	-	2.35	V
V <sub>THD</sub>	差分输入门限(Differential Input Threshold)	Difference Between the Two Inputs	±100	-	±600	mV
I <sub>IN</sub>	输入电流(Input Current)	Power On or Power Off	-	-	±10	µA
V <sub>OH</sub>	输出高电平(Output High Voltage for VOP or VOM)	R <sub>T</sub> = 100Ω	-	-	1.60	V
V <sub>OL</sub>	输出低电平(Output Low Voltage for VOP or VOM)	R <sub>T</sub> = 100Ω	0.9	-	-	V
V <sub>OD</sub>	差模输出电压(Output Voltage Differential)	(V <sub>OP</sub> - V <sub>OM</sub> ), R <sub>T</sub> = 100Ω	250	350	450	mV
ΔV <sub>OD</sub>	差模输出电压的变化范围 (Change in VOD Between High and Low)		-	-	50	mV
V <sub>OS</sub>	输出零漂(Output Voltage Offset)	(V <sub>OP</sub> + V <sub>OM</sub> )/2, R <sub>T</sub> = 100Ω	1.125	1.20	1.375	V
ΔV <sub>OS</sub>	输出零漂变化(Change in VOS Between High and Low)		-	-	50	mV



名称	描述	测试条件	最小	典型	最大	单位
I <sub>s</sub>	短路电流	V <sub>OD</sub> = 0V 两路输出短接	-	-	15	mA

## 4.4 AC 开关特性

### 4.4.1 CFU 开关特性

表 4-13 CFU 时序参数

名称	描述	速度等级		单位
		Min	Max	
t <sub>LUT4_CFU</sub>	LUT4 延迟(LUT4 delay)	-	0.337	ns
t <sub>LUT5_CFU</sub>	LUT5 延迟(LUT5 delay)	-	0.694	ns
t <sub>LUT6_CFU</sub>	LUT6 延迟(LUT6 delay)	-	1.005	ns
t <sub>LUT7_CFU</sub>	LUT7 延迟(LUT7 delay)	-	1.316	ns
t <sub>LUT8_CFU</sub>	LUT8 延迟(LUT8 delay)	-	1.627	ns
t <sub>SR_CFU</sub>	置位/复位到寄存器输出时间(Set/Reset to Register output)	-	0.93	ns
t <sub>CO_CFU</sub>	时钟到寄存器输出时间(Clock to Register output)	-	0.38	ns

### 4.4.2 BSRAM 开关特性

表 4-14 BSRAM 时序参数

名称	描述	速度等级		单位
		Min	Max	
t <sub>COAD_BSRAM</sub>	时钟到读地址/数据输出时间(Clock to output from read address/data)	-	2.55	ns
t <sub>COOR_BSRAM</sub>	时钟到寄存器输出时间(Clock to output from output register)	-	0.28	ns

### 4.4.3 Gearbox 开关特性

表 4-15 Gearbox 时序参数

TBD

### 4.4.4 时钟和 I/O 开关特性

表 4-16 外部开关特性

名称	说明	器件	-8		-7		单位
			Min	Max	Min	Max	
Pin-LUT-Pin Delay <sup>(1)</sup>	Pin(IOxA) to Pin(IOxB) delay	GW2AN-18X	-	3.83	-	4.59	ns
T <sub>HCLKdly</sub>	HCLK tree delay	GW2AN-18X	-	0.82	-	0.98	ns

名称	说明	器件	-8		-7		单位
			Min	Max	Min	Max	
T <sub>GCLKdly</sub>	GCLK tree delay	GW2AN-18X	-	1.77	-	2.12	ns

#### 4.4.5 片内晶振开关特性

表 4-17 片内晶振开关特性

名称	说明	最小值	典型值	最大值
f <sub>MAX</sub>	晶振输出频率(0 to+ 85℃)	106.25MHz	125MHz	143.75MHz
	晶振输出频率(-40 to +100℃)	100MHz	125MHz	150MHz
t <sub>DT</sub>	输出时钟 Duty Cycle	43%	50%	57%
t <sub>OPJIT</sub>	输出时钟 Period Jitter	0.01UIPP	0.012UIPP	0.02UIPP

#### 4.4.6 PLL 开关特性

表 4-18 PLL 开关特性

器件	速度等级	名称	最小值	最大值
GW2AN-18X	C8/I7	CLKIN	3MHz	500MHz
		PFD	3MHz	500MHz
		VCO	500MHz	1250MHz
		CLKOUT	3.90625MHz	1250MHz
	C7/I6	CLKIN	3MHz	400MHz
		PFD	3MHz	400MHz
		VCO	400MHz	1000MHz
		CLKOUT	3.125MHz	1000MHz
GW2AN-9X	C8/I7	CLKIN	3MHz	500MHz
		PFD	3MHz	500MHz
		VCO	500MHz	1250MHz
		CLKOUT	3.90625MHz	1250MHz
	C7/I6	CLKIN	3MHz	400MHz
		PFD	3MHz	400MHz
		VCO	400MHz	1000MHz
		CLKOUT	3.125MHz	1000MHz

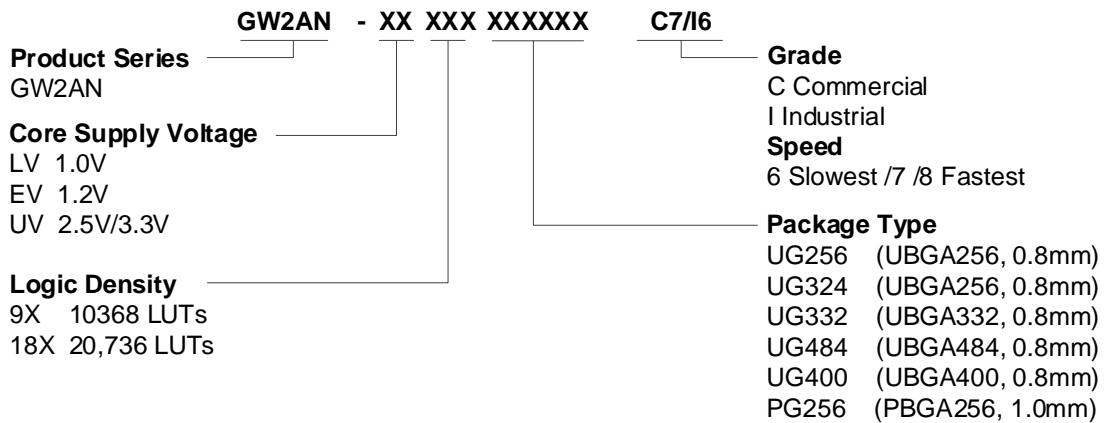
### 4.5 编程接口时序标准

GW2AN 系列 FPGA 产品 GowinCONFIG 配置模式包括：MSPI 模式、SSPI 模式、CPU 模式、SERIAL 模式，详细资料请参考 [UG702, GW2AN-18X & 9X 器件编程配置手册](#)。

# 5 器件订货信息

## 5.1 器件命名

图 5-1 器件命名方法示例-Production



### 注!

- 关于详细的封装类型及管脚数量请参考 [2.2](#) 产品信息列表。
- 相同速度等级的小蜜蜂®(LittleBee®)家族器件和晨熙®家族器件速度不同。
- 高云器件速度等级采用双标标识，如 C7/I6, C8/I7 等。芯片筛选采用的是工业级标准，所以同一芯片可以同时满足满足工业应用(I)和商业应用(C)。工业级最高温度 100°C，商业级最高温度 85°C，所以同一芯片如在商业级应用中满足速度等级 7，在工业级应用中速度等级则为 6。

## 5.2 器件封装标识示例

高云半导体产品在芯片表面印制了器件信息，示例如图 5-2 所示。

图 5-2 器件封装标识示例



**Note !**

[1]右图中第一行和第二行均为 Part Number.

