




# Gowin BCH Encoder IP

## 用户指南

IPUG1010-1.0,2022-08-26

版权所有 © 2022 广东高云半导体科技股份有限公司

**GOWIN高云**、、云源、Gowin 以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其所有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

## 免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

## 版本信息

日期	版本	说明
2022/08/26	1.0	初始版本。

# 目录

目录 .....	i
图目录 .....	ii
表目录 .....	iii
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 相关文档 .....	1
1.3 术语、缩略语 .....	2
1.4 技术支持与反馈 .....	2
<b>2 概述 .....</b>	<b>3</b>
2.1 Gowin BCH Encoder IP 介绍 .....	3
2.2 主要特征 .....	4
2.3 最大频率 .....	4
2.4 延时周期 .....	4
2.5 资源利用 .....	4
<b>3 功能描述 .....</b>	<b>5</b>
3.1 系统框图 .....	5
3.2 算法简介 .....	5
<b>4 端口描述 .....</b>	<b>7</b>
<b>5 时序说明 .....</b>	<b>9</b>
<b>6 配置及调用 .....</b>	<b>10</b>
<b>7 参考设计 .....</b>	<b>12</b>
<b>8 文件交付 .....</b>	<b>13</b>
8.1 文档 .....	13
8.2 参考设计 .....	13

# 图目录

图 3-1 Gowin BCH Encoder IP 系统框图 .....	5
图 3-2 BCH Encoder 实现框图 .....	6
图 4-1 Gowin BCH Encoder IP 的 IO 端口图示 .....	7
图 5-1 Gowin BCH Encoder IP 时序图 .....	9
图 6-1 工具栏图标打开 IP 配置界面 .....	10
图 6-2 Gowin BCH Encoder IP 配置页面 .....	11

# 表目录

表 1-1 术语、缩略语 .....	2
表 2-1 Gowin BCH Encoder IP .....	3
表 2-2 资源利用情况 (GW2A-18 C8/I7) .....	4
表 4-1 Gowin BCH Encoder IP 的 IO 端口列表 .....	7
表 6-1 Gowin BCH Encoder IP 配置选项 .....	11
表 8-1 文档列表 .....	13
表 8-2 Ref. Design 文件夹内容列表 .....	13

# 1 关于本手册

## 1.1 手册内容

Gowin BCH Encoder IP 用户指南主要内容包括功能描述、端口描述、时序说明、配置调用、参考设计等，旨在帮助用户快速了解 Gowin BCH Encoder IP 的产品特性、特点及使用方法。

## 1.2 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS821, GW1NS 系列 FPGA 产品数据手册](#)
- [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
- [DS871, GW1NSE 系列安全 FPGA 产品数据手册](#)
- [DS881, GW1NSER 系列安全 FPGA 产品数据手册](#)
- [DS891, GW1NRF 系列蓝牙 FPGA 产品数据手册](#)
- [DS841, GW1NZ 系列 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS961, GW2ANR 系列 FPGA 产品数据手册](#)
- [DS976, GW2AN-55 器件数据手册](#)
- [DS971, GW2AN-18X & 9X 器件数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

## 1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

**表 1-1 术语、缩略语**

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编辑门阵列
IP	Intellectual Property	知识产权
DSP	Digital Signal Processing	数字信号处理
SRAM	Static Random Access Memory	静态随机存储器
BSRAM	Block Static Random Access Memory	块状静态随机存储器
ECC	Error Checking and Correction	校验和纠错
BCH Code	Bose–Chaudhuri–Hocquenghem Code	博斯-乔赫里-霍克文黑姆码

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)



# 2 概述

## 2.1 Gowin BCH Encoder IP 介绍

Gowin BCH Encoder IP 是基于 Bose-Chaudhuri-Hocquenghem 原理的编码器，可利用本原多项式对输入信息进行编码。该 IP 可以用于数据校验及纠错。

**表 2-1 Gowin BCH Encoder IP**

Gowin BCH Encoder IP	
IP核应用	
芯片支持	<ul style="list-style-type: none"> <li>● GW1N系列:</li> <li>● GW1NR系列:</li> <li>● GW1NS系列:</li> <li>● GW1NSR系列:</li> <li>● GW1NSE系列</li> <li>● GW1NSER系列</li> <li>● GW1NRF系列:</li> <li>● GW1NZ系列:</li> <li>● GW2A系列</li> <li>● GW2AR系列</li> <li>● GW2ANR系列</li> <li>● GW2AN系列</li> </ul>
逻辑资源	请参见表2-2。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis®

Gowin BCH Encoder IP	
应用软件	Gowin Software (V1.9.8.07及以上)

## 2.2 主要特征

- 可配置输入输出数据位宽
- 可配置伽罗华域
- 可配置信息位位宽

## 2.3 最大频率

Gowin BCH Encoder IP 的最大频率主要根据所用器件的速度等级 (speed grade of the devices) 以及配置参数决定确定。例如使用 GW2A-18 系列器件时, 系统时钟最大频率可达 200MHz。

## 2.4 延时周期

Gowin BCH Encoder IP 的延时周期通常取决于编码字长度和信息位长度。

## 2.5 资源利用

Gowin BCH Encoder IP 的资源利用情况主要由编码字长度和信息位长度等配置情况决定。使用不同器件时, 其资源利用情况可能不同。以 GW2A-18 系列 FPGA 为例, 在不同配置下, Gowin BCH Encoder IP 资源利用情况如下表 2-2 所示。

表 2-2 资源利用情况 (GW2A-18 C8/I7)

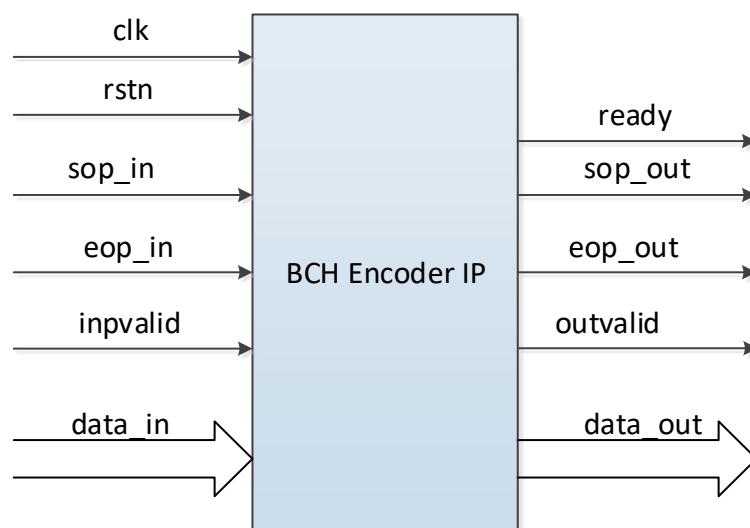
器件系列	速度等级	Codeword Length	Message Length	器件名称	资源利用	备注
GW2A-18	C8/I7	15	7	LOGICS	63	-
				REGS	154	
				CLS	100	
				BSRAMS	0	

# 3 功能描述

## 3.1 系统框图

在 Gowin BCH Encoder IP 中，根据选择的系数矩阵及偏移量运算后进行输出，系统框图如图 3-1 所示。

图 3-1 Gowin BCH Encoder IP 系统框图



## 3.2 算法简介

BCH 是在 1959 年由 Bose、Chaudhuri 和 Hocquenghem 三位学者提出的，用于纠正多比特随机错误的一种 ECC 算法。BCH 因其纠错能力强、效率高、资源需求小且使用方便，在消费类电子市场尤其是可移动大容量存储领域得到了广泛的应用，比如 U 盘、SSD 移动硬盘等等。

BCH 码是一种能够纠正多个随机错误的循环码，它可以用生成多项式  $g(x)$  的根描述。给定任一有限域  $GF(q)$  及其扩域  $GF(q^m)$ ，其中  $q$  是素数或素数的幂， $m$  为某一正整数。当满足码元取自  $GF(q)$  上的一循环码，且它的生成多项式  $g(x)$  的根集合  $R$  中含有以下  $\delta - 1$  个连续根：

$$R \supseteq \{\alpha^{m0}, \alpha^{m0+1}, \dots, \alpha^{m0+\delta-2}\}$$

此时，由  $g(x)$  生成的循环码称为  $q$  进制 BCH 码。本 IP 为 2 进制的 BCH 码。

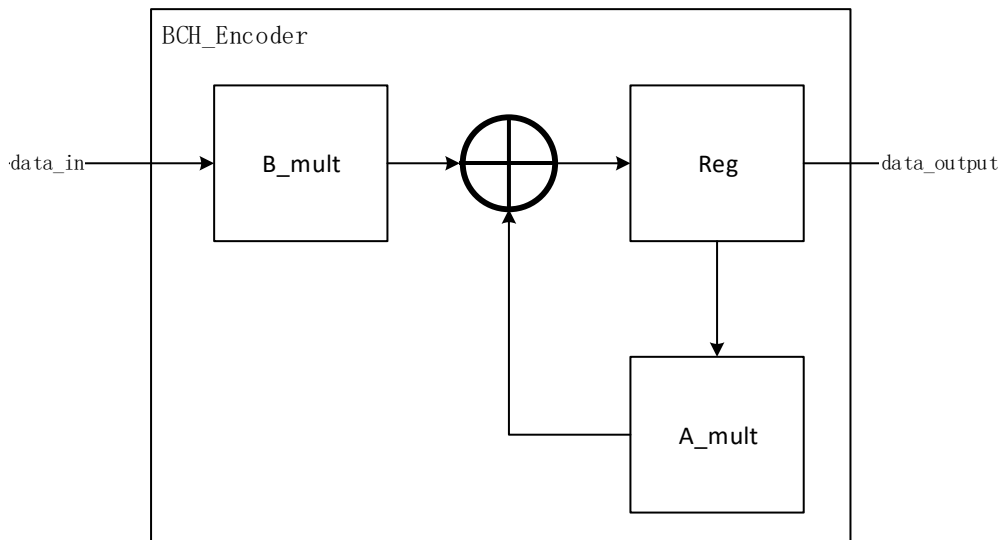
在构造 BCH 码的过程中，有两个决定性的参数构成  $g(x)$ — $M$  和最大纠错值  $t_{max}$ 。 $M$  代表生成多项式所在的伽罗华域为  $GF(2^M)$ ，还代表编码后的码长  $N=2^M-1$ ；最大纠错值  $t_{max}$  代表 BCH 编解码器最多能够发现并改正  $t$  个错误，还说明  $g(x)$  是基于  $GF(2^M)$  内的元素  $\alpha, \alpha^2, \dots, \alpha^{2t_{max}}$  为根的最小次数多项式。

BCH 编码的过程可以看作多项式  $m(x)$  在伽罗华域对生成多项式  $g(x)$  求余，这个余数就是校验位多项式。

所以对于任意的正整数  $M$  和  $T$  ( $M \geq 3, T < 2^{M-1}$ )，存在码元取自  $GF(2^M)$ ，纠错能力为  $t$  的 BCH 码，其码长为  $N=2^M-1$ ，信息位长度为  $K=N-2T$ 。

下图为 BCH Encoder 实现框图：

图 3-2 BCH Encoder 实现框图



# 4 端口描述

有关 Gowin BCH Encoder IP 的 IO 端口如图 4-1 所示，详情如表 4-1 所示。

图 4-1 Gowin BCH Encoder IP 的 IO 端口图示

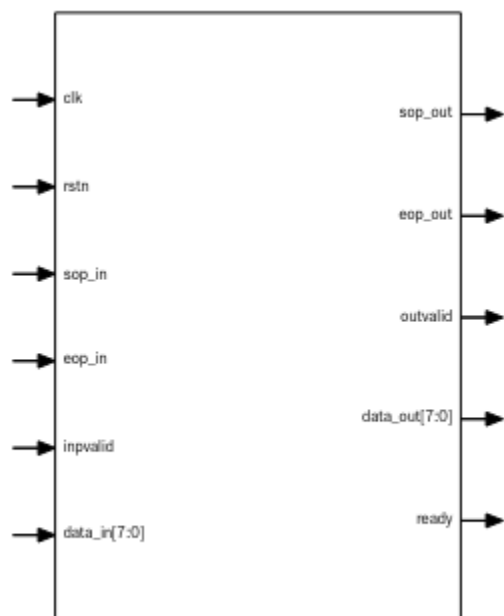


表 4-1 Gowin BCH Encoder IP 的 IO 端口列表

信号	方向	位宽	描述
clk	I	1	输入时钟信号
rstn	I	1	复位信号，低电平有效。
sop_in	I	1	输入数据起始信号
eop_in	I	1	输入数据结束信号
inpvalid	I	1	输入数据有效信号
data_din	I	可变	输入数据信号
sop_out	O	1	输出数据起始信号
eop_out	O	1	输出数据结束信号
outvalid	O	1	输出有效信号，高电平时表示此时输出信号为有效

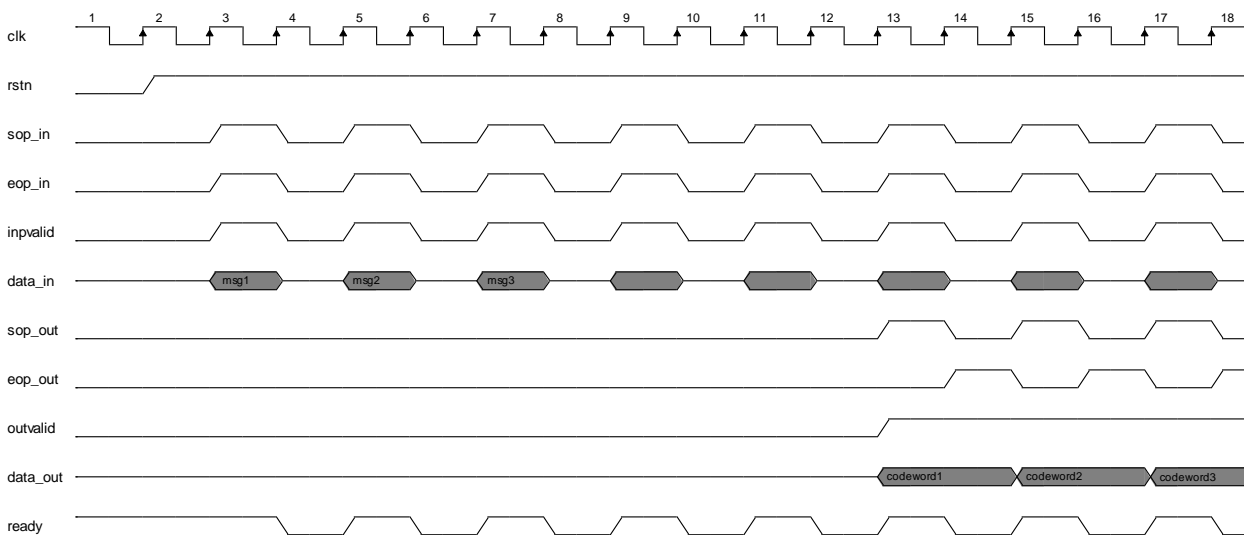
信号	方向	位宽	描述
			值。
<b>data_out</b>	O	可变	输出数据信号
<b>ready</b>	O	可变	准备完成信号

# 5 时序说明

本章主要介绍 Gowin BCH Encoder IP 的时序情况。

在默认配置下，输入有效数据周期为 1，输出有效数据周期为 2，Gowin BCH Encoder IP 运算后数据会将延时 10 个时钟周期输出。IP 时序如图 5-1 所示。

图 5-1 Gowin BCH Encoder IP 时序图

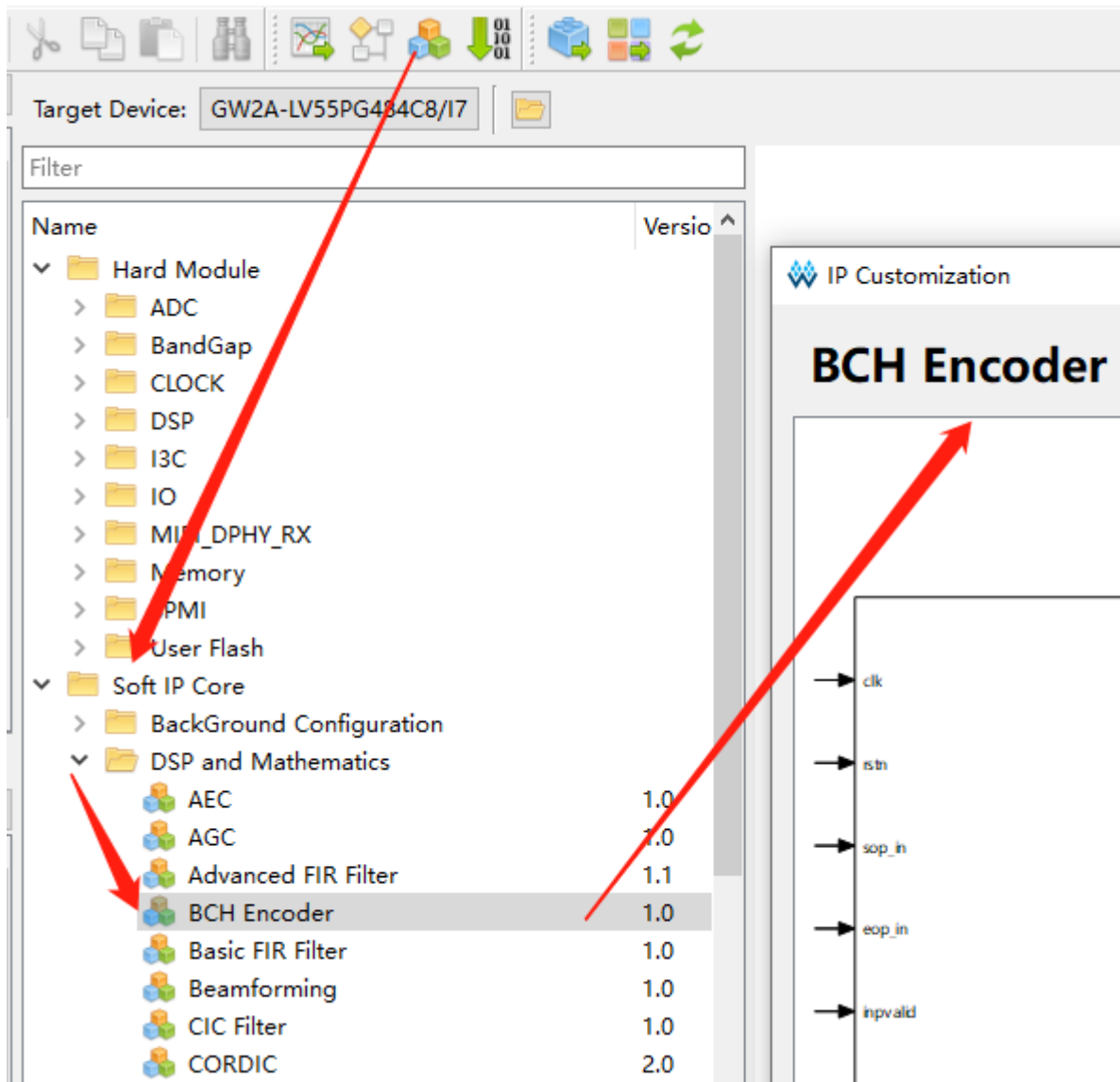


如图所示，在数据输入 IP 时，在输入的第一个周期需要拉高 **sop\_in** 信号，最后一个周期拉高 **eop\_in** 信号，其余时间保持低电平。**inval** 信号需要在数据有效的周期内持续拉高。**ready** 信号默认为高电平，将在 **eop\_in** 信号变为高电平后拉低，直到下一组数据可以输入时才再次拉高。在 IP 输出数据时，在输出的第一个周期会拉高 **sop\_out** 信号，最后一个周期拉高 **eop\_out** 信号，其余时间保持低电平。**outvalid** 信号将会在数据有效的周期内持续拉高。

# 6 调用及配置

在高云半导体云源®软件界面菜单栏 Tools 下，可启动 IP Core Generator 工具，在 DSP and Mathematics 分类下，可以找到 BCH Encoder 完成调用与配置；也可使用工具栏图标，如图 6-1 所示。

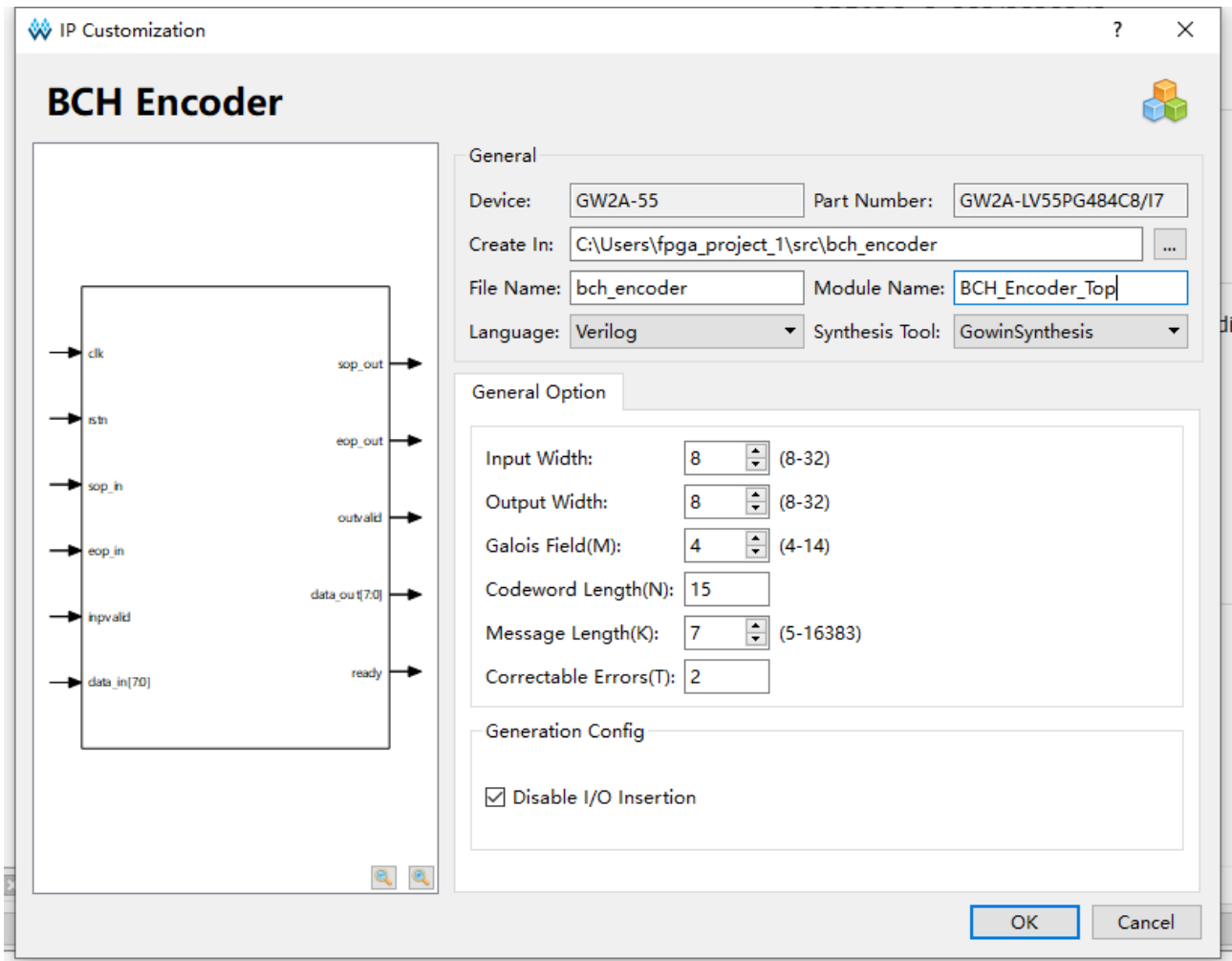
图 6-1 工具栏图标打开 IP 配置界面





Gowin BCH Encoder IP 配置界面如图 6-2 所示。

图 6-2 Gowin BCH Encoder IP 配置页面



- 可通过修改 File Name，配置产生 IP 文件名称；
- 可通过修改 Module Name，配置产生的 IP 模块名称；
- 可通过配置 Options 选项，配置 IP 工作模式及其他配置。

Gowin BCH Encoder IP 配置选项如下表 6-1 所示。

表 6-1 Gowin BCH Encoder IP 配置选项

选项	描述
Input Width	输入数据位宽，8-32bits可配置。
Output Width	输出数据位宽，8-32bits可配置。
Galois Field	伽罗华域范围，4-14可配置。
Codeword Length	编码字长度，由伽罗华域决定。
Message Length	信息位长度，最大可配置范围由伽罗华域决定。
Correctable Errors	最大可纠正错误数，由伽罗华域和信息位长度共同决定。

# 7 参考设计

可参考 [RefDesign](#) 内相关测试案例。

# 8 文件交付

Gowin BCH Encoder IP 交付文件主要包含两个部分，分别为：文档和参考设计。

## 8.1 文档

文件夹主要包含用户指南和发布说明 PDF 文档。

表 8-1 文档列表

名称	描述
IPUG1010, Gowin BCH Encoder IP用户指南	高云IP用户手册，即本手册。
<a href="#">RN1010</a> , Gowin BCH Encoder IP发布说明	高云IP发布说明。

## 8.2 参考设计

Ref. Design 文件夹主要包含 Gowin BCH Encoder IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 8-2 Ref. Design 文件夹内容列表

名称	描述
bch_encoder_exp.v	参考设计的顶层module及激励产生模块
bch_encoder.vo	BCH Encoder网表文件
demo.cst	BCH Encoder工程物理约束文件
fpga_project.gao	抓取BCH Encoder输出数据
bch_encoder	Gowin BCH Encoder IP工程文件夹

