



# Gowin PID Controller 3p3z IP 用户指南

IPUG1014-1.0,2023-02-22

版权所有 © 2023 广东高云半导体科技股份有限公司

**GOWIN高云**、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

## 免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

日期	版本	说明
2023/02/22	1.0	初始版本。

# 目录

目录 .....	i
图目录 .....	ii
表目录 .....	iii
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 相关文档 .....	1
1.3 术语、缩略语 .....	2
1.4 技术支持与反馈 .....	2
<b>2 概述 .....</b>	<b>3</b>
2.1 Gowin PID Controller 3p3z IP 介绍 .....	3
2.2 特征与性能 .....	3
2.2.1 主要特征 .....	3
2.2.2 最大频率 .....	3
2.2.3 延迟 Latency .....	4
2.2.4 资源利用 .....	4
<b>3 PID Controller 3p3z 算法简介 .....</b>	<b>5</b>
<b>4 端口描述 .....</b>	<b>6</b>
<b>5 时序说明 .....</b>	<b>8</b>
<b>6 IP 调用及配置 .....</b>	<b>10</b>
<b>7 参考设计 .....</b>	<b>12</b>

# 图目录

图 3-1 算法控制原理图 .....	5
图 4-1 Gowin PID Controller 3p3z IP 端口图 .....	6
图 5-1 Gowin PID Controller 3p3z 的 3 通道数据输入状态时序图 .....	8
图 5-2 参数数据配置配置时序图.....	9
图 5-3 Gowin PID Controller 3p3z IP 的输出状态时序图 .....	9
图 6-1 IP Core Generator 界面 .....	10
图 6-2 PID Controller 3p3z 界面 .....	11
图 7-1 参考设计结构框图.....	12

# 表目录

表 1-1 术语、缩略语 .....	2
表 2-1 Gowin PID Controller 3p3z IP .....	3
表 2-2 Gowin PID Controller 3p3z IP 占用资源 .....	4
表 4-1 Gowin PID Controller 3p3z IP 的 IO 端口列表 .....	7

# 1 关于本手册

## 1.1 手册内容

Gowin® PID Controller 3p3z IP 用户指南主要内容包括功能特点、端口描述、时序说明、配置调用、参考设计等，主要用于帮助用户快速了解 Gowin Controller 3p3z IP 的产品特性、特点及使用方法。

## 1.2 相关文档

通过登录高云®半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS961, GW2ANR 系列 FPGA 产品数据手册](#)
- [DS976, GW2AN-55 器件数据手册](#)
- [DS971, GW2AN-18X & 9X 器件数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

## 1.3 术语、缩略语

表 1-1 术语、缩略语中列出了本手册中出现的相关术语、缩略语及相关释义。

**表 1-1 术语、缩略语**

术语、缩略语	全称	含义
DSP	Digital Signal Processing	数字信号处理
IP	Intellectual Property	知识产权
RAM	Random Access Memory	随机存取存储器
LUT	Look-up Table	查找表

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 概述

## 2.1 Gowin PID Controller 3p3z IP 介绍

Gowin PID Controller 3p3z IP 主要是实现三极点三零点的反馈系统控制，采用时分复用方式实现对多通道数据处理。

**表 2-1 Gowin PID Controller 3p3z IP**

Gowin PID Controller 3p3z IP	
IP 核应用	
逻辑资源	请参见表 2-2。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis®
应用软件	Gowin Software (V1.9.8.07 及以上)

注！

可登录[高云半导体网站](#)查看芯片支持信息。

## 2.2 特征与性能

### 2.2.1 主要特征

支持多通道处理

### 2.2.2 最大频率

Gowin PID Controller\_3p3z IP 的最大频率主要根据所用器件的速度等级（speed grade of the devices）确定，可到 100MHz。

### 2.2.3 延迟 Latency

Gowin PID Controller 3p3z IP 的延迟约为 12 个周期。

### 2.2.4 资源利用

通过 Verilog 语言实现 Gowin PID Controller 3p3z。因使用器件的密度、速度、等级不同以及 IP 配置模式不同，其性能和资源利用情况可能不同。

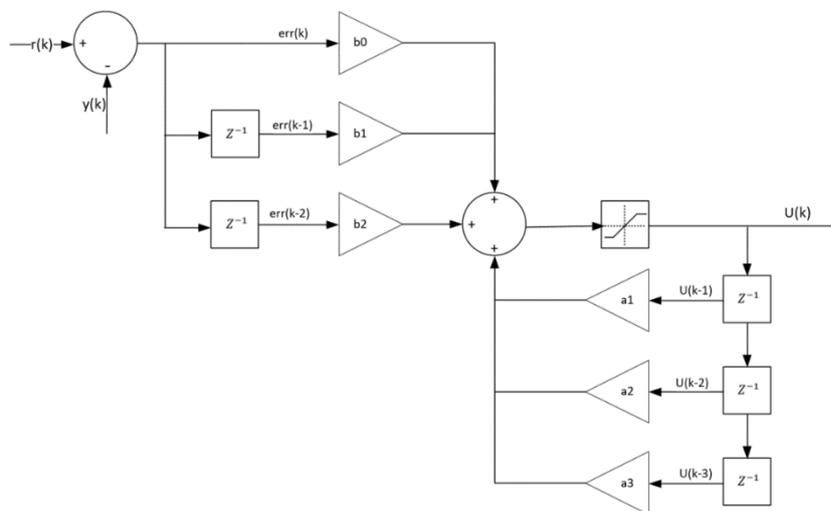
以高云 GW2A-55 系列 FPGA 为例，Gowin PID Controller 3p3z 其资源利用情况如表 2-2 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

**表 2-2 Gowin PID Controller 3p3z IP 占用资源**

器件系列	速度等级	器件名称	资源利用	备注
GW2A-55	-7	Registers	1183	其中 Data Width=16, Parameter Fractional width= 8, Input Channel = 3。
		LUT	723	
		ALU	70	
		DSP	1	
		BSRAM	0	

# 3 PID Controller 3p3z 算法简介

图 3-1 算法控制原理图



Gowin PID Controller 3p3z IP 实现三极点三零点的反馈系统控制。如图 3-1 所示，实际值  $r(k)$  与参考值  $y(k)$  产生偏差  $err(k)$ ，控制器通过比例参数  $b_0$ 、 $b_1$ 、 $b_2$  和  $a_1$ 、 $a_2$ 、 $a_3$  进行偏差控制。

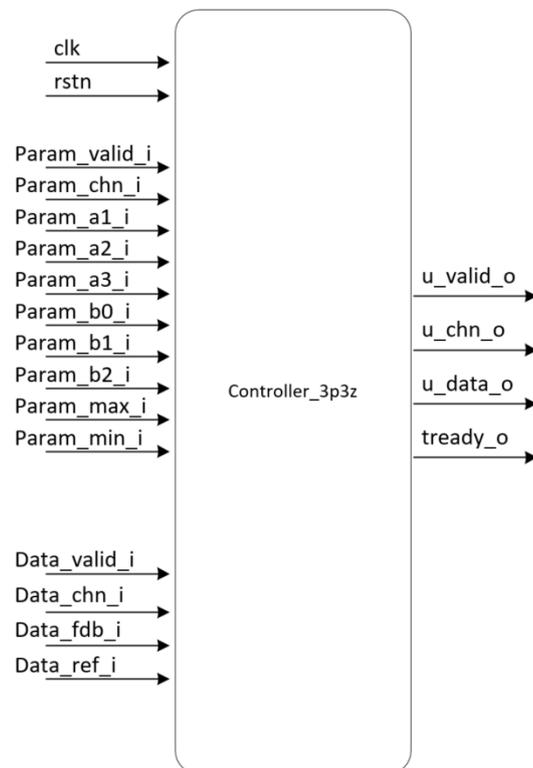
其数学公式为：

$$U(k) = b_0 \times err(k) + b_1 \times err(k - 1) + b_2 \times err(k - 2) + a_1 \times U(k - 1) + a_2 \times U(k - 2) + a_3 \times U(k - 3)$$

# 4 端口描述

Gowin PID Controller 3p3z IP 的 IO 端口如图 4-1 所示。

图 4-1 Gowin PID Controller 3p3z IP 端口图



有关 Gowin PID Controller\_3p3z 的 IO 端口详情，如如表 4-1 所示。

表 4-1 Gowin PID Controller 3p3z IP 的 IO 端口列表

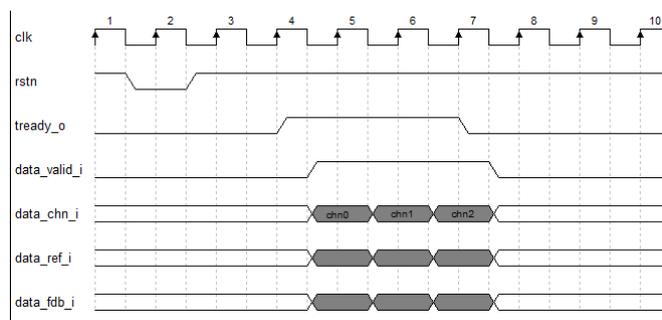
信号	方向	默认位宽	描述
clk	Input	1	工作时钟
rstn	Input	1	复位信号，异步复位，低电平有效。 推荐同步复位，异步释放。
参数设置输入信号			
Param_valid_i	Input	1	参数输入有效信号
Param_chn_i	Input	2	参数输入的通道
Param_a1_i	Input	16	参数a1输入数据
Param_a2_i	Input	16	参数a2输入数据
Param_a3_i	Input	16	参数a3输入数据
Param_b0_i	Input	16	参数b0输入数据
Param_b1_i	Input	16	参数b1输入数据
Param_b2_i	Input	16	参数b2输入数据
Param_max_i	Input	16	参数输出限制最大值
Param_min_i	Input	16	参数输出限制最小值
数据输入信号			
Tready_o	output	1	输入准备信号
Data_valid_i	input	1	数据输入有效信号
Data_chn_i	input	2	数据输入的通道
Data_ref_i	input	16	参考输入值
Data_fdb_i	input	16	反馈输入值
数据输出信号			
U_valid_o	Output	1	输出有效信号
U_chn_o	Output	2	输出通道
U_data_o	Output	16	输出数据

# 5 时序说明

本节旨在介绍 Gowin PID Controller 3p3z IP 的时序情况。

图 5-1 是 Gowin PID Controller 3p3z 的 3 通道数据输入状态时序图。

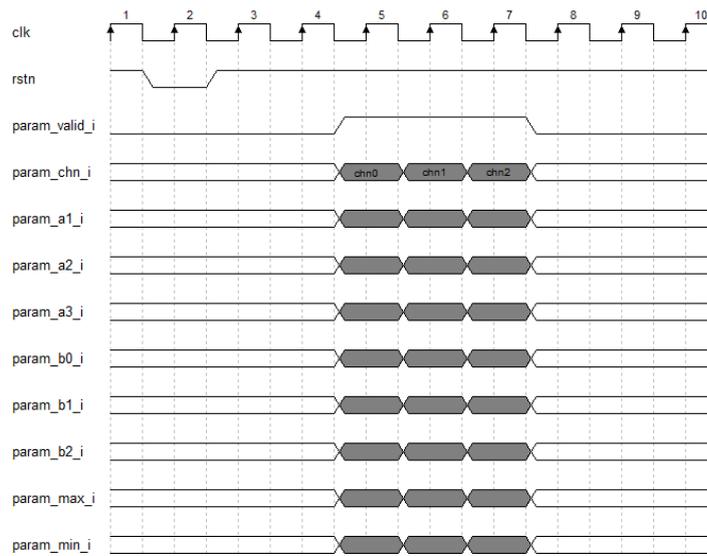
图 5-1 Gowin PID Controller 3p3z 的 3 通道数据输入状态时序图



1. 等信号 `tready_o` 为高电平后，数据才可输入。
2. 当有效信号 `data_valid_i` 为高电平，数据输入有效。
3. 数据输入需要对应其通道连续按顺序输入。

图 5-2 是参数数据配置时序图。

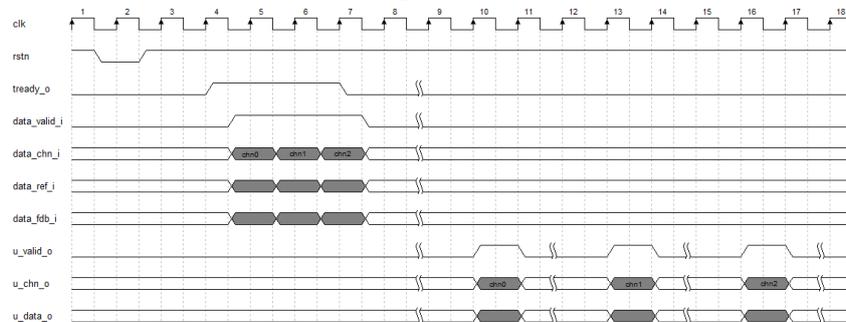
图 5-2 参数数据配置配置时序图



1. 参数需要在数据处理前进行输入，不可在数据处理中途进行输入。
2. 当 `param_valid_i` 输入有效信号为高电平，输入数据有效，且数据需对应其通道输入。
3. 若重置参数，需将信号 `rstn` 拉低进行复位一次。

图 5-3 是 Gowin PID Controller 3p3z IP 的输出状态时序图。

图 5-3 Gowin PID Controller 3p3z IP 的输出状态时序图



1. 当输出有效信号为高电平，输出数据有效。
2. 各个通道数据会按通道顺序依次输出。
3. 数据通道间输出会至少 3 个周期间隔。

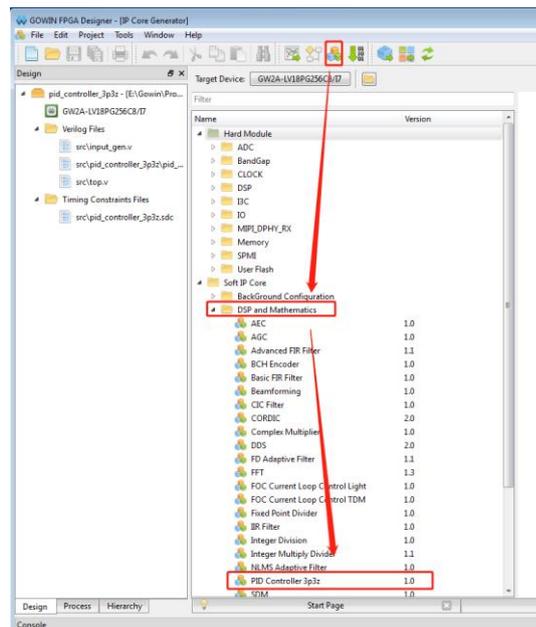
# 6 IP 调用及配置

在高云半导体云源®软件界面菜单栏“Tools”下，可启动“IP Core Generator”工具，完成调用并配置 PID Controller 3p3z。

## 1. 打开 IP Core Generator

用户建立工程后，点击“IP Core Generator”按钮，打开 Gowin IP 核产生工具，如图 6-1 所示。

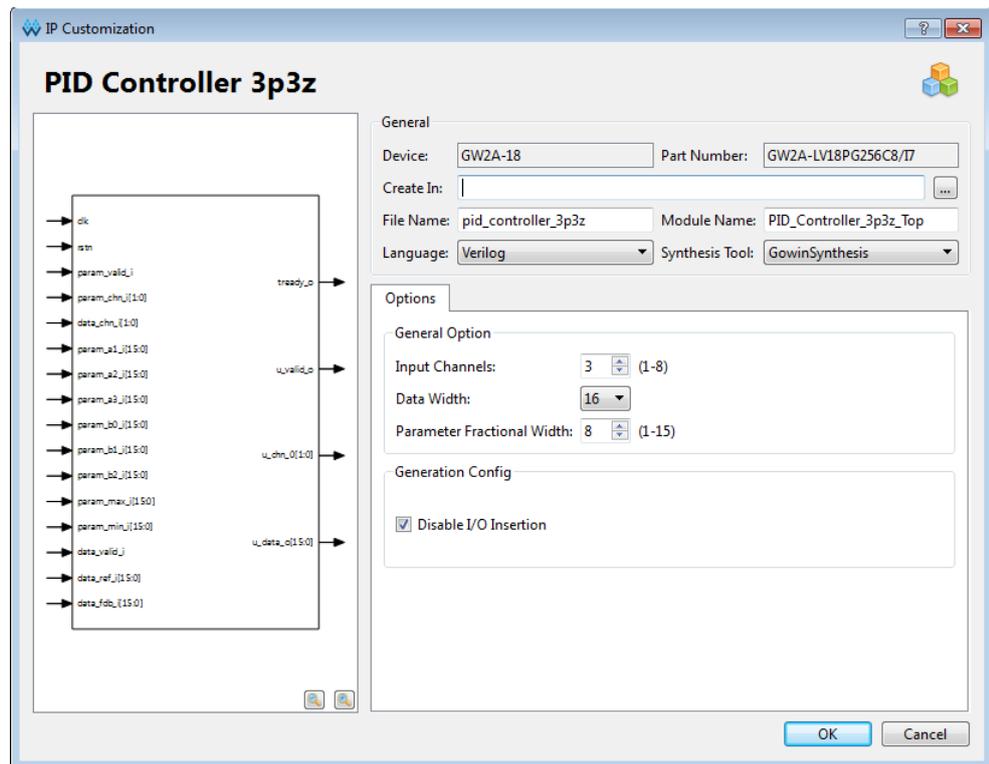
图 6-1 IP Core Generator 界面



## 2. 打开 PID Controller 3p3z IP 核

单击“DSP and Mathematics”选项，双击“PID Controller 3p3z”，打开 PID Controller 3p3z IP 核的界面，如图 6-2 所示。

图 6-2 PID Controller 3p3z 界面



### 3. 配置 PID Controller 3p3z IP 核

- 输入数据通道数量配置
- 输入数据位宽配置
- 输入参数小数位宽配置

# 7 参考设计

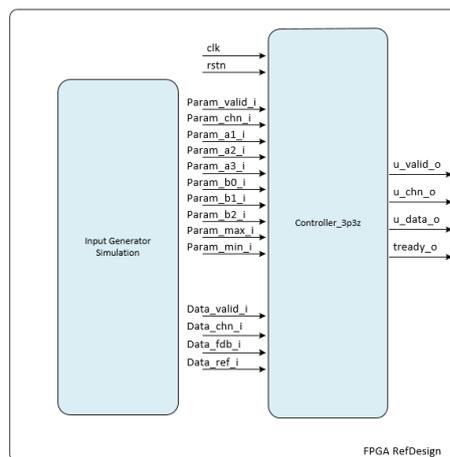
本节主要介绍 Gowin PID Controller 3p3z 的参考设计实例的搭建及其使用方法。Gowin PID Controller 3p3z 的设计实例只有一个模块，详细信息见 Gowin PID Controller 3p3z 的 [reference design](#)。

## 设计实例应用

参考设计基本结构框图如图 7-1 所示。在设计实例中，其运行步骤如下所示：

1. 通过 Input Generator Simulation 模块模拟设置参数时序，输入给 PID Controller\_3p3z 模块。
2. 通过 Input Generator Simulation 模块模拟产生数据时序，输入给 PID Controller\_3p3z 模块。
3. 经过 IP 处理后，得到数据输出。

图 7-1 参考设计结构框图



利用该设计实例能够快速验证 PID Controller\_3p3z 的功能。当该参考设计应用于板级测试时，用户需为参考设计提供合适的激励，信号的观测可配合在线逻辑分析仪或示波器进行

