



Gowin CPRI IP 用户指南

IPUG1017-1.2,2023-09-08

版权所有 © 2023 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2023/05/25	1.0	初始版本。
2023/07/06	1.0.1	更新 3.4 章“端口列表”中的“表 3-1 Gowin CPRI IP 端口列表”的管脚名称。
2023/08/18	1.1	● 更新资源占用； ● 更新端口列表； ● 更新参考设计。
2023/09/08	1.2	新增 8.11008Gbps 和 10.1376Gbps 速率。

目录

目录	i
图目录.....	iii
表目录.....	v
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 功能简介	3
2.1 概述	3
2.2 主要特性	3
2.3 资源利用	4
3 功能描述	5
3.1 系统框图	5
3.2 模块功能	6
3.3 用户接口	7
3.4 端口列表	7
3.5 用户接口时序	15
3.5.1 帧计数接口时序图	15
3.5.2 IQ 接口时序图	17
3.5.3 HDLC 接口时序图	19
3.5.4 以太网接口时序图	20
3.5.5 Vendor 接口时序图	20
3.5.6 实时厂商自定义接口时序图	21
3.5.7 配置接口时序图	22
3.6 寄存器接口	23
3.6.1 链路状态 (0x0)	24
3.6.2 状态机状态 (0x4)	25

3.6.3 当前速率 (0x8)	25
3.6.4 协议版本状态 (0xc)	25
3.6.5 发送加扰种子 (0x10)	26
3.6.6 接收解扰种子 (0x14)	26
3.6.7 HDLC 速率 (0x18)	26
3.6.8 Ethernet 速率 (0x1c)	27
3.6.9 HDLC 用户自定义 (0x20)	27
3.6.10 接收错误统计 (0x24)	27
3.6.11 环回配置 (0x28)	27
3.6.12 时延寄存器 (0x2C)	28
3.6.13 SerDes 接收同步状态 (0x30)	28
4 界面配置	29
5 参考设计	35
5.1 应用	35
5.2 参考设计特性	35
5.3 CPRI IP 参考设计工程	36
5.4 参考设计板测	37
6 文件交付	42
6.1 文档	42
6.2 设计源代码 (加密)	42
6.3 参考设计	42

图目录

图 3-1 系统框图	5
图 3-2 Gowin CPRI IP 端口图	8
图 3-3 发送方向帧计数接口时序图	16
图 3-4 接收方向帧计数接口时序图	16
图 3-5 9.8304Gbps 发送方向 I/Q 接口	18
图 3-6 6.144Gbps 发送方向 I/Q 接口	18
图 3-7 3.072Gbps 发送方向 I/Q 接口	18
图 3-8 9.8304Gbps 接收方向 I/Q 接口	18
图 3-9 6.144Gbps 接收方向 I/Q 接口	19
图 3-10 3.072Gbps 接收方向 I/Q 接口	19
图 3-11 HDLC 发送接口时序图	19
图 3-12 HDLC 接收接口时序图	19
图 3-13 以太网发送接口时序图	20
图 3-14 以太网接收接口时序图	20
图 3-15 Vendor 发送接口时序图	21
图 3-16 Vendor 接收接口时序图	21
图 3-17 实时厂商自定义发送接口时序图	22
图 3-18 实时厂商自定义接收接口时序图	22
图 3-19 cfg 接口读时序图	22
图 3-20 cfg 接口写时序图	22
图 4-1 SerDes IP 配置界面	29
图 4-2 CPRI IP 配置界面	30
图 4-3 CPRI Core 协议配置界面	31
图 4-4 CPRI PHY 配置界面	32
图 5-1 应用示例框图	35
图 5-2 参考设计实例基本结构图	37
图 5-3 测试环境框图	37
图 5-4 串口工具显示 1	39
图 5-5 串口工具显示 2	39

图 5-6 串口工具显示 3	40
图 5-7 串口工具显示 4	40
图 5-8 串口工具显示 5	40
图 5-9 串口工具显示 6	41
图 5-10 串口工具显示 7	41

表目录

表 1-1 术语、缩略语	1
表 2-1 Gowin CPRI IP 概述	3
表 2-2 Gowin CPRI IP 占用资源	4
表 3-1 Gowin CPRI IP 端口列表	9
表 3-2 寄存器列表概述	23
表 3-3 链路状态寄存器	24
表 3-4 L1 状态机状态寄存器	25
表 3-5 当前速率寄存器	25
表 3-6 协议版本状态寄存器	25
表 3-7 发送加扰种子寄存器	26
表 3-8 接收解扰种子寄存器	26
表 3-9 HDLC 速率寄存器	26
表 3-10 Ethernet 速率寄存器	27
表 3-11 HDLC 用户自定义寄存器	27
表 3-12 接收错误统计寄存器	27
表 3-13 环回配置寄存器	27
表 3-14 时延寄存器	28
表 3-15 SerDes 接收同步状态寄存器	28
表 4-1 CPRI IP 配置界面参数	32
表 5-1 支持线速率	35
表 5-2 testreg 寄存器列表	38
表 6-1 文档列表	42
表 6-2 Gowin CPRI IP 设计源代码列表	42
表 6-3 Gowin CPRI IP RefDesign 文件夹内容列表	42

1 关于本手册

1.1 手册内容

Gowin® CRPI IP 用户指南主要包括功能简介、功能描述、界面配置和参考设计，旨在帮助用户快速了解 Gowin CRPI IP 的特性及使用方法。本手册中的软件界面截图参考的是 1.9.9 Beta-4 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云®半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [SUG100, Gowin 云源软件用户指南](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
CPRI	Common Public Radio Interface	通用公共无线电接口
FPGA	Field Programmable Gate Array	现场可编程门阵列
GMII	Gigabit Media Independent Interface	介质独立接口,千兆以太网
HDLC	High level Data Link Control	高级数据链路控制
IP	Intellectual Property	知识产权
IQ	In-Phase and Quadrature	同相正交
MII	Medium Independent Interface	介质独立接口,百兆以太网
PRBS	Pseudo-Random Binary Sequence	伪随机二进制序列
RE	Remote Radio Equipment	远端无线电单元
REC	Radio Equipment Control	无线电控制单元

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 功能简介

2.1 概述

Gowin CPRI IP 支持 Common Public Radio Interface (CPRI) 协议 V7.0 版本，支持 Radio Equipment Control (REC) 和 Remote Radio Equipment (RE) 之间的高速串行信号传输。该 IP 包含 CPRI IP 协议的组解帧设计与 SerDes 硬核对接的 RTL 设计，提供用户独立的 IQ 接口、Ethernet 接口、HDLC 接口、Vendor 接口和内部的帧结构计数接口。

表 2-1 Gowin CPRI IP 概述

Gowin CPRI IP	
逻辑资源	参见表 2-2
交付文件	
设计文件	Verilog(encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis®
应用软件	Gowin Software (V1.9.9Beta-1 及以上)

注！

可登录[高云半导体网站](#)查看芯片支持信息。

2.2 主要特性

CPRI IP 的主要特性如下：

- 参照 CPRI 协议 v7.0 版本设计
- 支持线速率 1.2288Gbps、2.4576Gbps、3.072Gbps、4.9152Gbps、6.144Gbps、9.8304Gbps、8.11008Gbps、10.1376Gbps

注！

支持固定线速率，不支持多种速率的在线协商切换。

- 支持应用为 REC 或者 RE

- 支持 HDLC 透传模式传输
- 支持 Ethernet 传输，可选择 GMII 接口或 MII 接口
- 支持管理配置接口
- 支持厂商自定义控制字传输
- 提供时延值上报、状态上报接口

注！

不支持协议版本号协商、HDLC 速率协商、Ethernet 速率协商，用户可通过管理配置接口操作寄存器实现此功能。

2.3 资源利用

通过 Verilog 语言实现 Gowin CPRI IP。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。以高云 GW5AT 系列 FPGA 为例，CPRI IP 资源利用情况如表 2-2 所示。

表 2-2 Gowin CPRI IP 占用资源

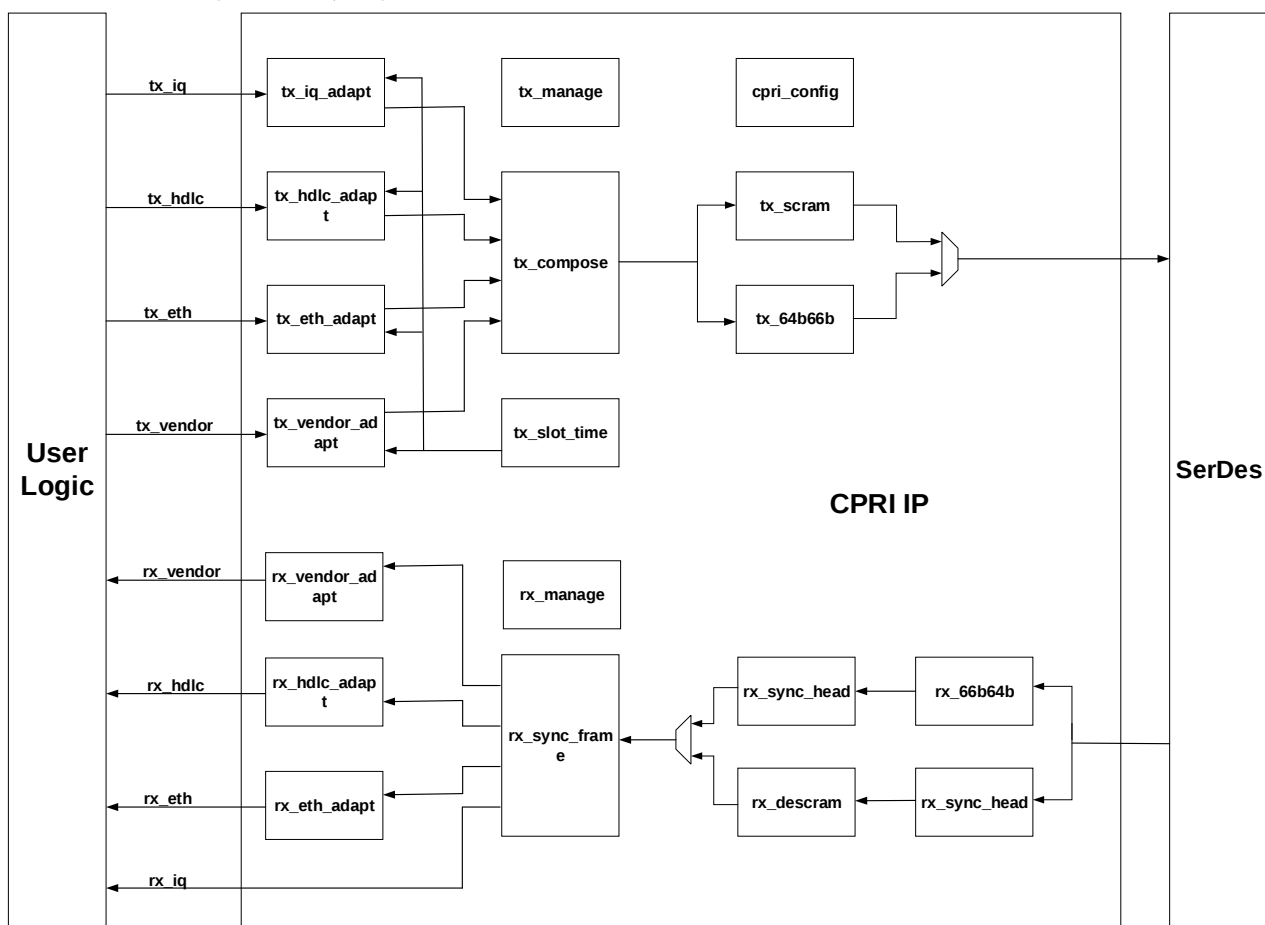
速率 (Gbps)	Fixed Config	占用资源				
		Register	LUT	ALU	BSRAM	SSRAM
1.2288	使能	1759	873	281	11	0
	不使能	1954	1042	301	11	0
2.4576	使能	1825	882	281	11	0
	不使能	2018	1044	301	11	0
3.072	使能	1865	905	281	11	0
	不使能	2056	1049	301	11	0
4.9152	使能	2991	1519	288	11	0
	不使能	3341	1849	308	11	0
6.144	使能	3063	1525	295	11	0
	不使能	3411	1858	308	11	0
9.8304	使能	4354	2319	295	11	0
	不使能	4852	2870	308	11	0
8.11008	使能	7077	3466	441	15	0
	不使能	7573	4050	454	15	0
10.1376	使能	7077	3475	441	15	0
	不使能	7573	4037	454	15	0

3 功能描述

3.1 系统框图

Gowin CPRI IP 分为发送方向和接收方向。发送方向为将用户输入的 IQ、HDLC、Vendor 和 Ethernet 数据进行组帧，并将组帧后的数据通过 SerDes 发送出去；接收方向为从 SerDes 接收数据，并按照 CPRI 协议进行解帧，拆分出 IQ、HDLC、Vendor 和 Ethernet 数据，系统框图如图 3-1 所示。

图 3-1 系统框图



3.2 模块功能

Gowin CPRI IP 各个子模块的介绍如下：

- tx_iq_adapt 模块：把 IQ 数据按照相应时隙填充 CPRI 帧中
- tx_hdlc_adapt 模块：把 HDLC 数据按照相应时隙填充 CPRI 帧中
- tx_eth_adapt 模块：把以太网数据包发送到相应的 CPRI 帧时隙中
- tx_vendor_adapt 模块：把 vendor 数据按照相应时隙填充
- tx_compose 模块：把 IQ 数据、HDLC 数据、Ethernet 数据、vendor 数据组成一个 CPRI 协议帧
- tx_manage 模块：发送管理模块，用于完成其他模块的复位、参数配置，如线速率和 HDLC 的速率等
- tx_slot_time 模块：计数器，用于产生时隙计数、chip 计数、超帧计数、10ms 帧计数等
- cpri_config 模块：维护 CPRI IP 内部的寄存器列表
- tx_sram 模块：8B10B 时的加扰模块，根据配置的加扰种子对数据进行加扰，仅在 4.9152G、6.144G、9.8304G 时根据协议版本选择是否加扰
- tx_64b66b 模块：进行 64B66B 编码时的跨时钟域、64B66B 编码、加扰和 Gearbox 变速箱处理，此模块为预留给 8.11008G、10.1376G 等速率，8B10B 编解码时不经过此模块
- rx_66b64b 模块：进行 66B64B 解码时的 Gearbox 变速箱、接收 bitslip 同步、解扰、66B64B 解码、跨时钟域，此模块为预留给 8.11008G、10.1376G 等速率，8B10B 编解码时不经过此模块
- rx_descram 模块：8B10B 时的解扰模块，根据接收侧解析的解扰种子对数据进行解扰，仅在 4.9152G、6.144G、9.8304G 时根据协议版本选择是否解扰
- rx_sync_head 模块：用于判断链路是否 link、重新校正内部的时隙/chip/超帧等计数器
- rx_sync_frame 模块：提取 IQ 数据
- rx_manage 模块：接收管理模块，用于完成其他模块的复位、参数配置，譬如线速率和 HDLC 的速率等
- rx_hdlc_adapt 模块：从接收到的 CPRI 帧中，提取 HDLC 数据
- rx_eth_adapt 模块：从接收到的 CPRI 帧中，提取以太网数据包
- rx_vendor_adapt 模块：从接收到的 CPRI 帧中，提取 vendor 数据

3.3 用户接口

CPRI 提供的用户侧接口简介如下：

- I/Q 接口：I/Q 数据实时传输接口
- 帧计数接口：输出 CPRI 内部发送和接收的帧计数接口
- 同步接口：支持发送侧重新同步到输入的 10ms 帧头，支持输入发送侧的 10ms 帧头和帧 ID，支持输出接收侧的 10ms 帧头和帧 ID
- HDLC 接口：支持发送和接收的 HDLC 透传
- 以太网接口：支持 MII 接口或 GMII 接口的以太网报文传输，CPRI IP 内部包含以太网的缓存
- 厂商自定义接口：支持发送和接收厂商自定义控制字
- 实时厂商自定义接口：当速率大于等于 10.1376Gbps 时，除了厂商自定义控制字、IQ 数据、协议控制字等，协议提供额外的带宽用于传输数据。用户可选择用额外的带宽传输 IQ 数据或者自定义的数据
- 管理接口：提供配置接口，用于访问 IP 内部寄存器列表
- Z130_0 协议控制字接口：支持 Z130.0 协议控制字发送和接收的透传
- 状态接口：时延值、同步状态等上报
- SerDes 相关接口：时钟、复位等

3.4 端口列表

CPRI IP 的详细端口图如图 3-2 所示。

图 3-2 Gowin CPRI IP 端口图

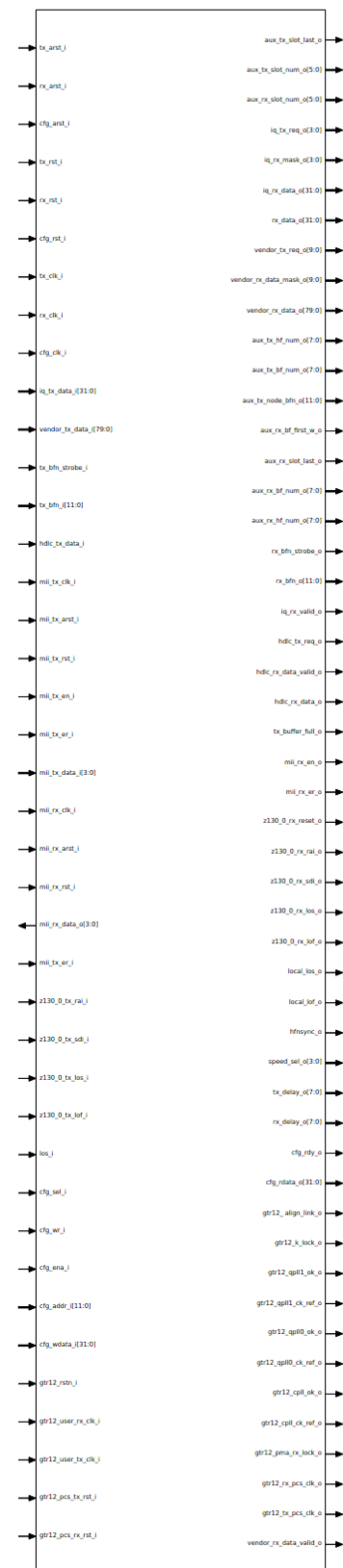


表 3-1 Gowin CPRI IP 端口列表

端口名称	I/O	位宽	描述
时钟与复位			
tx_arst_i	input	1	发送方向异步复位信号，高有效。
rx_arst_i	input	1	接收方向异步复位信号，高有效。
cfg_arst_i	input	1	配置模块异步复位信号，高有效。
tx_rst_i	input	1	发送方向同步复位信号，高有效。
rx_rst_i	input	1	接收方向同步复位信号，高有效。
cfg_rst_i	input	1	配置模块同步复位信号，高有效。
tx_clk_i	input	1	CPRI IP 发送方向时钟，频率与速率有关。 ● 1.2288G, 61.44M ● 2.4576G, 122.88M ● 3.072G, 153.6M ● 4.9152G, 122.88M ● 6.144G, 153.6M ● 9.8304G, 122.88M ● 8.11008G, 122.88M ● 10.1376G, 153.6M
rx_clk_i	input	1	CPRI IP 接收方向时钟，频率同 tx_clk_i。
cfg_clk_i	input	1	配置时钟，频率通过界面“Config clk Period”选项输入。
帧计数接口			
aux_tx_slot_last_o	output	1	发送帧计数，高有效，表示每个 chip 的最后一个时隙。
aux_tx_slot_num_o	output	[N-1:0]	发送帧计数，时隙计数器： ● 1.2288G, 0~15 循环计数 ● 2.4576G, 0~31 循环计数 ● 3.072G, 0~39 循环计数 ● 4.9152G, 0~31 循环计数 ● 6.144G, 0~39 循环计数 ● 9.8304G, 0~31 循环计数 ● 8.11008G, 0~31 循环计数 ● 10.1376G, 0~39 循环计数
aux_tx_bf_num_o	output	[7:0]	发送帧计数，chip 计数器 0~255。
aux_tx_hf_num_o	output	[7:0]	发送帧计数，超帧计数器 0~149。
aux_tx_node_bfn_o	output	[11:0]	发送帧计数，10ms 帧序列号。
aux_rx_bf_first_w_o	output	1	接收帧计数，高有效，表示每个 chip 的第一个时隙。
aux_rx_slot_last_o	output	1	接收帧计数，高有效，表示每个 chip 的最后一个时隙。
aux_rx_slot_num_o	output	[N-1:0]	接收帧计数，时隙计数器： ● 1.2288G, 0~15 循环计数

端口名称	I/O	位宽	描述
			● 2.4576G, 0~31 循环计数 ● 3.072G, 0~39 循环计数 ● 4.9152G, 0~31 循环计数 ● 6.144G, 0~39 循环计数 ● 9.8304G, 0~31 循环计数 ● 8.11008G, 0~31 循环计数 ● 10.1376G, 0~39 循环计数
aux_rx_bf_num_o	output	[7:0]	接收帧计数, chip 计数器 0~255。
aux_rx_hf_num_o	output	[7:0]	接收帧计数, 超帧计数器 0~149。
帧同步信号			
tx_bfn_strobe_i	input	1	发送帧起始信号, 高有效, 用于校正发送端的时隙。
tx_bfn_i	input	[11:0]	发送 10ms 帧序列号。
rx_bfn_strobe_o	output	1	接收帧起始信号, 高有效, 表示 10ms 帧的起始点。
rx_bfn_o	output	[11:0]	接收 10ms 帧的序号。
IQ 接口			
iq_tx_req_o	output	[N-1:0]	发送 IQ 数据请求信号, 高有效。 ● 1.2288G, [1:0]有效 ● 2.4576G, [1:0]有效 ● 3.072G, [1:0]有效 ● 4.9152G, [3:0]有效 ● 6.144G, [3:0]有效 ● 9.8304G, [7:0]有效 ● 8.11008G, [7:0]有效 ● 10.1376G, [7:0]有效
iq_tx_data_i	input	[N-1:0]	发送 IQ 数据, 当 iq_tx_req_o 有效时, 数据 iq_tx_data_i 延迟 iq_tx_req_o 一个时钟周期输入到该接口。 ● 1.2288G, [15:0]有效 ● 2.4576G, [15:0]有效 ● 3.072G, [15:0]有效 ● 4.9152G, [31:0]有效 ● 6.144G, [31:0]有效 ● 9.8304G, [63:0]有效 ● 8.11008G, [63:0]有效 ● 10.1376G, [63:0]有效
iq_rx_valid_o	output	1	接收 IQ 数据有效信号, 高有效。
iq_rx_mask_o	output	[N-1:0]	接收 byte 指示符 注! 在 iq_rx_valid_o 有效时才有意义, 位宽同 iq_tx_req_o。

端口名称	I/O	位宽	描述
iq_rx_data_o	output	[N-1:0]	接收到的 IQ 数据，位宽同 iq_tx_data_i。
rx_data_o	output	[N-1:0]	接收到的 CPRI 数据，位宽同 iq_tx_data_i。
HDLC 接口			
hdlc_tx_req_o	output	1	发送 HDLC 请求信号，高有效。
hdlc_tx_data_i	input	1	当 hdlc_tx_req_o 有效时，HDLC 数据 hdlc_tx_data_i 延迟 hdlc_tx_req_o 一个时钟周期输入到该接口。
hdlc_rx_data_valid_o	output	1	高有效，表示 HDLC 数据有效。
hdlc_rx_data_o	output	1	接收到的 HDLC 数据。
以太网 MII 接口（MII 接口和 GMII 接口二选一）			
mii_tx_clk_i	input	1	发送方向，以太网接口工作时钟，25MHz。
mii_tx_arst_i	input	1	发送方向，以太网接口异步复位。
mii_tx_rst_i	input	1	发送方向，以太网接口同步复位。
mii_tx_en_i	input	1	发送方向，以太网接口使能，高有效。
mii_tx_er_i	input	1	发送方向，以太网接口错误指示，高有效，mii_tx_en_i 有效的时候，才去判断 mii_tx_er_i。
mii_tx_data_i	input	[3:0]	发送方向，以太网数据。
tx_buffer_full_o	output	1	发送方向，指示发送 buffer 满，无法缓存新的数据包，高有效。
mii_rx_clk_i	input	1	接收方向，以太网接口工作时钟，25MHz。
mii_rx_arst_i	input	1	接收方向，以太网接口异步复位。
mii_rx_rst_i	input	1	接收方向，以太网接口同步复位。
mii_rx_en_o	output	1	接收方向，以太网接口使能，高有效。
mii_rx_data_o	output	[3:0]	接收方向，以太网数据。
mii_rx_er_o	output	1	接收方向，以太网接口错误指示，高有效，mii_rx_en_o 有效的时候，才去判断 mii_rx_er_o。
以太网 GMII 接口（MII 接口和 GMII 接口二选一）			
gmii_tx_clk_i	input	1	发送方向，以太网接口工作时钟，125MHz。
gmii_tx_arst_i	input	1	发送方向，以太网接口异步复位。
gmii_tx_rst_i	input	1	发送方向，以太网接口同步复位。
gmii_tx_en_i	input	1	发送方向，以太网接口使能，高有效。
gmii_tx_er_i	input	1	发送方向，以太网接口错误指示，高有效，gmii_tx_en_i 有效的时候，才去判断 gmii_tx_er_i。
gmii_tx_data_i	input	[7:0]	发送方向，以太网数据。
gmii_tx_buffer_full_o	output	1	发送方向，指示发送 buffer 满，无法缓存新的数据包，高有效。

端口名称	I/O	位宽	描述
gmii_rx_clk_i	input	1	接收方向，以太网接口工作时钟，125MHz。
gmii_rx_arst_i	input	1	接收方向，以太网接口异步复位。
gmii_rx_rst_i	input	1	接收方向，以太网接口同步复位。
gmii_rx_en_o	output	1	接收方向，以太网接口使能，高有效。
gmii_rx_data_o	output	[7:0]	接收方向，以太网数据。
gmii_rx_er_o	output	1	接收方向，以太网接口错误指示，高有效，gmii_rx_en_o 有效的时候，才去判断 gmii_rx_er_o。
厂商自定义控制字接口			
vendor_tx_req_o	output	[N-1:0]	发送方向，厂商自定义数据请求，高有效。 ● 1.2288G, [1:0]有效 ● 2.4576G, [3:0]有效 ● 3.072G, [4:0]有效 ● 4.9152G, [7:0]有效 ● 6.144G, [9:0]有效 ● 9.8304G, [15:0]有效 ● 8.11008G, [15:0]有效 ● 10.1376G, [15:0]有效
vendor_tx_data_i	input	[N-1:0]	发送方向，厂商自定义控制字，当 vendor_tx_req_o 有效时，厂商自定义控制字数据 vendor_tx_data_i 延迟 vendor_tx_req_o 一个时钟周期输入到该接口。 ● 1.2288G, [15:0]有效 ● 2.4576G, [31:0]有效 ● 3.072G, [39:0]有效 ● 4.9152G, [63:0]有效 ● 6.144G, [79:0]有效 ● 9.8304G, [127:0]有效 ● 8.11008G, [127:0]有效 ● 10.1376G, [127:0]有效
vendor_rx_data_valid_o	output	1	接收方向，高有效，表示 vendor 数据有效。
vendor_rx_data_mask_o	output	[N-1:0]	接收方向，厂商自定义控制字字节指示符，位宽同 vendor_tx_req_o。
vendor_rx_data_o	output	[N-1:0]	接收方向，接收到的 vendor 数据，位宽同 vendor_tx_data_i。
实时厂商自定义控制字接口			
up10g_rt_tx_req_o	output	[7:0]	发送方向，实时厂商自定义控制数据请求，高有效。
up10g_rt_tx_data_i	input	[63:0]	发送方向，实时厂商自定义控制数据。
up10g_rt_rx_data_o	output	[63:0]	接收方向，实时厂商自定义控制数据。

端口名称	I/O	位宽	描述
up10g_rt_rx_mask_o	output	[7:0]	接收方向，实时厂商自定义控制字字节指示符。
up10g_rt_rx_valid_o	output	1	接收方向，高有效，表示数据有效。
协议控制字接口			
z130_0_tx_reset_i	input	1	发送方向，Z.130.0 协议控制字 Reset。 0: no reset 1: reset DL: reset request UL: reset acknowledge
z130_0_tx_rai_i	input	1	发送方向，Z.130.0 协议控制字 RAI。
z130_0_tx_sdi_i	input	1	发送方向，Z.130.0 协议控制字 SDI。
z130_0_tx_los_i	input	1	发送方向，Z.130.0 协议控制字 LOS。
z130_0_tx_lof_i	input	1	发送方向，Z.130.0 协议控制字 LOF。
z130_0_rx_reset_o	output	1	接收方向，Z.130.0 协议控制字 Reset。 0: no reset 1: reset DL: reset request UL: reset acknowledge
z130_0_rx_rai_o	output	1	接收方向，Z.130.0 协议控制字 RAI。
z130_0_rx_sdi_o	output	1	接收方向，Z.130.0 协议控制字 SDI。
z130_0_rx_los_o	output	1	接收方向，Z.130.0 协议控制字 LOS。
z130_0_rx_lof_o	output	1	接收方向，Z.130.0 协议控制字 LOF。
状态接口			
local_los_o	output	1	本地 LOS 状态。
local_lof_o	output	1	本地 LOF 状态。
hfnsync_o	output	1	本地超帧号同步状态。
speed_sel_o	output	[3:0]	IP 内部当前工作线速率，只支持固定线速率，不支持在线速率协商切换。 ● 1.2288G, 4'd1 ● 2.4576G, 4'd2 ● 3.072G, 4'd3 ● 4.9152G, 4'd4 ● 6.144G, 4'd5 ● 9.8304G, 4'd6 ● 8.11008G, 4'd8 ● 10.1376G, 4'd9
tx_delay_o	output	[7:0]	IP 发送方向的处理延时，不包含 SerDes 部分。
rx_delay_o	output	[7:0]	IP 接收方向的处理延时，不包含 SerDes 部分。
los_i	input	1	高有效，表示光信号丢失。

端口名称	I/O	位宽	描述
配置接口			
cfg_sel_i	input	1	片选使能信号。
cfg_wr_i	input	1	写控制信号，高表示当前操作为写操作。
cfg_ena_i	input	1	传输使能信号，高表示当前传输有效。
cfg_addr_i	input	[11:0]	地址线，字节地址。
cfg_wdata_i	input	[31:0]	写数据总线。
cfg_rdy_o	output	1	Ready 信号。
cfg_rdata_o	output	[31:0]	读数据总线。
用户侧控制 SerDes 相关接口			
gtr12_rstn_i	input	1	SerDes 通道复位信号，低有效，只复位协议对应的单条 lane。
gtr12_pcs_tx_rst_i	input	1	SerDes PCS 层发送方向复位，高有效。
gtr12_pcs_rx_rst_i	input	1	SerDes PCS 层接收方向复位，高有效。
gtr12_user_rx_clk_i	input	1	SerDes 用户侧接收时钟，时钟频率与速率有关。 ● 1.2288G, 61.44M ● 2.4576G, 122.88M ● 3.072G, 153.6M ● 4.9152G, 122.88M ● 6.144G, 153.6M ● 9.8304G, 122.88M ● 8.11008G, 126.72M ● 10.1376G, 158.4M
gtr12_user_tx_clk_i	input	1	SerDes 用户侧发送时钟，时钟频率与速率有关。 ● 1.2288G, 61.44M ● 2.4576G, 122.88M ● 3.072G, 153.6M ● 4.9152G, 122.88M ● 6.144G, 153.6M ● 9.8304G, 122.88M ● 8.11008G, 126.72M ● 10.1376G, 158.4M
gtr12_align_link_o	output	1	SerDes 通道对齐状态，高表示链路正常。
gtr12_k_lock_o	output	1	SerDes 通道 K 码锁定状态，高表示链路正常。
gtr12_pll_ok_o	output	1	输出 SerDes PLL 锁定状态，高表示时钟锁定，对应配置界面的选项 PLL_Selection 选择的 PLL 锁定状态（QPLL0、QPLL1 或 CPLL）。
gtr12_pll_ck_ref_o	output	1	输出 SerDes PLL 参考时钟。

端口名称	I/O	位宽	描述
gtr12_pma_rx_lock_o	output	1	SerDes 通道接收 PMA 层锁定状态，高表示链路正常。
gtr12_rx_pcs_clk_o	output	1	SerDes 通道 PCS 接收时钟，在从侧可输出给外部锁相环作为参考时钟。 ● 1.2288G, 61.44M ● 2.4576G, 122.88M ● 3.072G, 153.6M ● 4.9152G, 122.88M ● 6.144G, 153.6M ● 9.8304G, 122.88M ● 8.11008G, 126.72M ● 10.1376G, 158.4M
gtr12_tx_pcs_clk_o	output	1	SerDes 通道 PCS 发送时钟。 ● 1.2288G, 61.44M ● 2.4576G, 122.88M ● 3.072G, 153.6M ● 4.9152G, 122.88M ● 6.144G, 153.6M ● 9.8304G, 122.88M ● 8.11008G, 126.72M ● 10.1376G, 158.4M
gtr12_rx_fifo_rdusewd_o	output	[4:0]	SerDes 接收方向 GearFIFO 的读写指针距离，用于时延值计算。
gtr12_tx_fifo_wrusewd_o	output	[4:0]	SerDes 发送方向 GearFIFO 的读写指针距离，用于时延值计算。
SerDes 硬核接口			
SerDes_*	-	-	SerDes_开头的信号为 CPRI IP 与 SerDes 硬核连接信号，EDA 工具自动完成连线，用户可不关注。

3.5 用户接口时序

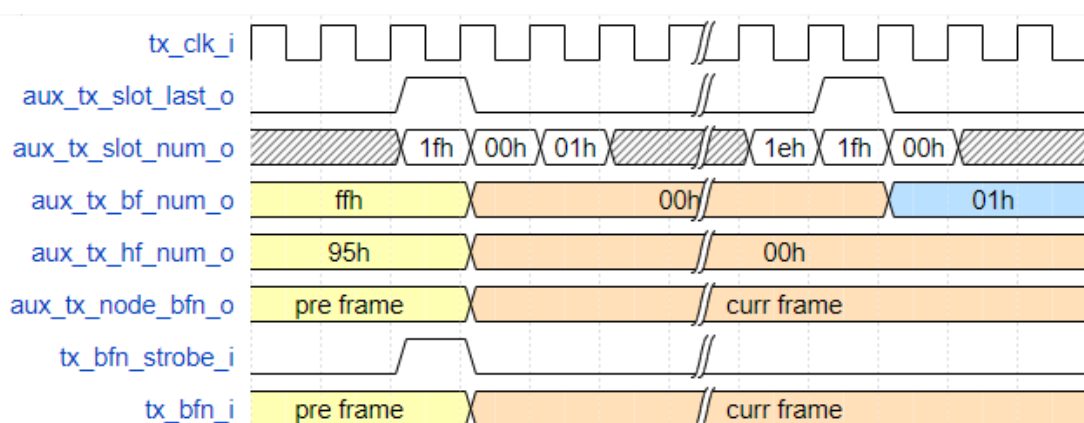
3.5.1 帧计数接口时序图

Gowing CPRI IP 内部维护一组发送和接收的帧计数，用户可通过帧计数接口获取 IP 内部的发送和接收统计信息。

发送方向的帧计数时序如图 3-3 所示，aux_tx_slot_last_o 为每个基本帧的结束，aux_tx_slot_num_o、aux_tx_bf_num_o 和 aux_tx_hf_num_o 按照 CPRI 协议规定的帧格式循环计数。每 10ms 为一个无线帧，每个无线帧结束后 aux_tx_node_bfn_o 加 1。

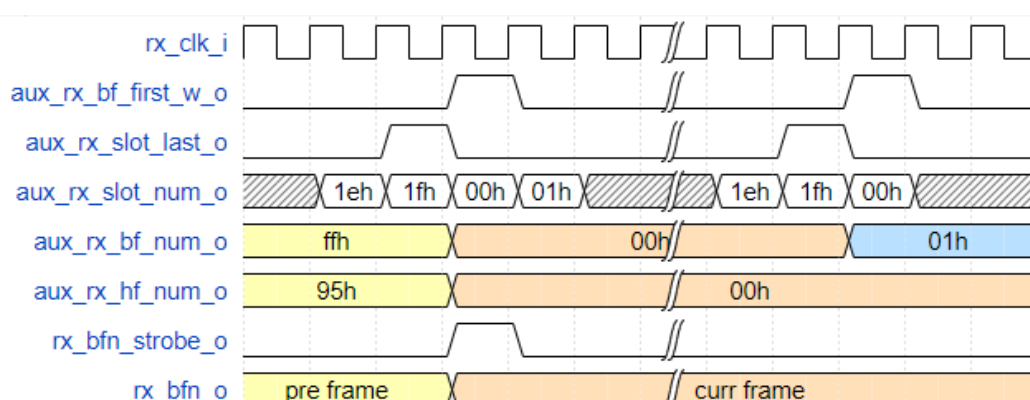
发送方向支持根据用户侧输入的帧 ID (tx_bfn_i) 和帧起始 (tx_bfn_strobe_i)，校正内部的帧计数统计。用户不需要此功能时，帧起始置 0，IP 根据内部定时计数器进行工作。

图 3-3 发送方向帧计数接口时序图



接收方向的帧计数时序如图 3-3 所示，aux_rx_bf_first_w_o 为每个基本帧的起始，aux_rx_slot_last_o 为每个基本帧的结束，aux_rx_slot_num_o、aux_rx_bf_num_o 和 aux_rx_hf_num_o 按照 CPRI 协议规定的帧格式循环计数。每 10ms 为一个无线帧，rx_bfn_strobe_o 表示帧起始，每个无线帧结束后 rx_bfn_o 加 1。

图 3-4 接收方向帧计数接口时序图



CPRI IP 按照帧格式循环计数，slot_num 的计数范围与速率有关，如下所列，bf_num 的计数范围为 0~255，hf_num 的计数范围为 0~149，bfn 无线帧号的计数范围为 0~1023。

- 1.2288G，slot_num 0~15 循环计数；
- 2.4576G，slot_num 0~31 循环计数；
- 3.072G，slot_num 0~39 循环计数；
- 4.9152G，slot_num 0~31 循环计数；
- 6.144G，slot_num 0~39 循环计数；
- 9.8304G，slot_num 0~31 循环计数；
- 8.11008G，slot_num 0~31 循环计数；
- 10.1376G，slot_num 0~39 循环计数。

3.5.2 IQ 接口时序图

IQ 接口用于实时传输 I/Q 数据。

9.8304Gbps 线速率下发送方向的 I/Q 接口如图 3-5 所示。iq_tx_data_i 用于传输 IQ 数据，数据位宽为 64bit。iq_tx_req_o 为发送 IQ 请求信号，提前 iq_tx_data_i 一个时钟周期发送，位宽为 8bit，iq_tx_req_o 的每一个 bit 对应 iq_tx_data_i 的字节，例如 iq_tx_req_o 的 bit0 为高表示请求数据[7:0]，iq_tx_req_o 的 bit1 为高表示请求数据[15:8]，依次类推。iq_tx_req_o 的每个 bit 高有效。

除了 9.8304G 的其它速率，时序与 9.8304G 类似，区别只在于帧结构不同。如下所列：

- 1.2288G, iq_tx_data_i 位宽 16bit, iq_tx_req_o 位宽 2bit, slot_num 为 0 时 iq_tx_req_o 为 2'b00 (请求数据[15:0]无效), slot_num 为 1~15 时 iq_tx_req_o 为 2'b11 (请求数据[15:0]有效);
- 2.4576G, iq_tx_data_i 位宽 16bit, iq_tx_req_o 位宽 2bit, slot_num 为 0~1 时 iq_tx_req_o 为 2'b00 (请求数据[15:0]无效), slot_num 为 2~31 时 iq_tx_req_o 为 2'b11 (请求数据[15:0]有效);
- 3.072G, iq_tx_data_i 位宽 16bit, iq_tx_req_o 位宽 2bit, slot_num 为 0~1 时 iq_tx_req_o 为 2'b00 (请求数据[15:0]无效), slot_num 为 2 时 iq_tx_req_o 为 2'b10 (请求数据[15:8]有效, 请求数据[7:0]无效), slot_num 为 3~39 时 iq_tx_req_o 为 2'b11 (请求数据[15:0]有效);
- 4.9152G, iq_tx_data_i 位宽 32bit, iq_tx_req_o 位宽 4bit, slot_num 为 0~1 时 iq_tx_req_o 为 4'b0000 (请求数据[31:0]无效), slot_num 为 2~31 时 iq_tx_req_o 为 4'b1111 (请求数据[31:0]有效);
- 6.144G, iq_tx_data_i 位宽 32bit, iq_tx_req_o 位宽 4bit, slot_num 为 0~1 时 iq_tx_req_o 为 4'b0000 (请求数据[31:0]无效), slot_num 为 2 时 iq_tx_req_o 为 4'b1100 (请求数据[31:16]有效, 请求数据[15:0]无效), slot_num 为 3~39 时 iq_tx_req_o 为 4'b1111 (请求数据[31:0]有效);
- 9.8304G, iq_tx_data_i 位宽 64bit, iq_tx_req_o 位宽 8bit, slot_num 为 0~1 时 iq_tx_req_o 为 8'b00000000 (请求数据[63:0]无效), slot_num 为 2~31 时 iq_tx_req_o 为 8'b11111111 (请求数据[63:0]有效)。
- 8.11008G, iq_tx_data_i 位宽 64bit, iq_tx_req_o 位宽 8bit, slot_num 为 0~1 时 iq_tx_req_o 为 8'b00000000 (请求数据[63:0]无效), slot_num 为 2~31 时 iq_tx_req_o 为 8'b11111111 (请求数据[63:0]有效)。
- 10.1376G, iq_tx_data_i 位宽 64bit, iq_tx_req_o 位宽 8bit。若勾选 GUI 选项 “Real Time Vendor”, slot_num 为 0~1 时 iq_tx_req_o 为 8'b00000000 (请求数据[63:0]无效), slot_num 为 2 时 iq_tx_req_o 为 8'b11110000 (请求数据[63:32]有效), slot_num 为 3~39 时 iq_tx_req_o 为 8'b11111111 (请求数据[63:0]有效)。若不勾选 GUI 选项 “Real Time Vendor”, slot_num 为 0~1 时 iq_tx_req_o 为 8'b00000000 (请求数据[63:0]无效), slot_num 为 2~39 时 iq_tx_req_o 为 8'b11111111 (请求数

据[63:0]有效)。

图 3-5 9.8304Gbps 发送方向 I/Q 接口

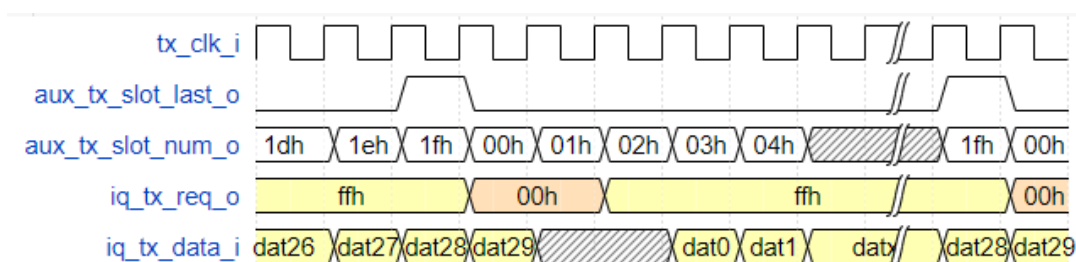


图 3-6 6.144Gbps 发送方向 I/Q 接口

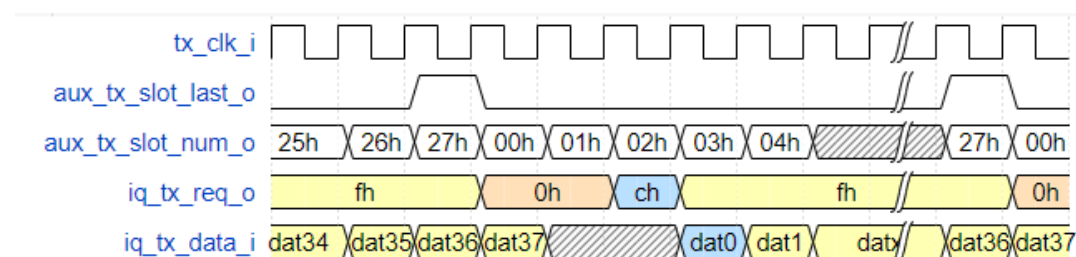
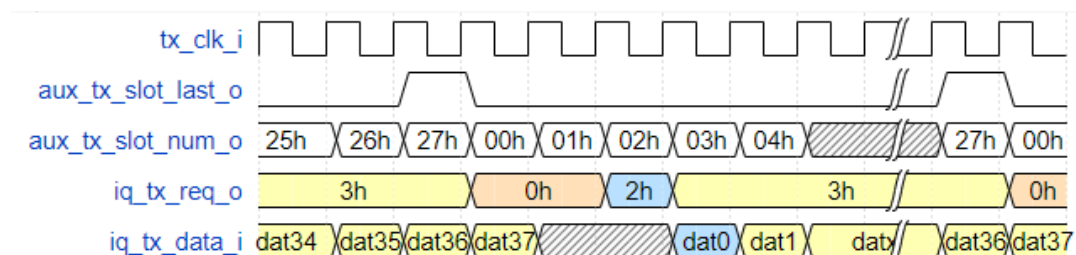


图 3-7 3.072Gbps 发送方向 I/Q 接口



9.8304Gbps 线速率下接收方向的 I/Q 接口如图 3-8 所示。iq_rx_valid_o 表示数据有效指示,高有效。iq_rx_mask_o 表示接收数据字节有效,高有效。iq_rx_data_o 表示接收的 IQ 数据。rx_data_o 表示接收的 CPRI 数据,除了 IQ 数据还包含控制字,用户可根据需要是否启用。

除了 9.8304G 的其它速率,接收时序与 9.8304G 类似,区别只在于帧结构不同。帧结构可参照发送时序描述。

图 3-8 9.8304Gbps 接收方向 I/Q 接口

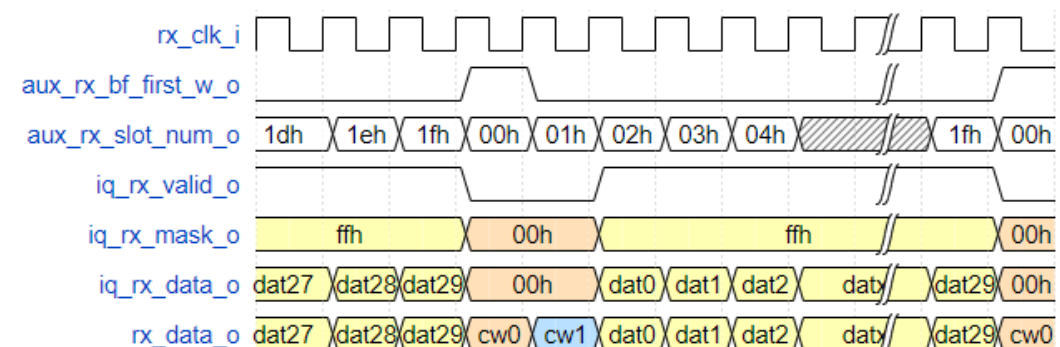


图 3-9 6.144Gbps 接收方向 I/Q 接口

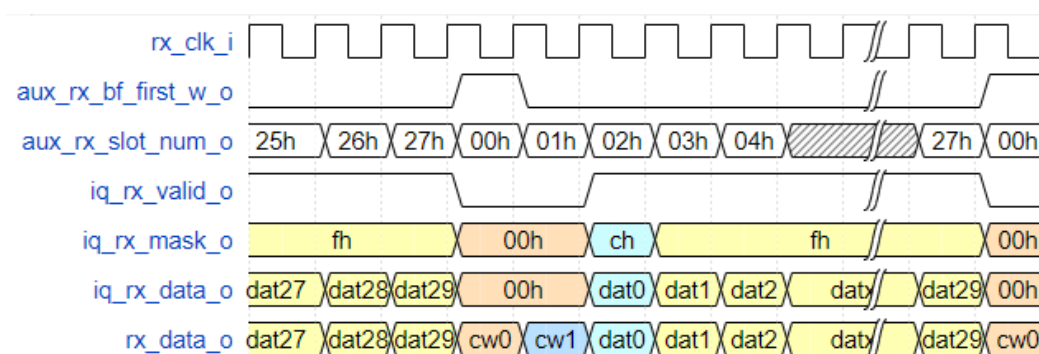
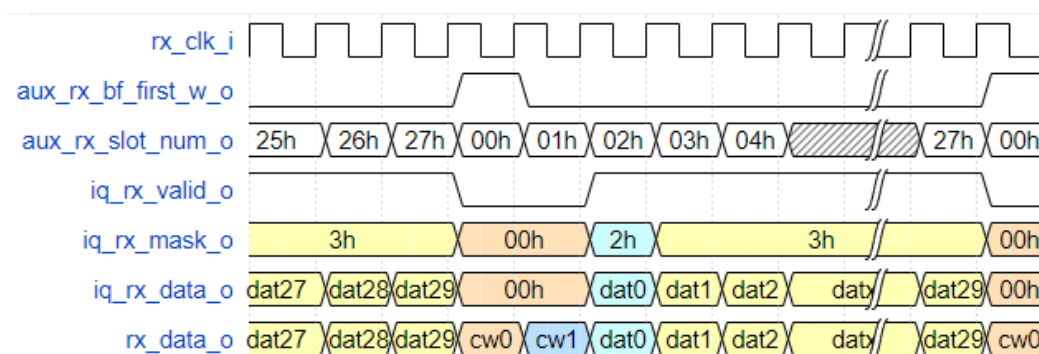


图 3-10 3.072Gbps 接收方向 I/Q 接口



3.5.3 HDLC 接口时序图

HDLC 支持单 bit HDLC 数据的发送和接收方向透传。

发送方向接口时序如图 3-11 所示，hdlc_tx_req_o 提前 hdlc_tx_data_i 一个时钟周期发送。

接收方向接口时序如图 3-12 所示，hdlc_rx_data_valid_o 为高有效时，hdlc_rx_data_o 有效。

图 3-11 HDLC 发送接口时序图

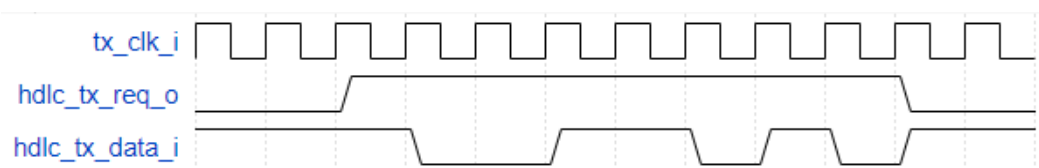
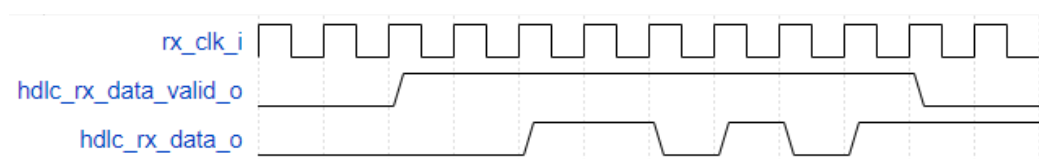


图 3-12 HDLC 接收接口时序图



3.5.4 以太网接口时序图

CPRI IP 支持以太网报文的发送和接收，用户可选使用 MII 或 GMII 接口传输以太网报文，CPRI IP 内部包含以太网的缓存，默认缓存 4 个以太网报文。MII 和 GMII 接口支持在界面进行选择，二选一。

发送方向接口时序如图 3-13 所示，mii_tx_en_i 拉高后输入一包完整的以太网包数据，在每个包发送结束后下一个包发送前的 IDLE 时间内，tx_buffer_full_o 指示当前 buffer 满状态。准备要开始发送下一个包前需要判断 tx_buffer_full_o 状态，若为低则可以发送一个完整的以太网报文，若为高则需等待 tx_buffer_full_o 为低后再发送一个完整的以太网报文。

接收方向接口时序如图 3-14 所示，mii_rx_en_i 为接收帧有效，mii_rx_data_o 为接收数据。

图 3-13 以太网发送接口时序图

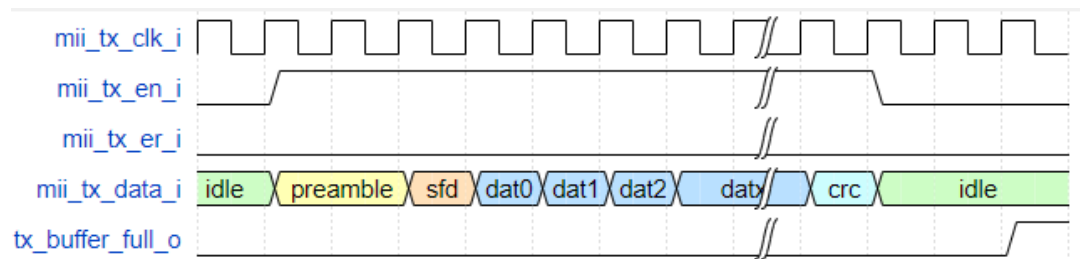
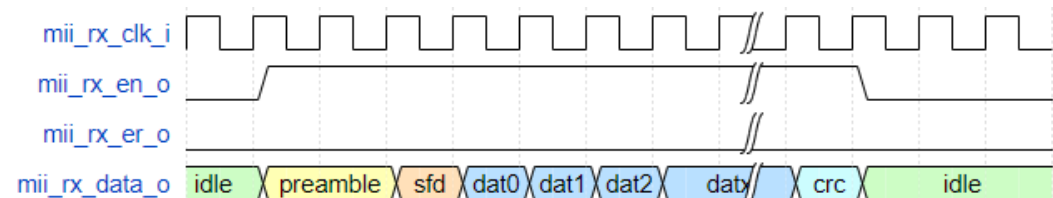


图 3-14 以太网接收接口时序图



3.5.5 Vendor 接口时序图

Vendor 接口支持发送和接收厂商自定义控制字。

发送接口如图 3-15 所示，在 aux_tx_bf_num_o[4:0]为 5'h10、5'h11、5'h12、5'h13 时，控制字为厂商自定义控制字，vendor_tx_req_o 为发送厂商自定义控制字请求信号，每 bit 为高表示请求对应字节的厂商自定义控制字，vendor_tx_data_i 为用户输入厂商自定义控制字数据。vendor_tx_req_o 提前 vendor_tx_data_i 一个时钟周期有效。不同速率下的厂商自定义位宽有区别：

- 1.2288G, vendor_tx_data_i [15:0]有效, vendor_tx_req_o[1:0]有效;
- 2.4576G, vendor_tx_data_i [31:0]有效, vendor_tx_req_o[3:0]有效;
- 3.072G, vendor_tx_data_i [39:0]有效, vendor_tx_req_o[4:0]有效;
- 4.9152G, vendor_tx_data_i [63:0]有效, vendor_tx_req_o[7:0]有效;
- 6.144G, vendor_tx_data_i [79:0]有效, vendor_tx_req_o[9:0]有效;

- 9.8304G, vendor_tx_data_i [127:0]有效, vendor_tx_req_o[15:0]有效;
- 8.11008G, vendor_tx_data_i [127:0]有效, vendor_tx_req_o[15:0]有效;
- 10.1376G, vendor_tx_data_i [127:0]有效, vendor_tx_req_o[15:0]有效。

接收接口如图 3-16 所示, 在 aux_rx_bf_num_o[4:0]为 5'h10、5'h11、5'h12、5'h13 时, 控制字为厂商自定义控制字, vendor_rx_data_valid_o 表示接收控制字有效, vendor_rx_data_mask_o 表示接收厂商自定义控制字字节有效信号, 每 bit 为高表示请求对应字节的厂商自定义控制字有效, vendor_rx_data_o 表示接收的厂商自定义控制字数据。vendor_rx_data_mask_o 和 vendor_rx_data_o 的位宽同发送方向。

图 3-15 Vendor 发送接口时序图

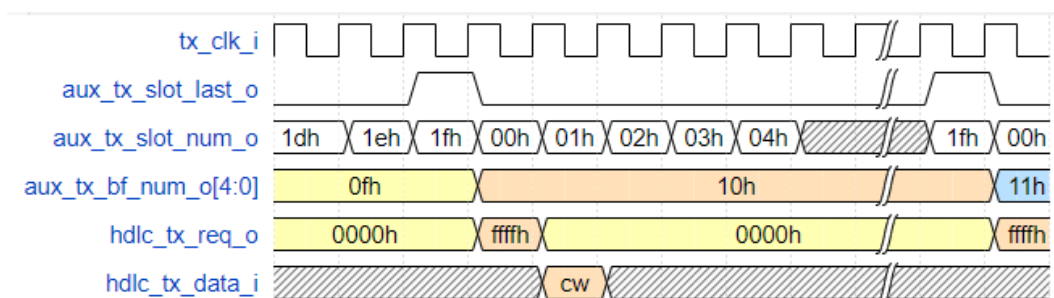
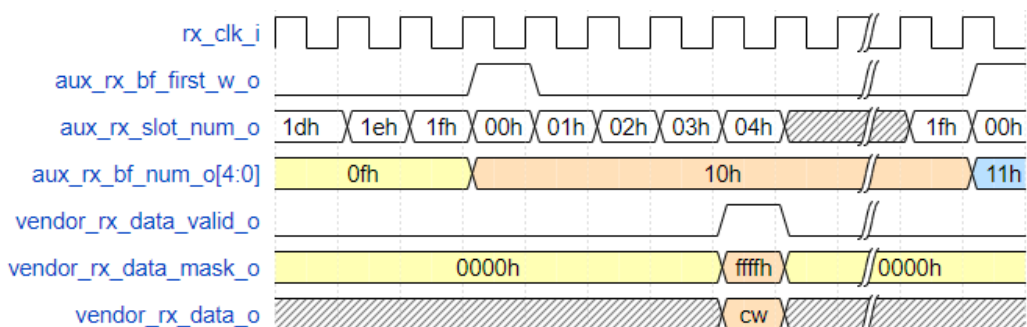


图 3-16 Vendor 接收接口时序图



3.5.6 实时厂商自定义接口时序图

当 CPRI IP 的线速率为 10.1376Gbps 或 12.16512Gbps 时, 每个基本帧除了 128bit 的协议控制字, 还有额外的带宽用于传输数据。CPRI IP 界面的“Real Time Vendor”可打开实时厂商自定义接口, 则此部分额外的带宽用于传输用户自定义的数据。

实时厂商自定义发送接口时序图如图 3-17 所示, up10g_rt_tx_req_o 为实时厂商自定义控制字请求信号, 提前 up10g_rt_tx_data_i 一个时钟周期。

实时厂商自定义接收接口时序图如图 3-18 所示, up10g_rt_rx_valid_o 为实时厂商自定义控制字有效信号, up10g_rt_rx_mask_o 为实时厂商自定义控制字字节有效信号, up10g_rt_rx_data_o 为接收的实时厂商自定义控制字数据。

图 3-17 实时厂商自定义发送接口时序图

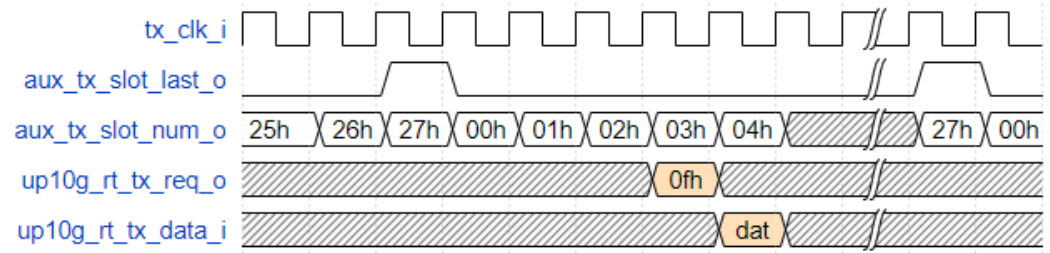
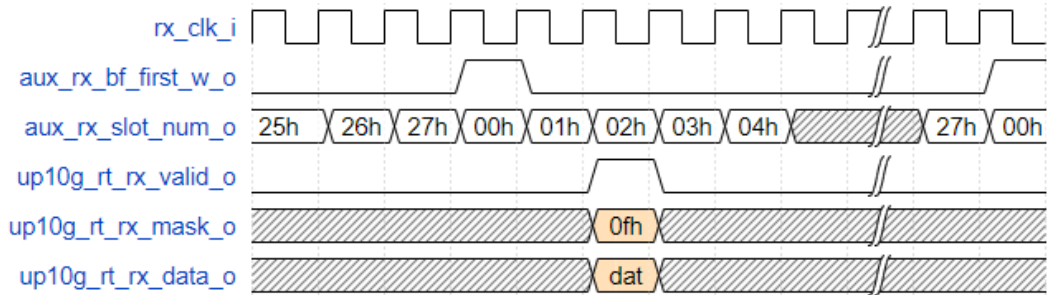


图 3-18 实时厂商自定义接收接口时序图



3.5.7 配置接口时序图

CPRI IP 提供配置接口，用户可通过配置接口访问内部寄存器，配置接口读时序如图 3-19 所示，写时序如图 3-20 所示。

图 3-19 cfg 接口读时序图

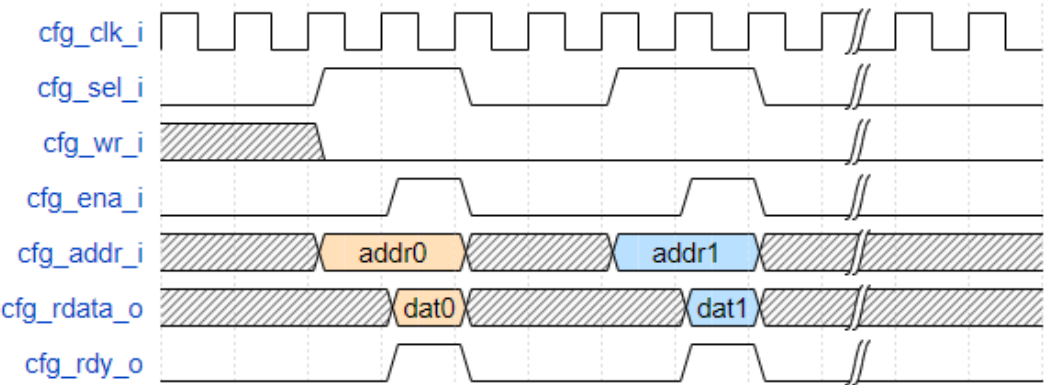
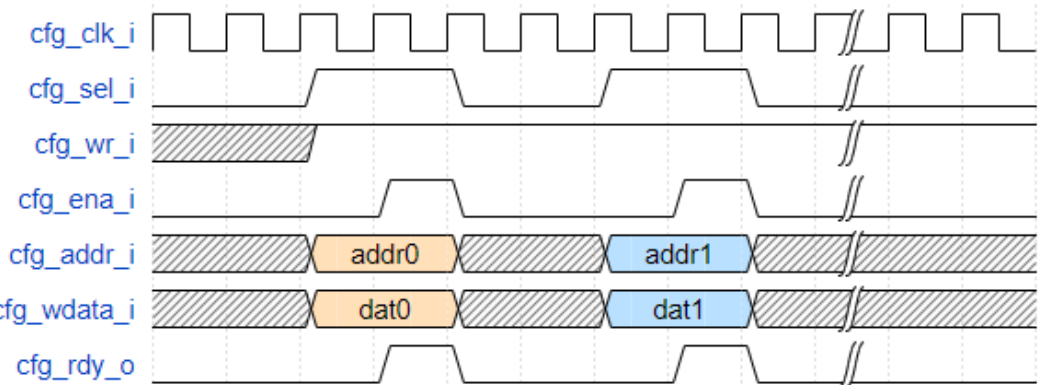


图 3-20 cfg 接口写时序图



3.6 寄存器接口

表 3-2 寄存器列表概述

地址 (Byte)	名称	类型	描述
0x0	链路状态	RC	获取链路 LOF/LOS/ERR 的状态和事件信息
0x4	状态机状态	RO	获取内部 L1 状态机的状态
0x8	当前速率	RO	选择 IP 工作的速率
0xc	协议版本状态	RW or RO	发送和接收的协议版本状态
0x10	发送加扰种子	RW or RO	发送加扰种子配置寄存器
0x14	接收解扰种子	RO	接收解扰种子获取寄存器
0x18	HDLC 速率	RW or RO	HDLC 当前速率
0x1c	Ethernet 速率	RW or RO	Ethernet 速率选择, P 指针指示
0x20	HDLC 用户自定义	RW or RO	用户自定义 HDLC 传输速率配置
0x24	接收错误统计	RC	接收错误统计信息
0x28	环回配置	RW	环回寄存器
0x2c	时延寄存器	RO	IP 内部发送和接收的处理延时 CLK 数 (主频时钟域下)
0x30	SerDes 接收同步状态	RO	SerDes 接收同步状态

注！

寄存器读写定义：

- RC 表示读清
- RO 表示只读
- RW 表示读写
- RW or RO, 用户可在配置界面的选项“Fixed Config Enable”进行选择。若勾选“Fixed Config Enable”表示使用固定配置，则这部分寄存器为 RO（只读）。若不勾选“Fixed Config Enable”表示使用非固定配置，则这部分寄存器为 RW（读写）

3.6.1 链路状态 (0x0)

表 3-3 链路状态寄存器

名称	比特位	类型	描述	默认值
rsv	31:28	RO	N/A	0x0
LINE_RATE_MASK	27:16	RO	bit 使能速率，高有效： ● bit16 rsv ● bit17 使能 1.2288Gbps ● bit18 使能 2.4576Gbps ● bit19 使能 3.072Gbps ● bit20 使能 4.9152Gbps ● bit21 使能 6.144Gbps ● bit22 使能 9.8304Gbps ● bit23 rsv ● bit24 使能 8.11008Gbps ● bit25 使能 10.1376Gbps ● bit26 rsv ● bit27 rsv	0x0
ETH_GMII_ENABLE	15	RO	用户界面以太网选择的是 GMII 还是 MII，0 表示 MII，1 表示 GMII	0x0
local_rx_alarm_event	14	RC	本地 LOS 或 LOF 事件信息	0x0
local_rx_lof_event	13	RC	本地 LOF 事件信息	0x0
local_rx_los_event	12	RC	本地 LOS 事件信息	0x0
rsv	11:10	RO	N/A	0x0
rx_err_event	9	RC	SerDes 接收出错事件信息	0x0
z130_0_rx_reset_event	8	RC	接收远端 Z.130.0 Reset 事件信息	0x0
z130_0_rx_rai_event	7	RC	接收远端 Z.130.0 RAI 事件信息	0x0
z130_0_rx_sdi_event	6	RC	接收远端 Z.130.0 SDI 事件信息	0x0
z130_0_rx_los_event	5	RC	接收远端 Z.130.0 LOS 事件信息	0x0
z130_0_rx_lof_event	4	RC	接收远端 Z.130.0 LOF 事件信息	0x0
rx_err	3	RO	SerDes 接收错误状态指示，为高表示出错。	0x0
rsv	2	RO	N/A	0x0
lof	1	RO	L1 帧失锁指示，为低表示无 LOF，帧同步正常。	0x0
los	0	RO	光模块无光信号指示，为低表示无 LOS，光模块接收光信号正常。	0x0

3.6.2 状态机状态（0x4）

表 3-4 L1 状态机状态寄存器

名称	比特位	类型	描述	默认值
rsv	31:13	RO	N/A	0x0
state_l1_sync	12:8	RO	L1 同步状态机状态： ● 5'b00001: C_XACQ1 ● 5'b00010: C_XACQ2 ● 5'b00100: C_XSYNC1 ● 5'b01000: C_XSYNC2 ● 5'b10000: C_HFNSYNC	0x0
rsv	7:4	RO	N/A	0x0
rsv	3:0	RO	N/A	0x0

3.6.3 当前速率（0x8）

表 3-5 当前速率寄存器

名称	比特位	类型	描述	默认值
rsv	31:4	RO	N/A	0x0
speed_sel	3:0	RO	IP 内部当前工作线速率，只支持固定线速率，不支持在线速率协商切换 ● 4'd0, rsv ● 4'd1, 1.2288Gbps ● 4'd2, 2.4576Gbps ● 4'd3, 3.072Gbps ● 4'd4, 4.9152Gbps ● 4'd5, 6.144Gbps ● 4'd6, 9.8304Gbps ● 4'd8, 8.11008Gbps ● 4'd9, 10.1376Gbps ● 4'd10, rsv	0x0

3.6.4 协议版本状态（0xc）

表 3-6 协议版本状态寄存器

名称	比特位	类型	描述	默认值
rsv	31:12	RO	N/A	0x0
rx_protocol_ver	11:8	RO	接收的版本信息，4'h1 或 4'h2	0x0
rsv	7:4	RO	N/A	0x0
tx_protocol_ver	3:0	RW or RO	发送的协议版本信息，4'h1 或 4'h2。可通过“Preset Configuration”预置初值。	0x0

3.6.5 发送加扰种子（0x10）

表 3-7 发送加扰种子寄存器

名称	比特位	类型	描述	默认值
rsv	31	RO	N/A	0x0
scrambler_seed	30:0	RW or RO	发送的加扰种子，可通过“Preset Configuration”预置初值。	0x0

3.6.6 接收解扰种子（0x14）

表 3-8 接收解扰种子寄存器

名称	比特位	类型	描述	默认值
rsv	31	RO	N/A	0x0
descrambler_seed	30:0	RO	接收的加扰种子，从接收数据中恢复的加扰种子。	0x0

3.6.7 HDLC 速率（0x18）

表 3-9 HDLC 速率寄存器

名称	比特位	类型	描述	默认值
rsv	31:11	RO	N/A	0x0
hdlc_rx_rate	10:8	RO	接收的 HDLC 速率，从接收数据控制字中解析出的速率。	0x0
rsv	7:3	RO	N/A	0x0
hdlc_tx_rate	2:0	RW or RO	发送的 HDLC，可通过“Preset Configuration”预置初值。 ● 0: 无 hdlc ● 1: 240kbps ● 2: 480kbps ● 3: 960kbps ● 4: 1920kbps ● 5: 2400kbps ● 6: 当前支持的最高 HDLC 速率（当 CPRI 线速率大于 3.072Gbps 时有效）3072.0Mbit/s ● 7: 用户定义 HDLC 速率	0x2

3.6.8 Ethernet 速率（0x1c）

表 3-10 Ethernet 速率寄存器

名称	比特位	类型	描述	默认值
rsv	31:14	RO	N/A	0x0
rx_eth_pointer	13:8	RO	接收的 Ethernet P Pointer，从接收数据控制字中解析出的 P 指针。	0x0
rsv	7:6	RO	N/A	0x0
tx_eth_pointer	5:0	RW or RO	发送的 Ethernet P Pointer，可通过“Preset Configuration”预置初值，范围为 20~63。	0x14

3.6.9 HDLC 用户自定义（0x20）

表 3-11 HDLC 用户自定义寄存器

名称	比特位	类型	描述	默认值
hdlc_user_mask	31:16	RO	只在 hdlc_rate 为 3'b111 时生效，16bit 对应 16byte 控制字的使能信号，表示用户自定义需要发送 HDLC 数据的字节位置。 注！ 设计预留，V1.0 不启用。	0x0
rsv	15:4	RO	N/A	0x0
hdlc_user_byte	3:0	RO	只在 hdlc_rate 为 3'b111 时生效，范围 0~15，表示用户自定义需要发送 HDLC 字节数。 注！ 设计预留，V1.0 不启用。	0x0

3.6.10 接收错误统计（0x24）

表 3-12 接收错误统计寄存器

名称	比特位	类型	描述	默认值
rsv	31:16	RO	N/A	0x0
rx_err_cnt	15:0	RC	接收错误统计，读清	0x0

3.6.11 环回配置（0x28）

表 3-13 环回配置寄存器

名称	比特位	类型	描述	默认值
rsv	31:0	RO	N/A	0x0

3.6.12 时延寄存器（0x2C）

表 3-14 时延寄存器

名称	比特位	类型	描述	默认值
total_rx_delay	31:16	RO	IP 内部接收的延时 CLK 数（rx_clk_i 时钟域下），不包含 SerDes Hard Core 接收。	0x0
total_tx_delay	15:0	RO	IP 内部发送的延时 CLK 数（tx_clk_i 时钟域下），不包含 SerDes Hard Core 发送。	0x0

3.6.13 SerDes 接收同步状态（0x30）

表 3-15 SerDes 接收同步状态寄存器

名称	比特位	类型	描述	默认值
rsv	31:1	RO	N/A	0x0
rx_sync	0	RC	接收 SerDes 同步状态寄存器，为高表示链路同步正常。	0x0

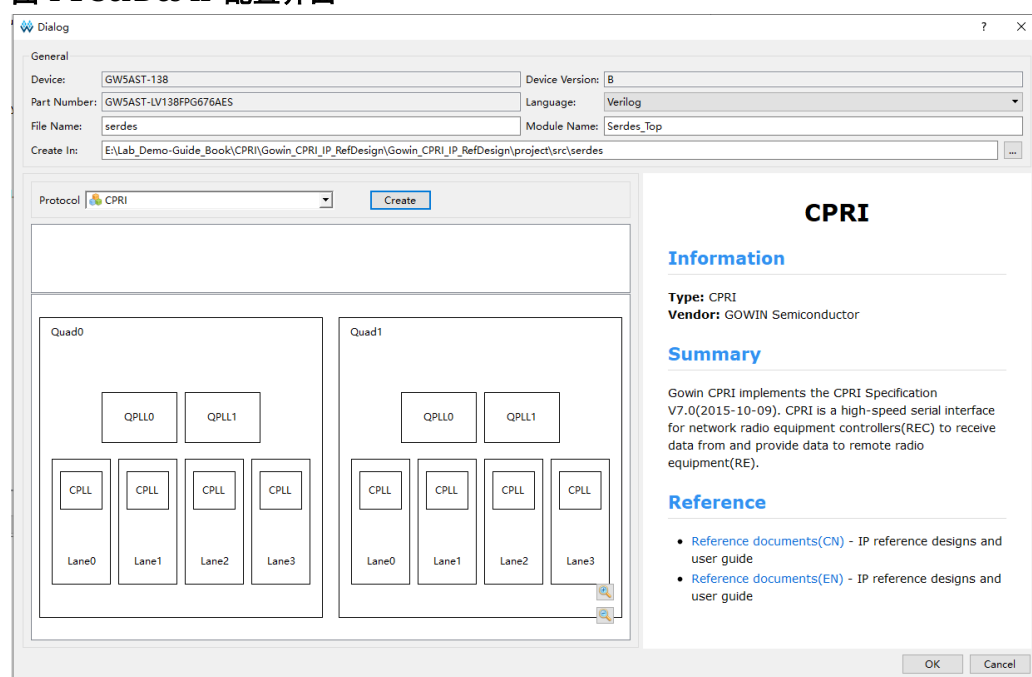
4 界面配置

用户可以使用 IDE 中的 IP 内核生成器工具调用和配置 Gowin CPRI IP。

1. 打开 SerDes IP

用户建立工程后,单击左上角 Tools 选项卡,下拉单元 IP Core Generator 选项,打开 Gowin IP Core Generator。然后找到 Soft IP Core 目录下的 SerDes, 双击打开 SerDes IP。

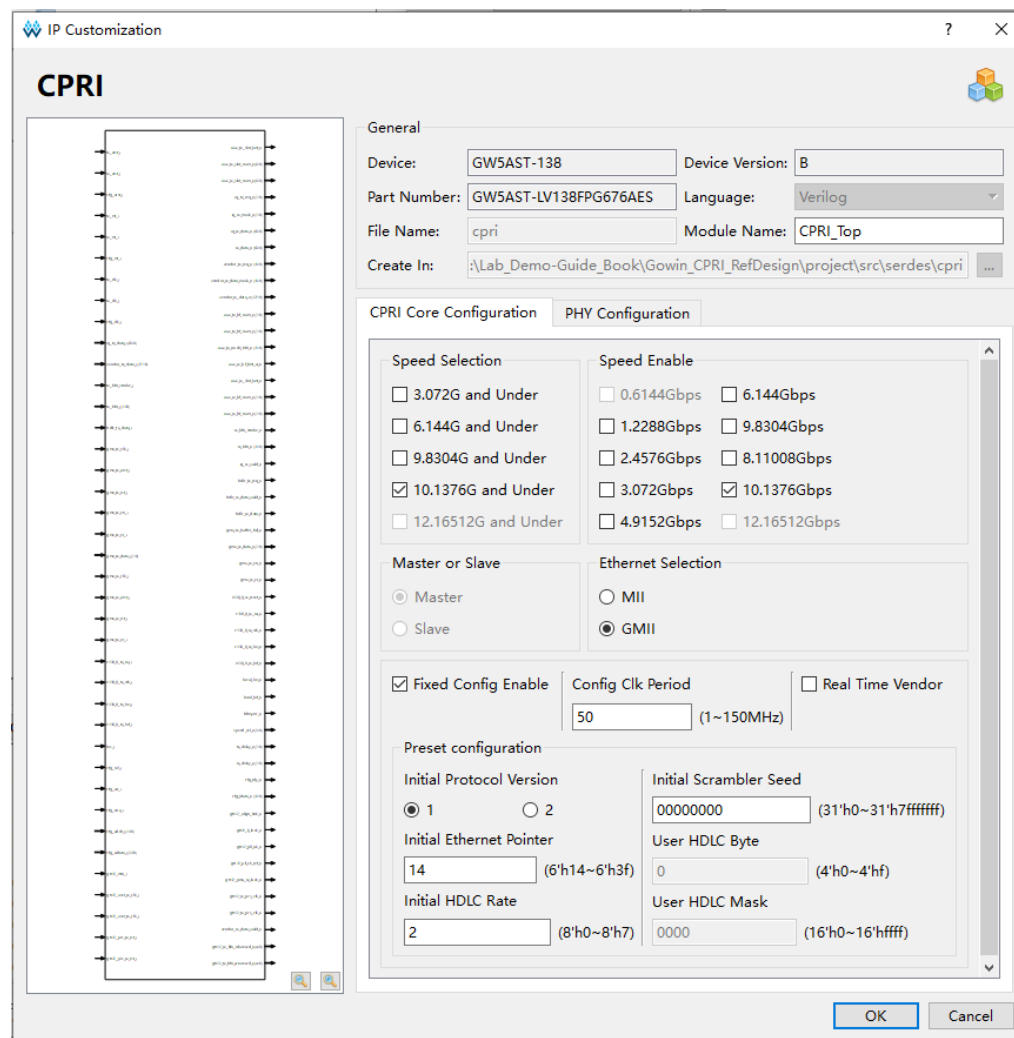
图 4-1 SerDes IP 配置界面



2. 打开 CPRI IP

用户打开 SerDes IP 后,在 Protocol 下拉列表中找到 CPRI,点击“Create”即可打开 CPRI IP 协议配置界面。

图 4-2 CPRI IP 配置界面



3. 配置 CPRI IP 协议

CPRI IP 配置界面如图 4-3 和图 4-4 所示,分为“CPRI Core Configuration”和“PHY Configuration”两页。用户在“CPRI Core Configuration”选项页选择 CPRI IP 协议相关的参数,在“PHY Configuration”选项页选择 CPRI IP SerDes 相关的参数。各个参数的含义如表 4-1 介绍。选择完 CPRI IP 参数后,点击“OK”按钮,即可生成完 CPRI IP 协议相关的配置。

4. 完成 SerDes IP 配置

用户在 SerDes IP 界面,完成所有协议的配置后,点击“OK”按钮,完成 SerDes IP 的生成。SerDes IP 顶层文件中,cpri_前缀的信号即为 CPRI IP 的相关信号。

图 4-3 CPRI Core 协议配置界面

CPRI Core Configuration

PHY Configuration

Speed Selection

☐ 3.072G and Under
☐ 6.144G and Under
☐ 9.8304G and Under
☒ 10.1376G and Under
☐ 12.16512G and Under

Speed Enable

☐ 0.6144Gbps ☐ 6.144Gbps
☐ 1.2288Gbps ☐ 9.8304Gbps
☐ 2.4576Gbps ☐ 8.11008Gbps
☐ 3.072Gbps ☒ 10.1376Gbps
☐ 4.9152Gbps ☐ 12.16512Gbps

Master or Slave

☒ Master
☐ Slave

Ethernet Selection

☐ MII
☒ GMII

☒ Fixed Config Enable
 Config Clk Period (1~150MHz)
 ☐ Real Time Vendor

Preset configuration

Initial Protocol Version

☒ 1 ☐ 2

Initial Ethernet Pointer

(6'h14~6'h3f)

Initial HDLC Rate

(8'h0~8'h7)

Initial Scrambler Seed

(31'h0~31'h7ffffff)

User HDLC Byte

(4'h0~4'hf)

User HDLC Mask

(16'h0~16'hffff)

图 4-4 CPRI PHY 配置界面

CPRI Core Configuration

PHY Configuration

Base Parameters

Channel Selection:

Q0 Lane0

Loopback Mode:

OFF

Line Rate:

4.9152Gbps

Gbps

Refclk Selection

Reference Clock Source:

Q0 REFCLK0

Reference Clock Frequency:

122.88

MHz

PLL_Selection:

QPLL0

Calculate

表 4-1 CPRI IP 配置界面参数

参数名称	允许范围	默认值	描述
CPRI Core Configuration			
Speed Selection	3.072G and Under、6.144G and Under、9.8304G and Under、10.1376G and Under	无	速率范围选择。三种选择对应的端口信号位宽有区别，但实际有效的位宽与速率绑定，详细见 3.4 章端口列表： ● 3.072G and Under，数据链路位宽 16bit，厂商自定义控制字 40bit。 ● 6.144G and Under，数据链路位宽 32bit，厂商自定义控制字 80bit。 ● 9.8304G and Under，数据链路位宽 64bit，厂商自定义控制字 128bit。 ● 10.1376G and Under，数据链路位宽 64bit，厂商自定义控制字 128bit。 例：用户的 Speed Selection 选择 9.8304G and Under，但是 Speed Enable 勾选的 3.072Gbps，则端口的 iq_tx_data_i 和 iq_rx_data_o 的位宽为 64bit，但实际只有低 16bit 有效。
Speed Enable	1.2288Gbps、2.4576Gbps、3.072Gbps、4.9152Gbps、	无	CPRI IP 工作线速率使能，用户可勾选支持的速率，目前只支持勾选一个速率，不支持勾选多个速率。

参数名称	允许范围	默认值	描述
	6.144Gbps、 9.8304Gbps、 8.11008Gbps、 10.1376Gbps		
Ethernet Select	MII、GMII	MII	用户选择 Ethernet 接口为 MII 接口或 GMII 接口
Fixed Config Enable	勾选、不勾选	不勾选	固定配置选择： ● 若勾选，则表示部分配置为固定配置，配置在初始化时固定，不支持在线可配，包括协议版本号、加扰种子、HDLC 速率和 Ethernet P 指针。勾选中后有利于资源和时序。 ● 若不勾选，则表示配置支持在线改配，用户可通过配置接口修改协议版本号、加扰种子、HDLC 速率和 Ethernet P 指针。
Config Clk Period	1~150MHz	50MHz	配置时钟频率，指 CPRI IP 配置模块工作的时钟频率。
Real Time Vendor	勾选、不勾选	不勾选	用户选择是否打开 10.1376Gbps 及以上线速率的实时厂商自定义控制字功能。 例：当前线速率为 10.1376Gbps，若用户选择勾选“Real Time Vendor”，则除了 128bit 的基本控制字外，另外 32bit 的控制字使用 3.5.6 实时厂商自定义接口时序图 定义的接口时序进行数据的发送和接收。若用户选择不勾选“Real Time Vendor”，则额外的 32bit 的控制字用于传输 IQ 数据。
Initial Protocol Version	1、2	1	协议版本控制字复位默认值
Initial Scrambler Seed	31'h0~31'h7ffffff	0	加扰种子复位默认值
Initial Ethernet Pointer	6'h14~6'h3f	6'h14	Ethernet P 指针控制字复位默认值
Initial HDLC Rate	8'h0~8'h7	8'h2	HDLC 速率控制字复位默认值
PHY Configuration			
Channel Selection	Q0 Lane0、Q0 Lane1、 Q0 Lane2、Q0 Lane3、 Q1 Lane0、Q1 Lane1、 Q1 Lane2、Q1 Lane3、	无	SerDes 通道选择。Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3 表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。
Loopback Mode	OFF、LB_NES、 LB_FES、LB_ENC	OFF	SerDes 环回模式选择： ● OFF 表示 Normal 模式，SerDes 数据正常收发。 ● LB_NES, SerDes 自环，数据从 SerDes 的发送环回给接收。 ● LB_ENC, SerDes 自环，数据从 SerDes 的发送环回给接收。

参数名称	允许范围	默认值	描述
			● LB_FES, SerDes 外环, 数据从 SerDes 的接收环回给发送。
Reference Clock Source	Q0 REFCLK0、Q0 REFCLK1、Q1 REFCLK 0、Q1 REFCLK 1	Q0 REFCLK0	高速收发器的参考时钟选择。Q0/Q1 对应 SerDes 的两个 Quad。REFCLK0 和 REFCLK1 对应 SerDes 每个 Quad 的两路输入参考时钟。用户可根据应用选择输入参考时钟。
Reference Clock Frequency	用户输入	122.88M	输入的高速收发器的参考时钟。输入参考时钟后, 可点击“Calculate”按钮, 确认频率是否正确。
PLL Selection	QPLL0 、QPLL1、CPLL	QPLL0	PLL 选择

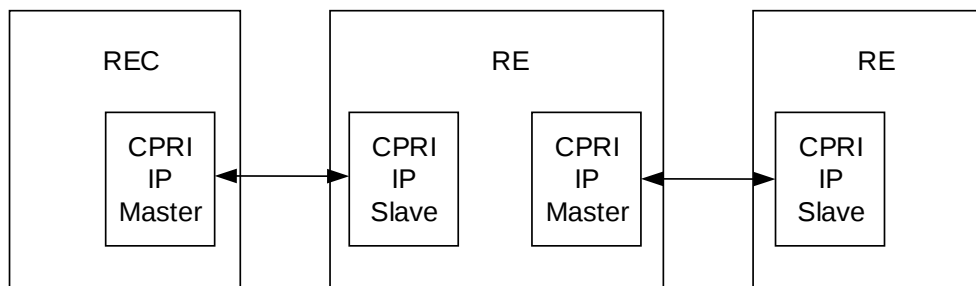
5 参考设计

详细信息请参见高云半导体官网 [CPRI 相关参考设计](#)。

5.1 应用

CPRI IP 可作为 REC 或者 RE 使用，如图 5-1 所示为 REC 与 2 级 RE 组成的应用实例。

图 5-1 应用示例框图



CPRI IP 在不同 Gowin 器件支持的线速率如表 5-1 所示。

表 5-1 支持线速率

Series	Device	Speed	Supported Line Bit Rates (Gbps)
GW5A	GW5AT-138/ GW5AST-138	C1	1.2288、2.4576、3.072、4.9152、6.144、9.8304
GW5A	GW5AT-138/ GW5AST-138	ES/C2	1.2288、2.4576、3.072、4.9152、6.144、9.8304、 8.11008、10.1376

5.2 参考设计特性

Gowin CPRI IP 参考设计除了包含 CPRI IP 及外围代码外，还包含发送测试数据与接收侧检验数据功能：

- 支持 IQ 通道测试数据发送侧生成和接收侧检测功能，测试数据支持 PRBS 和递增数两种。
- 支持以太网报文发送侧生成和接收侧检测功能，支持 GMII 和 MII 两种接口，测试数据为固定以太网报文。

- 支持 HDLC 发送侧生成和接收侧检测功能，测试数据为 PRBS 数据。
- 支持 Vendor 厂商自定义控制字数据的发送和接收。
- 支持调试模块，用户可通过串口工具直接读取 FPGA 内部寄存器获取状态、错误统计并进行在线寄存器配置。

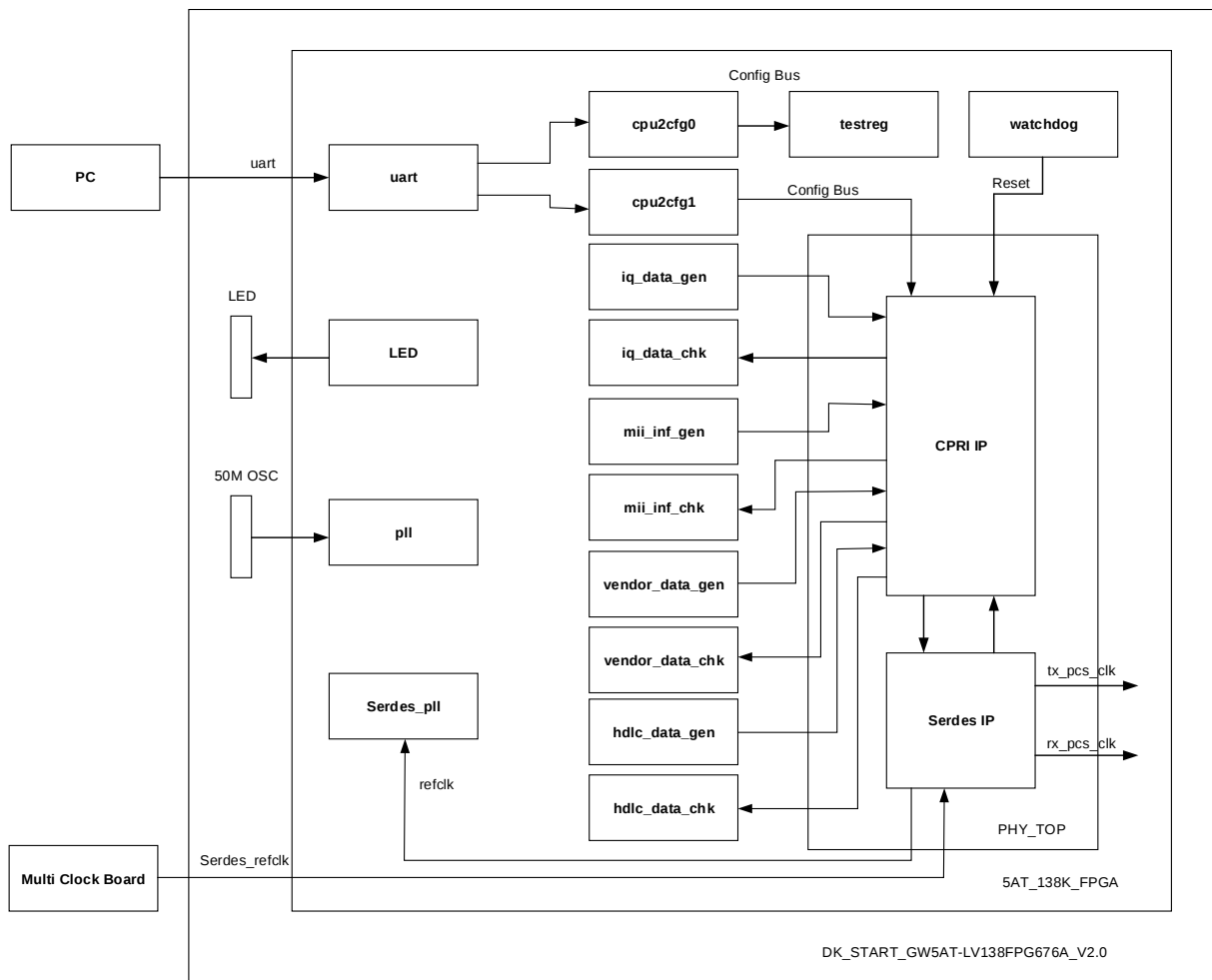
5.3 CPRI IP 参考设计工程

PC 通过串口工具可访问参考设计内部的 testreg 模块寄存器和 CPRI IP 内部寄存器，testreg 的地址空间为 0x000~0x3ff（字节地址），CPRI IP 的地址空间为 0x400~0x7FF（字节地址）。PC 通过寄存器可以直接获取接口链路状态和统计信息。

参考设计包含的模块有：

- Uart to Bus：串口转配置总线模块
- testreg：维护一组内部寄存器，用户访问可获取链路状态
- watchdog：看门狗，若链路同步失败，隔一段时间复位链路
- led：将内部数据校验通过点灯，方便用户通过 LED 等直接观察测试结果。
- gowin_pll：单板内部 50MHz 晶振锁出配置模块、Ethernet 模块（MII 25MHz，GMII 125MHz）的工作时钟
- gowin_pll_serdes：使用 SerDes 输出的 gtr12_tx_pcs_clk_o 作为 PLL 的参考时钟，锁出 IP 工作需要的频率。例如 10.1376Gbps 速率时，使用 158.4MHz 的 gtr12_tx_pcs_clk_o 作为 PLL 参考时钟，输出 153.6MHz 作为 IP 的工作时钟 tx_clk_i 和 rx_clk_i。
- iq_data_gen：IQ 测试数据生成模块
- iq_data_chk：IQ 测试数据检测模块
- mii_inf_gen：MII 接口测试数据生成模块
- mii_inf_chk：MII 接口测试数据检测模块
- vendor_data_gen：厂商自定义控制字测试数据生成模块
- vendor_data_chk：厂商自定义控制字测试数据检测模块
- hdlc_data_gen：HDLC 测试数据生成模块
- hdlc_data_chk：HDLC 测试数据检测模块

图 5-2 参考设计实例基本结构图

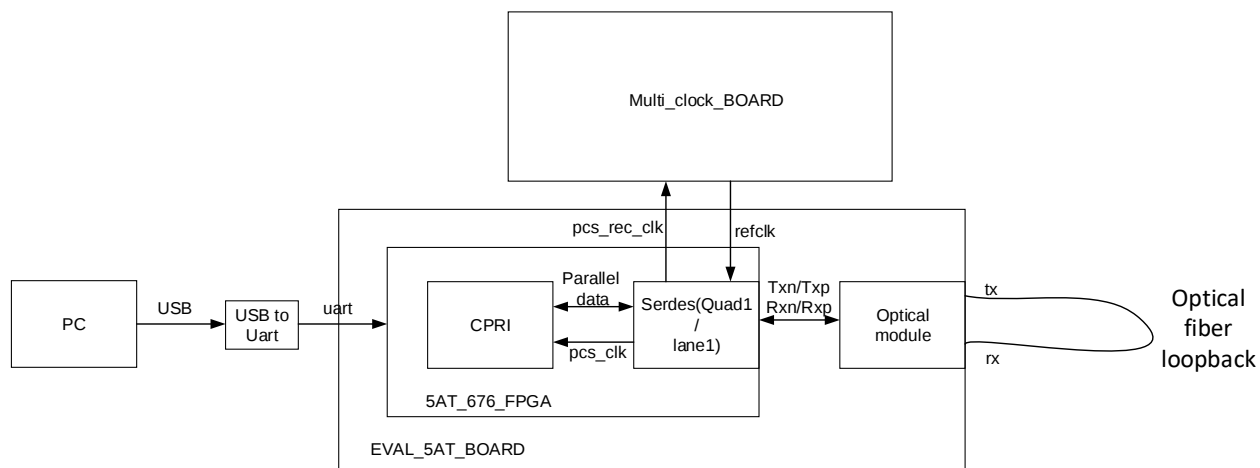


5.4 参考设计板测

参考工程板测的步骤如下：

- 从官网下载工程，编译生成 bit 文件。
- 搭建环境如图 5-3 所示。

图 5-3 测试环境框图



环境搭好后，在串口工具输入“R 0”，会显示寄存器值，如图 5-4 所示。输入“W 0 value”，会将 value 对应的寄存器值写入寄存器，重新回读“R 0”，则寄存器变成重新写入的值。

注！

通过串口工具操作的寄存器地址为字地址，字地址乘以 4 等于寄存器列表里的字节地址。例如 R2，表示读字地址 0x2，对应寄存器列表里的 0x8 字节地址。

表 5-2 testreg 寄存器列表

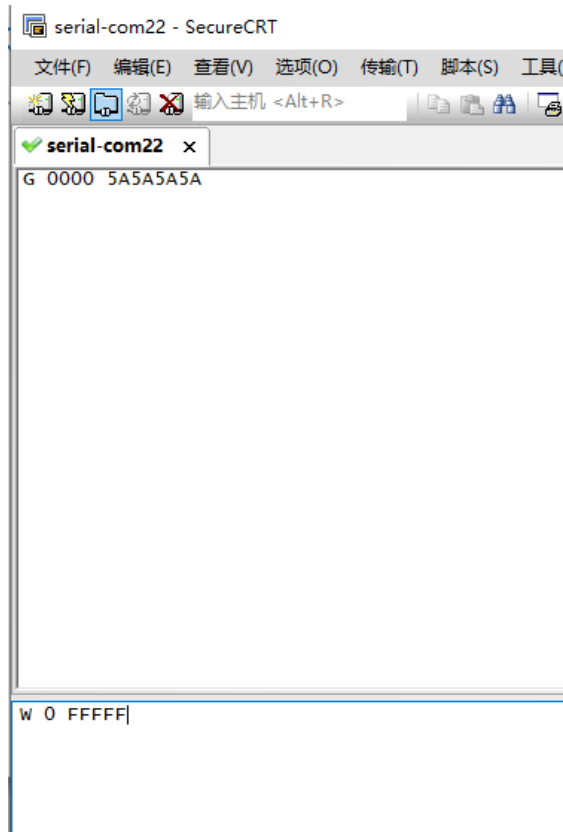
地址(Byte)	类型	位宽	信号名称	描述
0x0	RW	[31:0]	test_reg	测试寄存器，可写入回读，确认寄存器读写功能。
0x4	RO	[31:10]	Rsv.	N/A
	RW	[9]	test_mode	RSV 测试数据选择 PRBS 或递增数，参考工程没启用。
	RW	[8]	insert_err	RSV、PRBS 测试时插入错误码，参考工程没启用。
	RO	[7:2]	Rsv.	N/A
	RW	[1:0]	loop_en	RSV 参考工程没启用，可用于配置环回点。
0x8	RO	[31:8]	Rsv.	N/A
	RW	[7:4]	speed_sel	速率选择，0~0xa 对应 CPRI 的速率。 ● 4'd0, rsv ● 4'd1, 1.2288Gbps ● 4'd2, 2.4576Gbps ● 4'd3, 3.072Gbps ● 4'd4, 4.9152Gbps ● 4'd5, 6.144Gbps ● 4'd6, 9.8304Gbps ● 4'd8, 8.11008Gbps ● 4'd9, 10.1376Gbps ● 4'd10, rsv
	RO	[3:1]	Rsv.	N/A
	RW	[0]	local_lof	LOF 指示，为 0 表示无帧失锁，正常。
0xc	RO	[31:16]	Rsv.	N/A
		[15:0]	frame_count	接收帧统计
0x10	RO	[31:16]	Rsv.	N/A
		[15:0]	mii_package_cnt	以太网帧统计
0x14	RO	[31:24]	vendor_err_cnt	厂商自定义控制字错误统计
		[23:16]	hdlc_err_cnt	HDLC 错误统计
		[15:0]	iq_error_count	IQ 数据错误统计
0x18	RO	[31:8]	Rsv.	N/A
		[7:0]	mii_err_cnt	以太网帧错误统计

注！

寄存器读写定义：

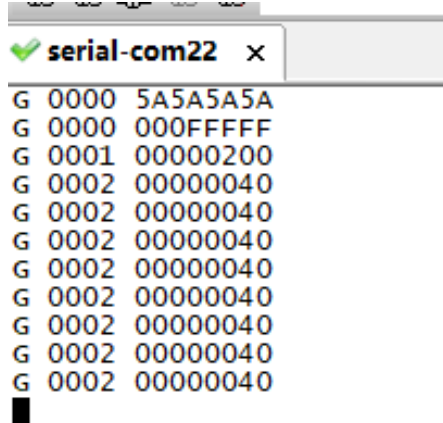
- RO 表示只读
- RW 表示读写

图 5-4 串口工具显示 1



打开 CRT 读取寄存器，确认链路状态。读取寄存器 0x2，bit0 为 0 表示 lof 为低，无帧失锁。bit3~bit7 表示当前 RTL 协议工作的线速率。如图 5-5 所示，bit3~bit7 为 0x4 表示当前线速率为 4.9152Gbps。

图 5-5 串口工具显示 2



读取 IP core 内部寄存器，确认链路状态。

读取寄存器 0x400，为 CPRI IP 内部的寄存器地址 0x0。bit0、bit1 和 bit3 均为低，表示当前无 LOS/LOF/RX_ERR 状态，_event 后缀表示事件。参考 [3.6.1 链路状态（0x0）寄存器说明](#)。

图 5-6 串口工具显示 3

```
G 0400 077F8000
G 0400 077F8000
G 0400 077F8000
G 0400 077F8000
G 0400 077F8000
G 0400 077F8000
```

读取接收帧统计和以太网包统计，增加表示链路在正常收发。读取寄存器 0x3 和 0x4。0x3 寄存器表示 CPRI 无线帧统计，0x4 表示以太网接收帧统计。

图 5-7 串口工具显示 4

```
G 0003 00006D7A
G 0003 00006DE7
G 0003 00006E1A
G 0003 00006E46
G 0003 00006E71
G 0003 00006E9C
G 0004 0000372D
G 0004 000063F9
G 0004 00007FB4
G 0004 00009BB5
G 0004 0000B93B
G 0004 0000D27B
G 0004 0000EC26
```

插拔光纤，确认接口是否重新建链：

拔掉光纤后，0x2 寄存器显示帧失锁（0x2 寄存器的值 bit0 为高），同时接收帧统计不增加（0x3 寄存器表示接收帧统计，0x4 表示以太网报文统计），错误帧不增加（0x5 和 0x6 寄存器）。

图 5-8 串口工具显示 5

```
G 0002 00000041
G 0002 00000041
G 0002 00000041
G 0003 000030CD
G 0003 000030CD
G 0004 00001BCC
G 0004 00001BCC
G 0005 070011EC
G 0005 070011EC
G 0006 00000011
G 0006 00000011
```

重新插上光纤后，0x2 表示帧同步（0x2 寄存器的值 bit0 为低），接收帧统计增加（0x3 寄存器表示接收帧统计，0x4 表示以太网报文统计），错误帧不增加（0x5 和 0x6 寄存器）。

图 5-9 串口工具显示 6

```

G 0002 00000040
G 0002 00000040
G 0002 00000040
G 0002 00000040
G 0002 00000040
G 0003 00003989
G 0003 000039B8
G 0003 000039E9
G 0004 00006F3D
G 0004 00008ED4
G 0004 0000ABCA
G 0005 34102FA2
G 0005 34102FA2
G 0005 34102FA2
G 0006 000000C6
G 0006 000000C6
G 0006 000000C6

```

读取 IQ/HDLC/vendor/以太网错误统计，持续不增加表示链路稳定，校验数据正确：

- 0x5 寄存器：bit0~15 IQ 错误统计，bit16~bit23 HDLC 错误统计，bit24~bit31 Vendor 错误统计。
- 0x6 寄存器：bit0~7 表示以太网接收帧错误统计。

图 5-10 串口工具显示 7

```

G 0005 0003001E
G 0005 0003001E
G 0005 0003001E
G 0005 0003001E
G 0005 0003001E
G 0006 00000000
G 0006 00000000
G 0006 00000000
G 0006 00000000
G 0006 00000000

```

参考工程也提供 LED 灯指示，方便用户快速通过 LED 灯状态判断链路状态。开发板提供 4 个 LED 灯供用户观察。参考工程的设计为：

- LED0：指示 PLL 状态，常亮表示正常，其它情况为异常，常亮表示 pll 和 SerDes_pll 两个 PLL 锁定。
- LED1：指示同步状态，常亮表示正常，其它情况为异常，常亮表示 CPRI 帧无失锁。
- LED2：指示接收报文状态，常亮表示正常，其它情况为异常，常亮表示正常接收 CPRI 无线帧和以太网报文。
- LED3：指示接收数据校验状态，常亮表示正常，其它情况为异常，常亮表示接收数据校验正确（IQ、Vendor、HDLC、Ethernet）。

6 文件交付

Gowin CPRI IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

6.1 文档

文件夹主要包含用户指南 PDF 文档。

表 6-1 文档列表

名称	描述
IPUG1017, Gowin CPRI IP 用户指南	高云 CPRI IP 用户手册，即本手册。
RN1017, Gowin CPRI IP 发布说明	高云 CPRI IP 发布说明。

6.2 设计源代码（加密）

加密代码文件夹包含 Gowin CPRI IP 的 RTL 加密代码，供 GUI 使用，以配合高云半导体云源®软件产生用户所需的 IP 核。

表 6-2 Gowin CPRI IP 设计源代码列表

名称	描述
cpri_core_encryption.v	IP 核顶层文件，给用户接口提供信息，加密。

6.3 参考设计

Gowin CPRI IP RefDesign 文件夹主要包含 Gowin CPRI IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-3 Gowin CPRI IP RefDesign 文件夹内容列表

名称	描述
cpri_ed_top.v	参考设计的顶层 module
cpri_ed_top.cst	工程物理约束文件
cpri_ed_top.sdc	工程时序约束文件
test	测试激励文件夹，包含测试激励模块 cpri_test.v、ROM 初始化文件 gmii_eth_package.txt 和 mii_eth_package.txt
SerDes	SerDes IP 文件夹，包含 EDA 工具生成的 SerDes

名称	描述
	相关文件和 CPRI 协议文件夹
debug	调测相关文件夹，包含输出 LED 模块 led.v、测试寄存器模块 testreg.v、看门狗模块 watchdog.v
gowin_pll	PLL 模块文件夹，使用外部输入 50MHz 时钟作为参考时钟，锁出内部配置时钟
gowin_pll_serdes	PLL 模块文件夹，使用 SerDes 输出的 PCS 时钟作为参考时钟，锁出 IP 工作时钟，仅用于线速率为 8.11008Gbps 和 10.1376Gbps 时。
uart_to_bus	Uart to Bus IP 文件夹，用于将串口转成内部配置总线

