



# Gowin MIPI DPHY RX TX 用户指南

IPUG112-1.1, 2018-05-22

## **版权所有©2018 广东高云半导体科技股份有限公司**

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

日期	版本	说明
2017/08/01	1.0	初始版本。
2018/05/22	1.1	增加 MIPI DPHY 1:16 模式说明。

# 目录

目录 .....	i
图目录 .....	iii
表目录 .....	iv
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 适用产品 .....	1
1.3 相关文档 .....	1
1.4 术语、缩略语 .....	2
1.5 技术支持与反馈 .....	2
<b>2 概述 .....</b>	<b>3</b>
2.1 MIPI DPHY TX RX IP 介绍 .....	3
2.2 MIPI DPHY 介绍 .....	4
<b>3 特征与性能 .....</b>	<b>5</b>
3.1 主要特征 .....	5
3.2 最大频率 .....	5
3.3 延迟 Latency .....	5
3.4 资源利用 .....	6
<b>4 功能描述 .....</b>	<b>7</b>
4.1 MIPI DPHY RX 结构与功能 .....	7
4.2 MIPI DPHY TX 结构与功能 .....	9
<b>5 端口描述 .....</b>	<b>12</b>
5.1 MIPI DPHY RX 端口 .....	12
5.2 MIPI DPHY TX 端口 .....	13
<b>6 时序说明 .....</b>	<b>15</b>
6.1 RX 输入信号时序 .....	15
6.2 TX 输入信号时序 .....	16
<b>7 MIPI DPHY RX/TX 配置及调用 .....</b>	<b>18</b>
7.1 MIPI DPHY RX 配置 .....	18

---

7.2 MIPI DPHY TX 配置.....	20
<b>8 参考设计 .....</b>	<b>22</b>
8.1 Example DPHY RX.....	23
8.2 Example DPHY TX .....	24
8.3 设计实例应用 .....	25

# 图目录

图 2-1 MIPI DPHY 结构示意图 .....	4
图 4-1 HS 模式和 LP 模式的接口实现 .....	8
图 4-2 HS 模式和 LP 模式的接口实现, HS 采用 ELVDS.....	10
图 6-1 MIPI DPHY RX 在 HS 1:8 模式下输入信号时序 .....	16
图 6-2 MIPI DPHY TX 在 HS 1:8 模式下输入信号时序 .....	17
图 6-3 MIPI DPHY TX 在 HS 1:16 模式下输入信号时序.....	17
图 7-1 MIPI DPHY RX 配置页面.....	18
图 7-2 MIPI DPHY TX 配置页面 .....	20
图 8-1 MIPI 参考设计实例结构 .....	22
图 8-2 Example DPHY RX 结构示意图 .....	23
图 8-3 Example DPHY TX 结构示意图.....	24
图 8-4 GW1N-4 MIPI 测试评估板 .....	25

# 表目录

表 1-1 术语、缩略语 .....	2
表 2-1 MIPI DPHY RX 与 TX IP .....	3
表 3-1 DPHY TX RX Latency .....	6
表 3-2 MIPI DPHY RX 占用资源 .....	6
表 3-3 MIPI DPHY TX 占用资源 .....	6
表 5-1 DPHY RX 的 IO 端口列表 .....	12
表 5-2 DPHY TX 模块 IO 列表 .....	13
表 7-1 MIPI DPHY RX 的 Options 选项配置 .....	19
表 7-2 MIPI DPHY TX 的 Options 选项配置 .....	20
表 8-1 RGB888 数据格式 .....	22
表 8-2 Example DPHY RX 端口定义 .....	23
表 8-3 Example DPHY TX 端口定义 .....	24

# 1 关于本手册

## 1.1 手册内容

Gowin MIPI DPHY RX TX 用户指南主要内容包括功能特点、端口描述、时序说明、配置调用、参考设计等。主要用于帮助用户快速了解 Gowin MIPI DPHY RX TX 的产品特性、特点及使用方法。

## 1.2 适用产品

本手册中描述的信息适用于以下产品：

1. GW1N 系列 FPGA 产品
2. GW1NR 系列 FPGA 产品
3. GW2A 系列 FPGA 产品
4. GW2AR 系列 FPGA 产品

注！

MIPI DPHY 1:16 模式仅支持 GW1N-6K, GW1N-9K 及 GW1NR9K 器件。

## 1.3 相关文档

通过登录高云半导体网站 <http://www.gowinsemi.com.cn> 可以下载、查看以下相关文档：

1. GW1N 系列 FPGA 产品数据手册
2. GW1NR 系列 FPGA 产品数据手册
3. GW2A 系列 FPGA 产品数据手册
4. GW2AR 系列 FPGA 产品数据手册
5. Gowin 云源软件用户指南



## 1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

**表 1-1 术语、缩略语**

术语、缩略语	全称	含义
FIFO	First Input First Output	先进先出队列
IP	Intellectual Property	知识产权
RAM	Random Access Memory	随机存取存储器
LUT	Look-up Table	查找表
GSR	Global System Reset	全局系统复位
ECC	Error Correcting Code	错误检查和纠正

## 1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：<http://www.gowinsemi.com.cn>

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 概述

## 2.1 MIPI DPHY TX RX IP 介绍

Gowin MIPI DPHY TX RX IP 适用于串行显示接口（Display Serial Interface, DSI）和串行摄像头接口（Camera Serial Interface, CSI），旨在用于接收或发送图像或视频数据，MIPI DPHY 为其提供物理层定义。

**表 2-1 MIPI DPHY RX 与 TX IP**

MIPI DPHY RX 与 TX IP	
<b>IP 核应用</b>	
芯片支持	GW1N、GW1NR 系列; GW2A、GW2AR 系列.
逻辑资源	请参见表 3-2 及表 3-3.
<b>交付文件</b>	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
<b>测试设计流程</b>	
综合软件	Synplify_Pro
应用软件	GoWinYunYuan

## 2.2 MIPI DPHY 介绍

移动产业处理器接口（Mobile Industry Processor Interface, MIPI）为移动设备组件接口规范标准。MIPI DPHY 为 DSI 和 CSI 提供物理层定义，描述源同步、高速、低功耗的物理层接口协议。根据应用需求，MIPI DPHY 分为 RX 与 TX 两个部分，用于接收或发送符合 MIPI DPHY 规范的数据，其结构示意图如图 2-1 所示。

在典型配置下，MIPI DPHY 包含 1 个时钟通道和 1~4 个数据通道。可通过 IDE 配置数据通道的数量。时钟和数据通道可在 1.2V LVCMOS 信号或 SLVS-200 差分信号之间转换。

MIPI DPHY 支持以下两种数据传输模式：

- 高速（High-speed, HS）模式
- 低功耗（Low-power, LP）模式

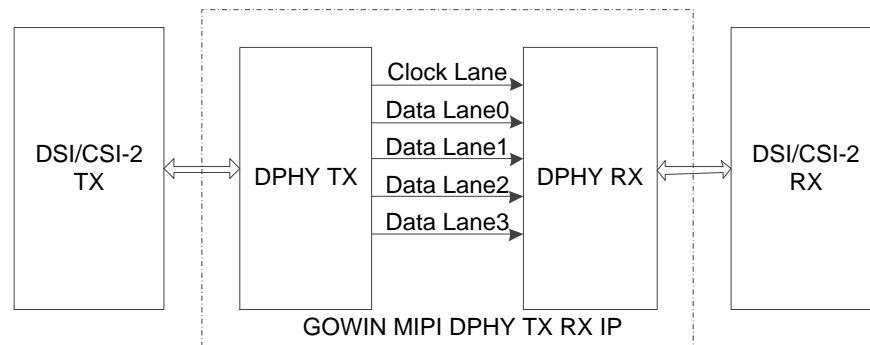
在 HS 模式下，视频数据通过差分进行传递。如应用不同，可持续使用 HS 模式，亦可将高速差分通道转换为单端信号。

当 DPHY 发送单端信号数据时，进入 LP 模式。

注！

- 在摄像与显示应用中，在消隐期间进入 LP 模式可减少功耗；
- 在显示应用中，低功耗模式可用来配置屏幕设置。

图 2-1 MIPI DPHY 结构示意图



# 3 特征与性能

## 3.1 主要特征

- 符合标准《MIPI Alliance Standard for DPHY Specification》，版本 1.1；
- MIPI CSI2 和 DSI，RX 和 TX 器件接口；
- 支持单向高速 (HS, High-speed) 模式；
- 支持双向低功耗 (LP, Low-power) 操作模式；
- 串并转换和串行高速 (HS, High-speed) 数据转换为字节数据包；
- 支持 MIPI DPHY TX 8:1 模式与 16:1 模式；
- 支持 MIPI DPHY RX 1:8 模式与 1:16 模式；
- HS 模式下，单通道端口数据速率 (Line Rate) 可支持范围为：80Mb/s~800Mb /s。
- 控制数据在 LP 模式下进行传输，数据速率为 10Mb/s。

注！

MIPI DPHY 1:16 模式目前仅 GW1N-6K、GW1N-9K、GW1NR-9K 支持。

## 3.2 最大频率

MIPI DPHY 的最大频率主要根据 Line Rate 与所用器件的速度等级 (speed grade of the devices) 确定。

## 3.3 延迟 Latency

DPHY TX Latency 指从 8 位/16 位并行数据 data\_in 输入至串行数据 HS\_DATA 输出之间的时间延迟周期。

DPHY RX Latency 指从串行数据 HS\_DATA 的数据包头 (start-of-transmission, SOT) 输入开始，至 8 位/16 位并行数据 data\_out 输出之间的时间延迟周期。

具体延迟数据请参考表 3-1。

**表 3-1 DPHY TX RX Latency**

模块	Line Rate (Mb/s)	Lanes	Latency (byteclk Latency <sup>(1)</sup> Cycle)
DPHY TX	800	1	3
DPHY RX	800	1	11

注!

[1] Frequency of byteclk (MHz) = line rate in Mb/s / 8。

## 3.4 资源利用

通过 Verilog 语言实现 MIPI DPHY RX 和 TX。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。

以高云 GW1N-4 系列 FPGA 为例，MIPI DPHY RX 与 TX 资源利用情况如表 3-2 和表 3-3 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

**表 3-2 MIPI DPHY RX 占用资源**

器件系列	速度等级	器件名称	资源利用	备注
GW1N-4	-5	LUT	318	<ul style="list-style-type: none"> <li>● 包含 4 个 HS 数据通道</li> <li>● 包含字对齐与通道对齐模块</li> <li>● 不包含 clk_cross_fifo</li> </ul>
		IODELAY	4	
		REG	300	
		BSRAM	4	
		IDES8	5	
		CLKDIV	1	
		DQCE	1	

**表 3-3 MIPI DPHY TX 占用资源**

器件系列	速度等级	器件名称	资源利用	备注
GW1N-4	-5	LUT	16	未配置内部 PLL
		REG	4	
		CLKDIV	1	
		OSER8	4	
		DQCE	1	

# 4 功能描述

MIPI DPHY 包含以下两种 DPHY IP 模块：

- DPHY RX
- DPHY TX

在 DPHY RX 与 DPHY TX 中，HS 数据分别进行单位数据与字节进行串并转换/并串转换，LP 模式数据可在任意数据通道和时钟通道上进行双向传输。

注！

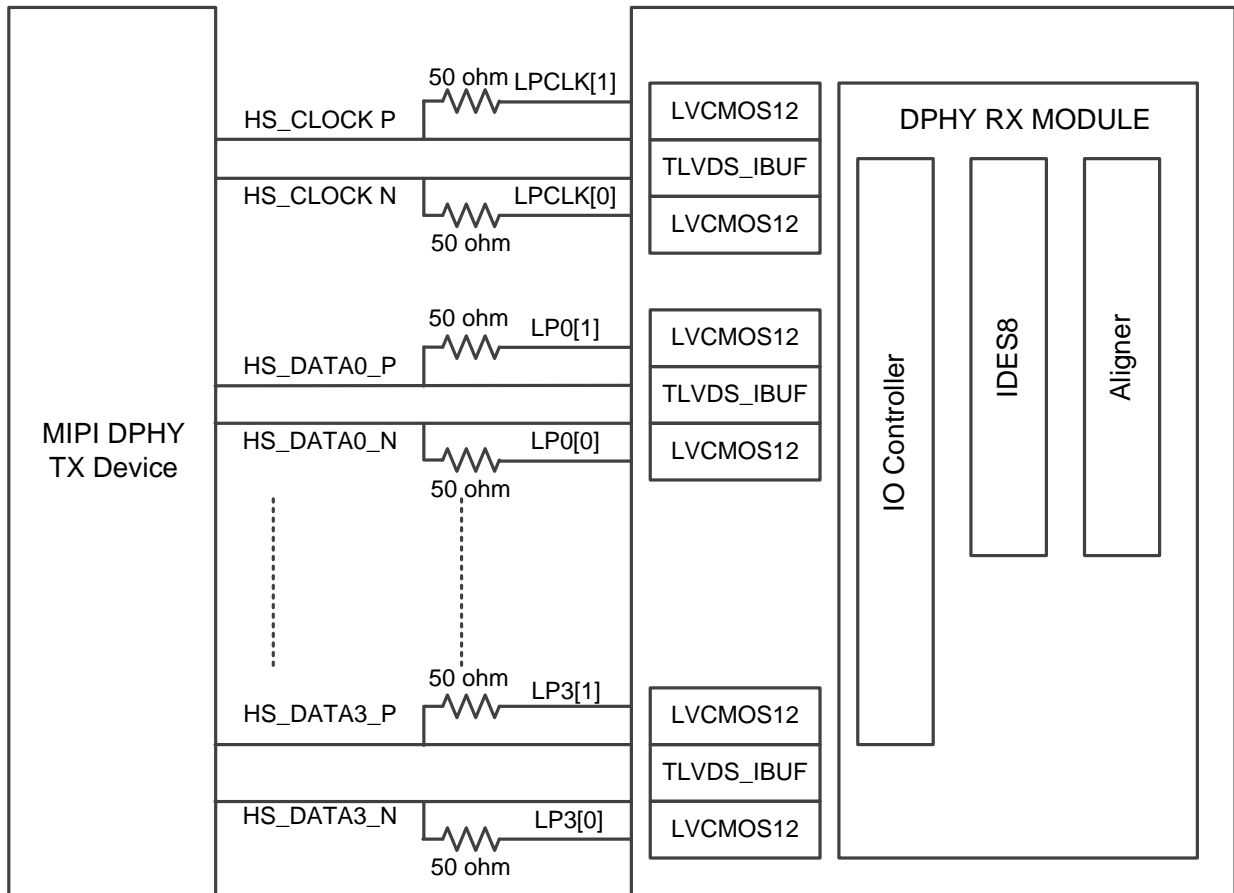
DPHY RX 与 DPHY TX 的电阻网络虽不相同，但两种模块均需支持双向 LP 模式通信和单向 HS 模式通信。

## 4.1 MIPI DPHY RX 结构与功能

用户可使用 DPHY RX，通过一个时钟通道，四个数据通道来接收 HS 数据。

每个时钟和数据通道均采用四个 IO 口。两个 IO 引脚通过 TLVDS 差分 IO 来接收高速数据。TLVDS IO 用于处理 200mV 共模电压。另外两个 IO 在 HS 模式下作为串行端接使用，在 LP 模式下用来接收或发送 1.2V CMOS 数据，如图 4-1 所示。

图 4-1 HS 模式和 LP 模式的接口实现



在 DPHY RX 模块中, HS 数据通过 IDES8/IDES16 进行串并转换。FPGA 使用 IDES8/IDES16 直接驱动一个 4 分频/8 分频的时钟和 8 位/16 位字节宽度的数据。

注!

用户可配置且必须配置大于或等于 1 个 HS 数据通道, 可选择 1、2、3 或 4 个数据通道。

当数据串并转换为 8 位/16 位字节数据, 且通道对齐后, 可在每个字节时钟周期顺利获得 MIPI 字节数据。

注!

- 通过检测 MIPI HS\_Ready 序列来实现对齐。
- MIPI HS\_Ready 序列在所有数据通道的数据包头之前的一个周期发送。

hs\_en 信号用于复位对齐模块:

1. 当 hs\_en 为低时, 字对齐模块为复位状态;
2. 当 hs\_en 为高, 字对齐模块开始寻找下一次 HS\_Ready 序列;
3. 在检测到 HS\_Ready 序列后, 同步信号变为高, 正确对齐对齐模块输出端的字节数据。

对齐模块由两个子模块组成：

- 第一个模块将串并转换后的 8 位数据对齐；
- 第二个模块将各个数据通道对齐。

注！

- 某些设计案例中，无需进行通道对齐或通道与字之间的对齐；
- 可通过宏编译指令开启或关闭字和通道对齐功能。

设计通过 `term_en` 信号来控制 `IO_Ctrol_RX` 模块以实现 HS termination。因在本设计中无方向竞争检测机制，可通过以下两种方式进行使能 HS termination：

1. 使用 HS 时钟观测 LP 到 HS 在一个数据通道上的数据转换；
2. 与数据通道相比，时钟通道会预先进入 HS 模式，且推迟退出 HS 模式。将 LP 信号在启动时初始化为输入，然后观察 LP 和 HS 的各个时钟与数据通道。  
序列一经检测到，用户可通过使能 HS termination 将 `term_en` 设置为“低”。

`IO_Ctrol_RX` 模块同样控制 LP 信号。

每个数据通道均有一个 `lp*_dir` 信号，用于控制 LP 数据在器件与 FPGA 之间传输的方向。

可通过宏定义编译指令单独开启或关闭 LP IP 的某个时钟或数据通道。此方法适用于用户只需一个或两个 MIPI DPHY 数据通道处于 LP 模式的情况。

将 LP 信号定义为两位宽总线。通常情况下，信号 1 连接到 P 线端，信号 0 连接到 N 线端。有助于与 LP 传输定义模式保持一致。

## 4.2 MIPI DPHY TX 结构与功能

用户可通过 DPHY TX IP 使用 1 个时钟通道和最多 4 个数据通道，每个通道含有 4 个 IO。其中两个 IO 引脚通过 ELVDS 类型或 TLVDS 类型的 IO 发送 HS 数据，输出 IO 配置为差分模式。另外的两个 IO 在 HS 模式下用于提供分压电路，在 LP 模式下用于发送或接收 1.2V CMOS 数据。HS 数据采用 ELVDS 类型 IO 的电路结构如图 4-2 所示，采用 TLVDS 类型 IO 的电路结构如图 4-2 所示。



图 4-2 HS 模式和 LP 模式的接口实现，HS 采用 ELVDS

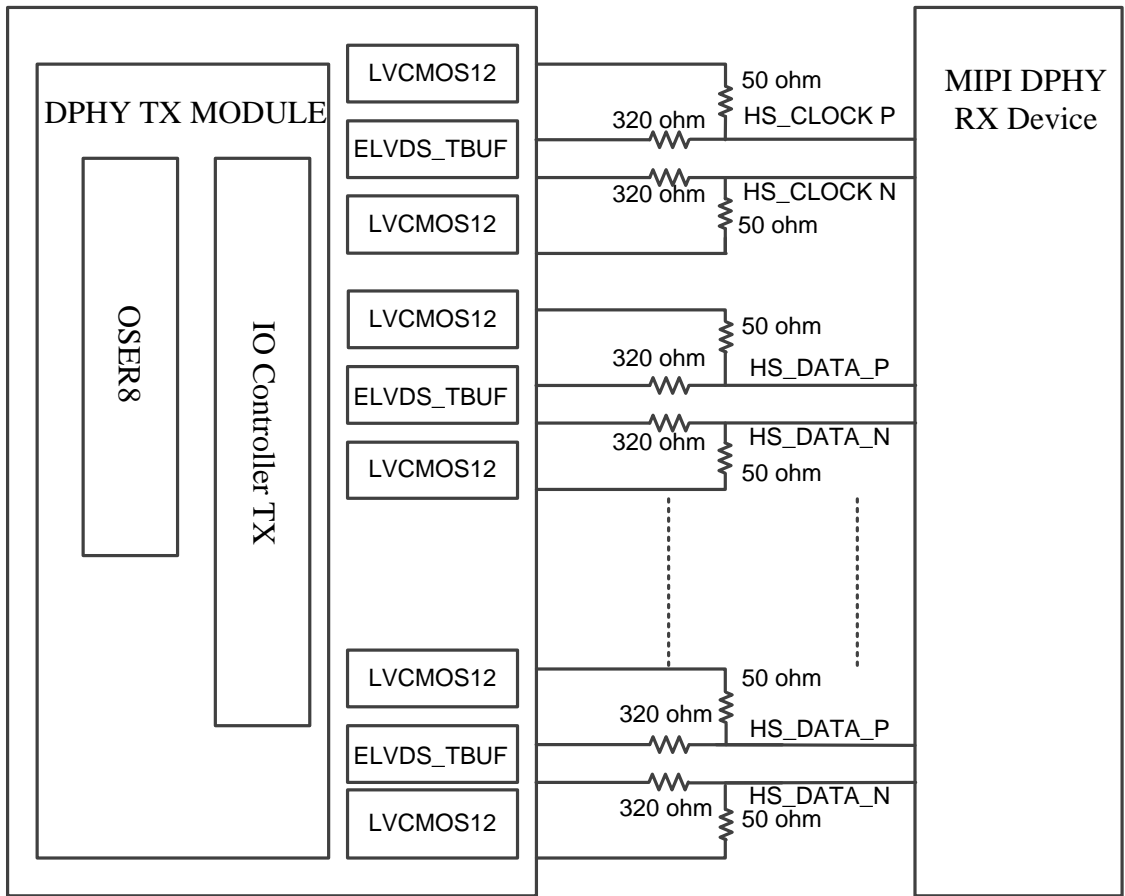
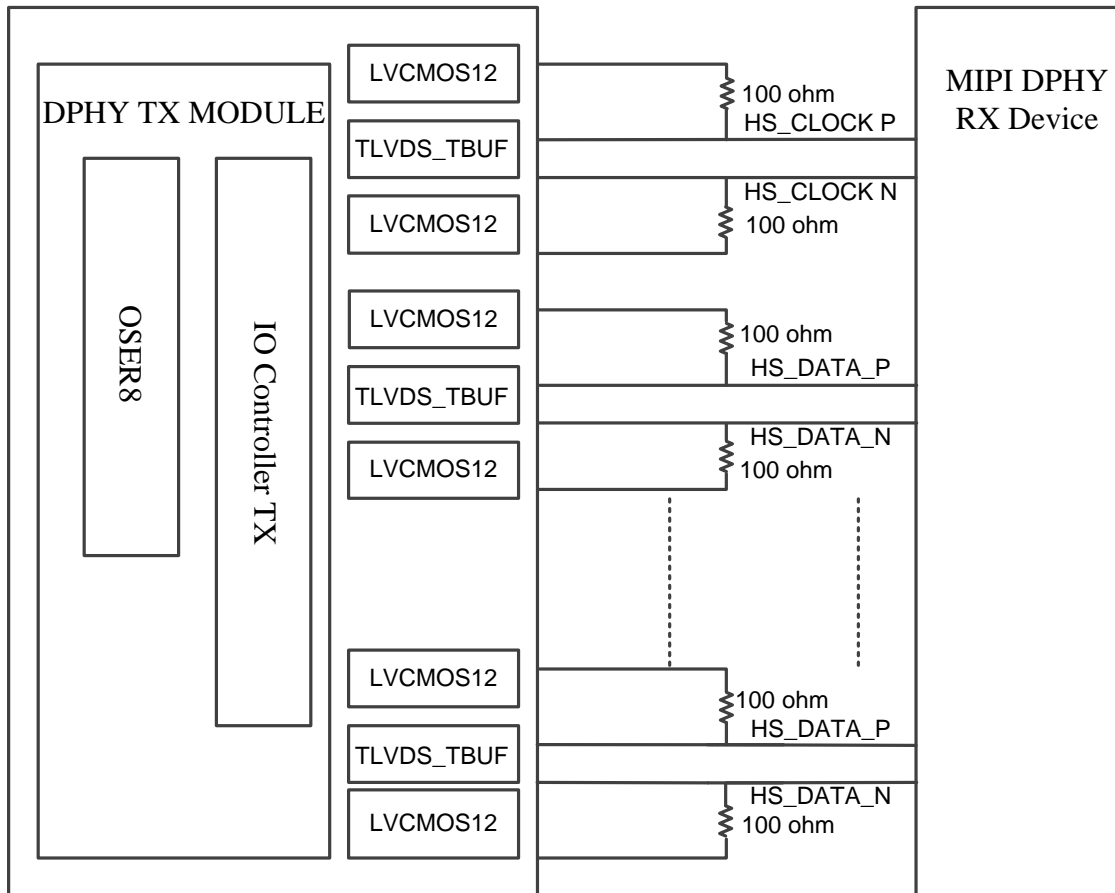


图 4-3 HS 模式和 LP 模式的接口实现，HS 采用 TLVDS



在 DPHY TX 模块中，HS 数据通过 OSER8/OSER16 进行并串转换。DPHY TX 输出数据为中心对齐方式，因此 HS 数据通道和时钟通道分别采用由 PLL 产生的相位为 0 度和 90 度的输出时钟信号。用户可选择使用外部 PLL 或内部 PLL 提供时钟。需要注意的是，FPGA 中的内部 PLL 需要一定时间来进行锁定。

IO\_Ctrol\_TX 模块控制 HS 和 LP 数据的传输：

- 当 `hs_clk_en` 和 `hs_data_en` 信号为高时，HS 模式下的时钟和数据通道使能。在 HS 模式中，通过 IO\_Ctrol\_TX 配置 CMOS 信号幅度较低，在 LVDS 的输出端建立一个分压网络，使得输出信号为 200mV 的共模电压；
- 当 `hs_clk_en` 或 `hs_data_en` 为低电平，会将相应 ELVDS IO 的输出设置为高阻态，不会干扰 LP 数据传输。因 MIPI 规范规定时钟通道进入（退出）HS 模式应先于（晚于）数据通道，所以设置了 `hs_clk_en` 控制信号和 `hs_data_en` 信号；

`lp_data_dir` 信号控制 LP 模式下的传输方向：

- 当 `hs*_en='1'` 时，需重写 `lp*_dir` 控制信号；
- 当处于 LP 模式下时，IO\_Ctrol\_TX 模块同样控制 LP 数据传输。`lp*_dir` 信号控制 LP 数据发送或接收的方向。将 LP 信号定义为两位宽度总线。通常情况下，信号 1 连接到 P 线端，信号 0 连接到 N 线端。此方法有助于与 LP 传输定义模式保持一致。

# 5 端口描述

## 5.1 MIPI DPHY RX 端口

有关 MIPI DPHY RX 的 IO 端口详情，如表 5-1 所示。

表 5-1 DPHY RX 的 IO 端口列表

信号	方向	描述
reset_n	Input	复位信号，低有效
HS_CLK	Input	高速时钟
HS_DATA<N>	Input	高速数据通道<N>
hs_en	Input	在下一个 HS-Ready 序列时初始化字对齐模块；
clk_byte	Output	Clock Byte = HS_CLK/4
data_out<n>	Output	通道<n>并行数据输出 MIPI D-PHY 模式为 1:8 时，位宽为 8 位； MIPI D-PHY 模式为 1:16 时，位宽为 16 位。
ready	Output	当并行数据对齐时为高电平
LP_CLK [1:0]	Bidirectional	LP 时钟通道； LP_CLK[1] = P wire, LPCLK[0] = N wire
LP_DATA<N> [1:0]	Bidirectional	LP 数据通道<N>; LP<N> [1] = P wire, LP<N> [0] = N wire
term_en	Input	控制 LP 信号在输出端的终端电阻，使输出为 0 时，并重写 lp_data_dir<n>控制信号
lp_clk_dir	Input	控制 LP 时钟方向 '0': LP 时钟接收 '1': LP 时钟发送
lp_data<n>_dir	Input	控制 LP 数据方向 '0': LP 数据接收 '1': LP 数据发送
lp_clk_out [1:0]	Output	LP 接收时钟 当 lp_clk_dir = '0' 且 term_en = '0' 时有效
lp_data<n>_out	Output	LP 接收数据

信号	方向	描述
[1:0]		当 lp_data<n>_dir = '0' 且 term_en = '0' 时有效
lp_clk_in [1:0]	Input	LP 发送时钟 当 lp_clk_dir = '1' 且 term_en = '0' 时有效
lp_data<n>_in [1:0]	Input	LP 发送数据 当 lp_data<n>_dir = '1' 且 term_en = '0' 时有效

## 5.2 MIPI DPHY TX 端口

有关 MIPI DPHY TX 的 IO 端口详情，如下表 5-2 所示。

表 5-2 DPHY TX 模块 IO 列表

信号	方向	描述
reset_n	Input	复位信号，低有效
HS_CLK	Output	高速时钟
HS_DATA<N>	Output	高速数据通道<N>
clk_byte	Input	Clock Byte = HS_CLK/4 采用内置 PLL 时的输入时钟
CLKOP	Input	采用外置 PLL 时的输入时钟，CLKOP 与 CLKOS 相位相差 90°，频率与 HS_CLK 相同；
CLKOS	Input	
sclk	Output	TX 内部时钟输出，一般用于采样 data_in。
data_in<n>	Input	通道<n>并行数据输入； MIPI D-PHY 模式为 8:1 时，位宽为 8 位； MIPI D-PHY 模式为 16:1 时，位宽为 16 位。
LP_CLK [1:0]	Bidirectional	LP 时钟通道； LPCLK[1] = P wire, LPCLK[0] = N wire
LP_DATA<N> [1:0]	Bidirectional	LP 数据通道<N>； LP<N> [1] = P wire, LP<N> [0] = N wire
hs_clk_en	Input	使能 HS 时钟的输出端，使 LP_CLK 信号为 0，并重写 lp_clk_dir 信号
hs_data_en	Input	使能 HS 时钟的输出端，使 LP_DATA<N> 信号为 0，并重写 lp_data<n>_dir 信号
lp_clk_dir	Input	控制 LP 时钟方向 '0': LP 时钟接收 '1': LP 时钟发送
lp_data<n>_dir	Input	控制 LP 数据方向 '0': LP 数据接收 '1': LP 数据发送
lp_clk_out [1:0]	Input	LP 发送时钟 当 lp_clk_dir = '1' 且 hs_clk_en = '0' 时有效，TX 中无终端电阻

信号	方向	描述
lp_data<n>_out [1:0]	Input	LP 发送数据 当 lp_data<n>_dir = '1' 且 hs_data_en = '0'时有效;
lp_clk_in [1:0]	Output	LP 接收时钟 当 lp_clk_dir = '0' 且 hs_clk_en = '0'时有效, TX 中无终端电阻
lp_data<n>_in [1:0]	Output	LP 接收数据 当 lp_data<n>_dir = '0' 且 hs_clk_en = '0'时有效,

# 6 时序说明

本节旨在介绍 MIPI DPHY RX 和 TX 在 HS 模式下输入信号的时序情况。

在实际应用中, RX 和 TX 可互相连接, 即: RX 的输出作为 TX 的输入, TX 的输出可作为 RX 的输入。因此, 在以下说明中, 仅给出 RX 和 TX 的输入信号的时序情况。

## 6.1 RX 输入信号时序

MIPI DPHY RX 在 HS 1:8 模式下的时钟与数据通道信号时序示意图如图 5-1 所示。

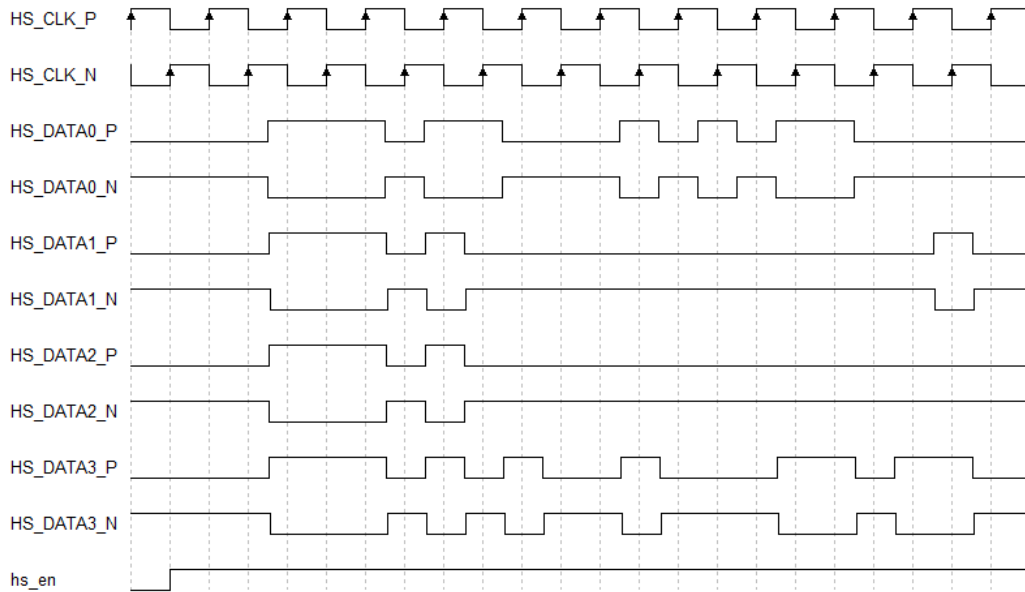
在示意图中, 使用 1 个时钟通道(HS\_CLK)和 4 个数据通道(HS\_DATA0、HS\_DATA1、HS\_DATA2 和 HS\_DATA3)。其中, 时钟通道与数据通道均是差分信号输入。在 HS 模式下, 在发送图像数据时, 时钟与数据中心对齐。须在接收 HS\_DATA 数据前, 将 hs\_en 信号设置为高电平。

MIPI DPHY RX 在 HS 1:16 模式下的信号时序与 1:8 模式类似。

注!

- RX 转换后的数据位宽为 16bit (2byte);
- RX 会将先接收的数据放置于低 8 位 (低字节)。

图 6-1 MIPI DPHY RX 在 HS 1:8 模式下输入信号时序



## 6.2 TX 输入信号时序

MIPI DPHY TX 在 HS 模式下的时钟与数据通道信号时序示意图如图 6-2 所示。

在使用 TX 时：

- 若配置使用内部 PLL，需提供时钟 `clk_byte`（频率为 `HS_CLK` 的 1/4）；
- 若不配置内部 PLL，则需提供两个相位差为 90° 的时钟 `CLKOP` 与 `CLKOS`。（`CLKOP`、`CLKOS` 与 `HS_CLK` 同频）

在图 6-2 中，采用 8:1 模式，配有 1 个时钟通道（`HS_CLK`）和 4 个数据通道（`data_in0`、`data_in1`、`data_in2` 和 `data_in3`）。须在接收 `data_in` 数据前，将 `hs_clk_en` 与 `hs_data_en` 信号设置为高电平。

在图 6-3 中，采用 16:1 模式，时序与 8:1 模式类似。在 16:1 模式中，每个周期转换 16bit（2 个字节）数据，低 8 位（低字节）数据将优先发送，因此数据包头 B8 位于第一个数据的低 8 位。

图 6-2 MIPI DPHY TX 在 HS 1:8 模式下输入信号时序

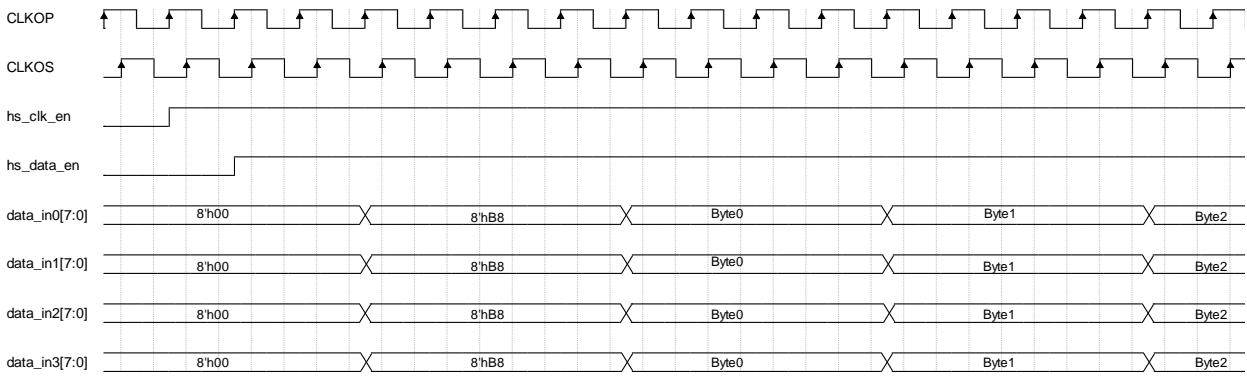
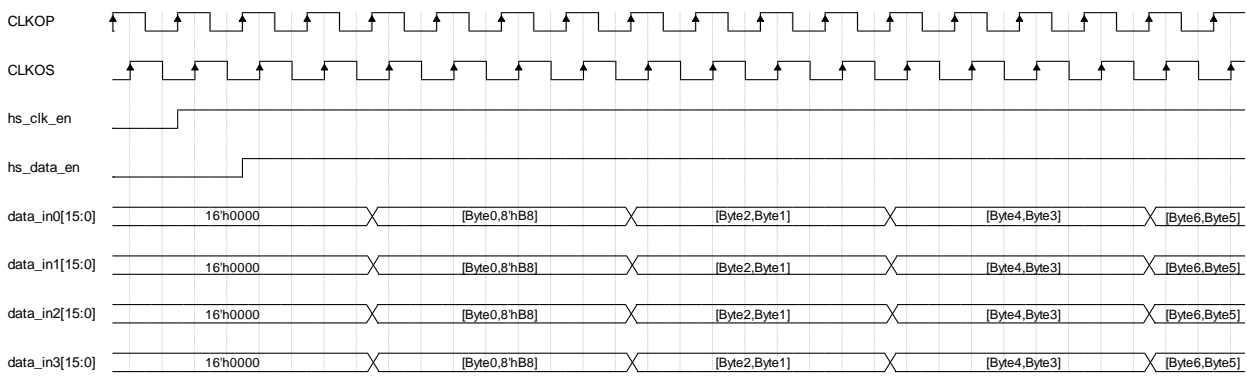


图 6-3 MIPI DPHY TX 在 HS 1:16 模式下输入信号时序





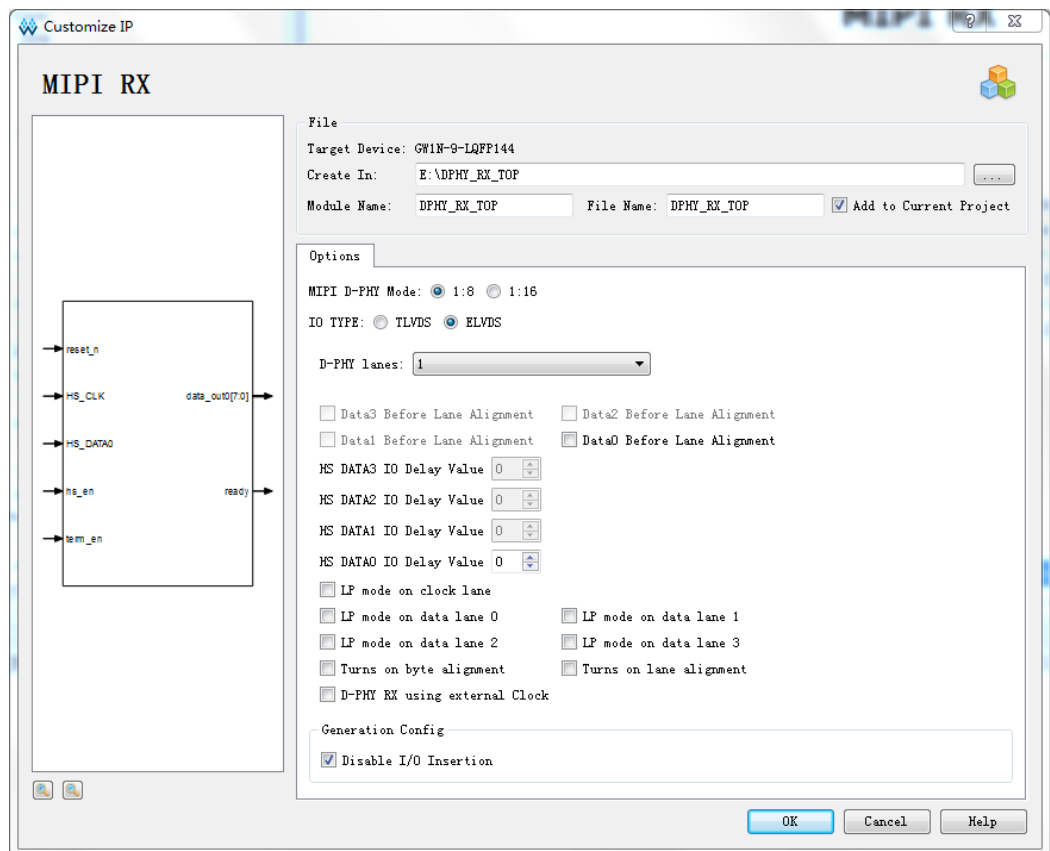
# 7 MIPI DPHY RX/TX 配置及调用

在高云云源软件界面菜单栏 Tools 下，可启动 IP Core Generator 工具，完成调用并配置 MIPI DPHY RX 或 MIPI DPHY TX。

## 7.1 MIPI DPHY RX 配置

MIPI DPHY RX 配置界面如图 7-1 所示。

图 7-1 MIPI DPHY RX 配置页面



1. 可通过修改 File Name，配置产生 MIPI DPHY RX 文件名称；
2. 可通过修改 Module Name，配置产生的 MIPI DPHY RX 顶层模块名称；

3. 可通过配置 Options 选项，配置 HS 数据通道数量，配置 LP 模式下时钟和数据通道及确定是否使用 byte alignment 或 lane alignment 等，各选项配置如表 7-1 所示；
4. 默认配置下，只包含 1 个 HS 时钟通道和 1 个 HS 数据通道。

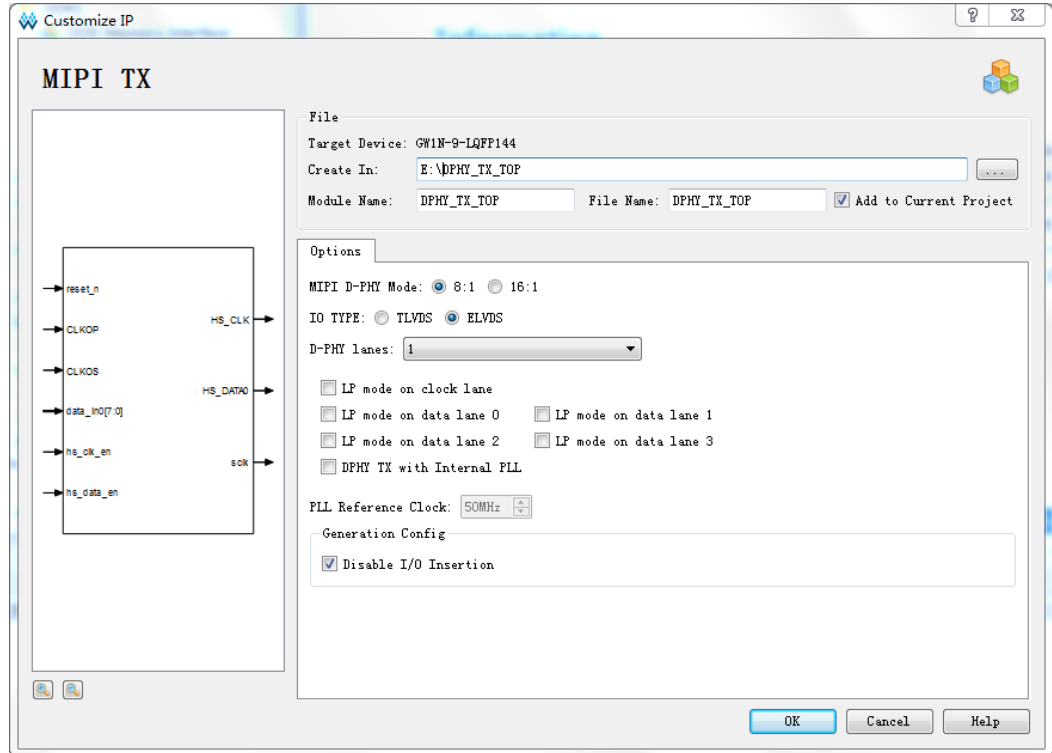
表 7-1 MIPI DPHY RX 的 Options 选项配置

选项	描述
D-PHY lanes	1: HS 数据通道数，生成 1 个数据通道 HS_DATA0；
	2: HS 数据通道数，生成 2 个数据通道 HS_DATA0 与 HS_DATA1；
	3: HS 数据通道数，生成 3 个数据通道 HS_DATA0、HS_DATA1 与 HS_DATA2；
	4: HS 数据通道数，生成 4 个数据通道 HS_DATA0、HS_DATA1、HS_DATA2 与 HS_DATA3；
MIPI D-PHY Mode	选择数据传输比例模式为 1:8 或 1:16；
IO TYPE	选择 HS Lane 端口使用 ELVDS 或 TLVDS；
Data3/2/1/0 Before Lane Alignment	选择是否产生数据端口，输出进入 lane alignment 模块之前的数据；各 HS Lane 可分别选择；
HS Data3/2/1/0 IO Delay Value	配置 HS Lane 端口的 IO Delay 数值；各 HS Lane 可分别配置；
LP mode on clock lane	配置 LP 模式下的时钟通道，生成 LP_CLK[1:0]及其它 IO 端口；
LP mode on data lane0	配置 LP 模式下的数据通道 0，生成 LP_DATA0[1:0]及其它 IO 端口；
LP mode on data lane1	配置 LP 模式下的数据通道 1，生成 LP_DATA1[1:0]及其它 IO 端口；
LP mode on data lane2	配置 LP 模式下的数据通道 2，生成 LP_DATA2[1:0]及其它 IO 端口；
LP mode on data lane3	配置 LP 模式下的数据通道 3，生成 LP_DATA3[1:0]及其它 IO 端口；
Turns on byte alignment	配置此选项则启用 byte alignment 模块，用于对齐通道内完成排序后的字节；
Turns on lane alignment	配置此选项则启用 lane alignment 模块，用于对齐不同的数据通道；
D-PHY RX using cross external Clock	配置此选项后，RX 模块会采用外部时钟(clk_byte).，数据 data_out0/1/2/3 将在 clk_byte 时钟下对齐。

## 7.2 MIPI DPHY TX 配置

MIPI DPHY TX 配置界面如图 7-2 所示。

图 7-2 MIPI DPHY TX 配置页面



1. 可通过修改 File Name，配置产生的 MIPI DPHY TX 文件名称；
2. 可通过修改 Module Name，配置产生的 MIPI DPHY TX 顶层模块名称；
3. 可通过配置 Options 选项，配置 HS 数据通道数量，配置 LP 模式下时钟和数据通道及确定是否使用内部 PLL 等，各选项配置如表 7-2 所示；
4. 默认配置下，只包含 1 个 HS 时钟通道和 1 个 HS 数据通道。

表 7-2 MIPI DPHY TX 的 Options 选项配置

选项	描述
D-PHY lanes	1: HS 数据通道数，生成 1 个数据通道 HS_DATA0；
	2: HS 数据通道数，生成 2 个数据通道 HS_DATA0 与 HS_DATA1；
	3: HS 数据通道数，生成 3 个数据通道 HS_DATA0、HS_DATA1 与 HS_DATA2；
	4: HS 数据通道数，生成 4 个数据通道 HS_DATA0、HS_DATA1、HS_DATA2 与 HS_DATA3；
MIPI D-PHY Mode	选择数据传输比例模式为 1:8 或 1:16。
IO TYPE	选择 HS Lane 端口使用 ELVDS 或 TLVDS。
LP mode on clock lane	配置 LP 模式下的时钟通道，生成 LP_CLK[1:0]及其它 IO 端口；
LP mode on data lane0	配置 LP 模式下的数据通道 0，生成 LP_DATA0[1:0]及其它 IO 端口；

选项	描述
LP mode on data lane1	配置 LP 模式下的数据通道 1，生成 LP_DATA1[1:0]及其它 IO 端口；
LP mode on data lane2	配置 LP 模式下的数据通道 2，生成 LP_DATA2[1:0]及其它 IO 端口；
LP mode on data lane3	配置 LP 模式下的数据通道 3，生成 LP_DATA3[1:0]及其它 IO 端口；
D-PHY TX with Internal PLL	配置此选项后，TX 模块将使用内部 PLL，内部 PLL 会产生具有 90° 相位差的两个时钟信号。

# 8 参考设计

本节主要介绍 MIPI 的参考设计实例的搭建及其使用方法。MIPI DPHY 的设计实例基本结构如图 8-1 所示，采用 MIPI D-PHY 1:8 模式在设计实例中主要构建有两个模块，分别为“Example DPHY RX”和“Example DPHY TX”。

在本设计实例中，其运行步骤如下所示：

1. DPHY RX 接收 MIPI 格式数据，将该数据转换为 RGB888 格式的像素数据；
2. 通过 DPHY TX 转换后输出。

RGB888 数据格式如表 8-1 所示。

在设计实例中，用户可在两个模块间，添加其他用户设计，如图中的 User Design。

在参考设计中，MIPI DPHY RX 与 TX 均采用四路数据通道，其中

1. DPHY RX 采用 Word Aligner 对齐，未使用 Lane Aligner 对齐；
2. DPHY TX 采用外部时钟，未配置内部 PLL。

图 8-1 MIPI 参考设计实例结构

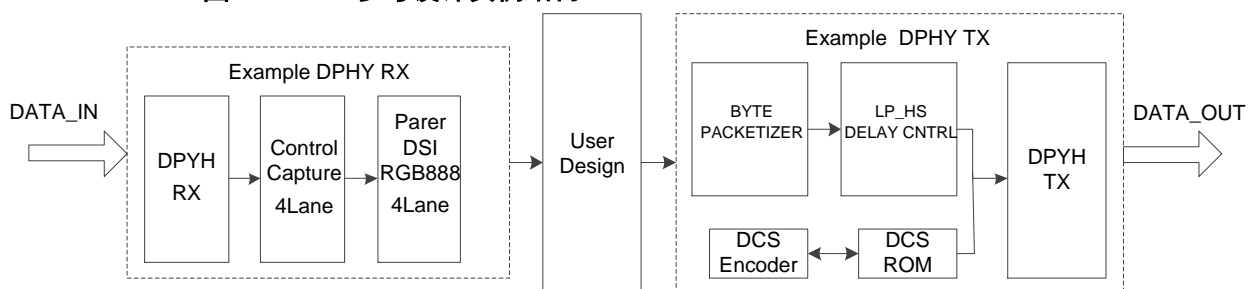


表 8-1 RGB888 数据格式

Data Type	Format
RGB888	PIXDATA= { R[7:0],G[7:0],B[7:0] }

## 8.1 Example DPHY RX

该部分参考设计实现外部数据的接收，对数据进行字节对齐后，将其转换为 RGB888 格式像素数据。顶层模块为 DSI2RGB888\_TOP，基本结构如图 8-2 所示，端口定义请参见表 8-2，各部分模块功能如下：

- MIPI DPHY RX：实现数据的串并转换，并将数据进行对齐处理；
- Control Capture 4Lane：提取数据中的打包信息，判断数据包头，数据类型等，并控制 VSYNC 和 HSYNC 等信号的输出；
- Parser DSI RGB888 4Lane：将 MIPI 字节数据转换为像素数据（Pixel Data），在此设计实例中，将 MIPI 字节数据转换为 RGB888 格式的像素数据；
- GW\_PLL：提供像素时钟，并产生 CLKOP 与 CLKOS 时钟。

图 8-2 Example DPHY RX 结构示意图

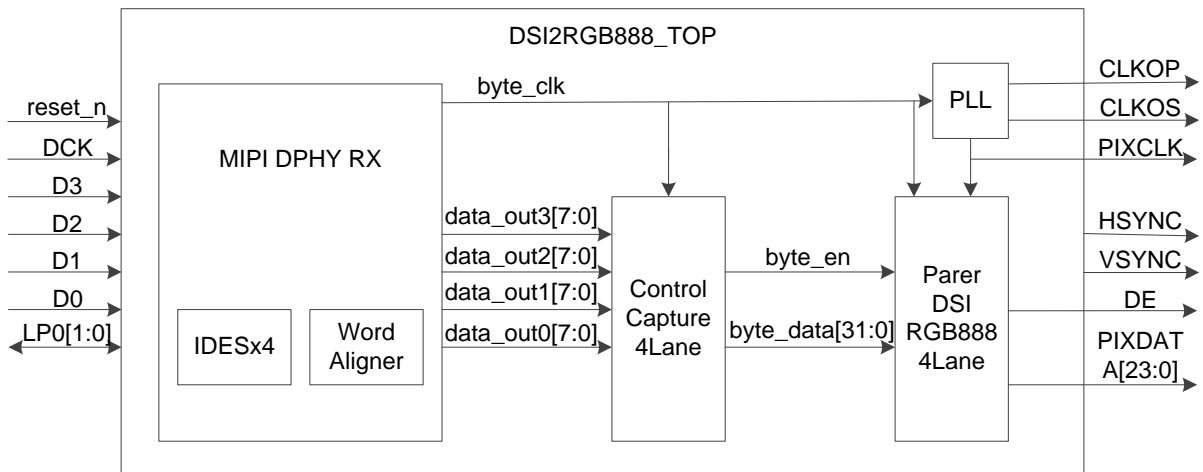


表 8-2 Example DPHY RX 端口定义

信号	方向	描述
reset_n	Input	复位信号，低有效
DCK	Input	高速时钟 HS_CLK
D3	Input	高速数据通道 3，HS_DATA3
D2	Input	高速数据通道 2，HS_DATA2
D1	Input	高速数据通道 1，HS_DATA1
D0	Input	高速数据通道 0，HS_DATA0
LP0[1:0]	Bidirectional	LP 数据通道 0，用于产生控制信号；
PIXCLK_adj	Output	像素数据时钟；
PIXDATA[23:0]	Output	像素数据；
DE	Output	像素数据使能信号；
HSYNC	Output	水平同步信号，Horizontal Sync Signal
VSYNC	Output	垂直同步信号，Vertical Sync Signal
CLKOP	Output	与 HSCLK 时钟同频；
CLKOS	Output	与 HSCLK 时钟同频，与 CLKOP 相位差 90°；
byte_clk	Output	字节数据时钟

## 8.2 Example DPHY TX

该部分参考设计将 RGB888 格式像素数据转换为 MIPI 字节格式后，对数据进行打包并进行并串转换输出。顶层模块为 RGB8882DSI\_TOP，基本结构如图 8-3 所示，端口定义见表 8-3，各部分模块功能如下：

- **byte\_packetizer**: 将像素数据转换为字节数据包，并在字节数据包中添加数据包头，校验位和数据包结尾 (EoTp End of Transfer Packet)；
- **LP HS DELAY CNTRL**: 在进入或退出 HS 模式时，控制时钟通道与数据通道之间的延迟，控制在 HS 模式下，HS 数据输出延迟；
- **MIPI DPHY TX**: 实现数据的并串转换；
- **DCS Encoder**: 将 8bit 数据转换为 2bit 的 LP 数据；
- **DCS ROM**: ROM 控制器，产生用于控制和初始化显示器的 DCS (Display Command Set) 命令。

图 8-3 Example DPHY TX 结构示意图

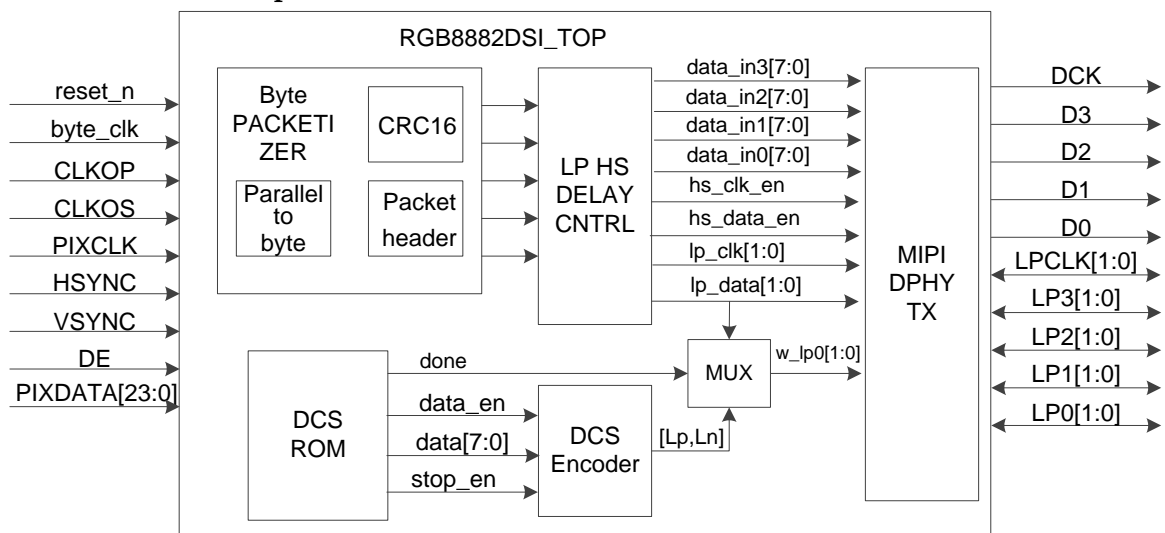


表 8-3 Example DPHY TX 端口定义

信号	方向	描述
reset_n	Input	复位信号，低有效
PIXCLK_adj	Input	像素数据时钟
PIXDATA[23:0]	Input	像素数据
DE	Input	像素数据使能信号
HSYNC	Input	水平同步信号，Horizontal Sync Signal
VSYNC	Input	垂直同步信号，Vertical Sync Signal
CLKOP	Input	与 HSCLK 时钟同频
CLKOS	Input	与 HSCLK 时钟同频，与 CLKOP 相位差 90°
byte_clk	Input	字节数据时钟
DCK	Output	高速时钟 HS_CLK
D3	Output	高速数据通道 3，HS_DATA3
D2	Output	高速数据通道 2，HS_DATA2

信号	方向	描述
D1	Output	高速数据通道 1, HS_DATA1
D0	Output	高速数据通道 0, HS_DATA0
LPCLK[1:0]	Bidirectional	LP 时钟据, LP_CLK
LP3[1:0]	Bidirectional	LP 数据通道 3, LP_DATA3
LP2[1:0]	Bidirectional	LP 数据通道 2, LP_DATA2
LP1[1:0]	Bidirectional	LP 数据通道 1, LP_DATA1
LP0[1:0]	Bidirectional	LP 数据通道 0, LP_DATA0

## 8.3 设计实例应用

利用该设计实例能够快速验证 DPHY 的功能。当该参考设计应用于板级测试时，用户需为参考设计提供合适的激励，信号的观测可配合在线逻辑分析仪或示波器进行。

MIPI DPHY 的端口的外部连接应满足 LVDS 电气特性要求，应匹配相应的电阻网络。电阻网络可参考图 4-1 或图 4-2 中的结构。高云可提供 MIPI 测试评估板，便于用户进行快捷开发与应用测试。

图 8-4 GW1N-4 MIPI 测试评估板

