



Gowin SDRAM 控制器 用户指南

IPUG279-1.3,2017-11-08

版权所有© 2017 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2017/3/23	1.0	初始版本。
2017/4/21	1.1	增加 GW1NR-4 器件相关描述。
2017/9/14	1.2	更新原语描述。
2017/11/08	1.3	更新 6.1 节，新增关于如何使用内嵌 SDRAM 控制器相关内容。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语	2
1.5 技术支持与反馈	2
2 功能简介	3
2.1 概述	3
2.2 特性	3
2.2.1 外挂型 SDRAM 控制器	3
2.2.2 内嵌型 SDRAM 控制器	4
3 信号定义	5
3.1 概述	5
3.2 SDRAM 侧信号	6
3.3 用户侧信号	7
4 控制器 GUI 参数	8
4.1 概述	8
4.2 外挂 SDRAM GUI 参数	8
5 工作原理	10
5.1 概述	10
5.2 实现框图	10
5.3 SDRAM 命令	10
5.4 初始化	11
5.5 刷新	11

5.6 读操作	11
5.7 写操作	12
5.8 工作流程	12
5.8.1 读写流程	12
5.8.2 初始化流程.....	14
5.8.3 自刷新流程.....	15
5.8.4 Power-down 流程	16
6 应用举例	17
6.1 概述.....	17
6.2 应用介绍	17
6.3 内嵌型举例.....	19
6.3.1 打开工程	19
6.3.2 调用 SDRAM Controller	19
6.3.3 例化 SDRAM Controller	21
6.3.4 生成 bitstream 文件.....	21
6.4 外挂型举例	22
6.4.1 打开工程	22
6.4.2 调用 SDRAM Controller	22
6.4.3 例化 SDRAM Controller	24
6.4.4 生成 bitstream 文件.....	25
7 接口时序	26
7.1 概述.....	26
7.2 用户侧接口时序	26
7.2.1 用户侧接口读操作	26
7.2.2 用户侧接口写操作.....	27
7.3 SDRAM 接口时序	27
7.3.1 SDRAM 初始化.....	27
7.3.2 SDRAM 读操作.....	28
7.3.3 SDRAM 写操作.....	28
7.3.4 SDRAM 自动刷新	28
8 性能参考	29

图目录

图 3-1 系统框图	5
图 5-1 实现框图	10
图 5-2 读写工作流程	12
图 5-3 初始化流程图	14
图 5-4 自刷新流程图	15
图 5-5 Power-down 流程图	16
图 6-1 应用框图	18
图 6-2 打开工程	19
图 6-3 IP Core Generator 界面	20
图 6-4 SDRAM Controller 界面	20
图 6-5 例化 SDRAM_controller_top_SIP	21
图 6-6 打开工程	22
图 6-7 IP Core Generator 界面	23
图 6-8 SDRAM Controller 界面	24
图 6-9 例化 SDRAM_controller_top_SIP	25
图 7-1 用户侧接口读操作	26
图 7-2 用户侧接口写操作	27
图 7-3 SDRAM 初始化	27
图 7-4 SDRAM 读操作	28
图 7-5 SDRAM 写操作	28
图 7-6 SDRAM 自动刷新	28

表目录

表 1-1 术语、缩略语	2
表 3-1 SDRAM 侧信号定义	6
表 3-2 用户侧信号定义	7
表 4-1 接口参数	8
表 4-2 时延参数	9
表 5-1 SDRAM 命令定义	11
表 8-1 SDRAM 性能参考	29

1 关于本手册

1.1 手册内容

SDRAM 控制器用户手册主要内容包括功能特点、整体框图、工作原理、信号定义、参数介绍、GUI 调用、接口时序等。主要用于帮助用户快速了解高云半导体 SDRAM 控制器的产品特性、特点及使用方法。

1.2 适用产品

本手册中描述的信息适用于以下产品：

1. GW1N 系列 FPGA 产品：GW1N-4
2. GW1NR 系列 FPGA 产品：GW1NR-4
3. GW2A 系列 FPGA 产品：GW2A-18
4. GW2AR 系列 FPGA 产品：GW2AR-18

1.3 相关文档

通过登录高云半导体网站 <http://www.gowinsemi.com.cn> 可以下载、查看以下相关文档：

1. GW1N 系列 FPGA 产品数据手册
2. GW1NR 系列 FPGA 产品数据手册
3. GW2A 系列 FPGA 产品数据手册
4. GW2AR 系列 FPGA 产品数据手册
5. Gowin 云源软件用户指南

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
SDRAM	Synchronous Dynamic Random Access Memory	同步动态随机存储器
I/O	Input/Output	输入/输出
CL	CAS latency	数据输出潜伏期值
tRP	PRECHARGE command period	预充电延时
tRFC	AUTO REFRESH period	自动刷新延时
tMRD	LOAD MODE REGISTER command to ACTIVE or REFRESH command period	加载模式寄存器延时
tRCD	ACTIVE-to-READ or WRITE delay	激活到读写延时
tWR	WRITE recovery time	写恢复延时

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：<http://www.gowinsemi.com.cn>

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 功能简介

2.1 概述

SDRAM 存储器因其具有很好的性价比而得到广泛应用，但 SDRAM 有比较严格的时序要求，逻辑控制比较复杂，需要有一个专门控制器来实现初始化、数据读写、刷新、预充电等操作。

SDRAM 控制器可以更好地服务 FPGA 用户，降低用户的系统开发难度，提高用户产品开发速度。SDRAM 控制器位于 SDRAM 存储器和用户逻辑之间，具有友好的用户操作接口，可实现 SDRAM 数据读写操作。

Gowin 云源软件针对不同器件集成了两种 SDRAM 控制器。一种是外挂型 SDRAM 控制器，主要针对 GW1N-4、GW2A-18 等器件，该类型控制器需要根据外挂 SDRAM 存储芯片的具体参数进行设置。一种是内嵌型 SDRAM 控制器，主要针对 GW2AR-18、GW1NR-4 等型号器件，该类型控制器不需要参数设置，直接生成 IP 即可使用。

SDRAM 控制器可通过 Gowin 云源软件进行调用、参数配置、综合和布局布线等一系列操作，可适用于 GW1N 系列、GW1NR 系列、GW2A 系列、GW2AR 系列 FPGA 产品。

2.2 特性

2.2.1 外挂型 SDRAM 控制器

- 可配置 SDRAM 数据、地址、行列等位宽
- 可配置 SDRAM 刷新时间、刷新次数等参数
- 可配置 SDRAM 的时序参数
- 可配置 SDRAM 工作时钟周期
- 支持 SDRAM 1~Page 长度范围内任意长度的读写操作
- 支持 SDRAM 控制器自动刷新功能
- 支持自刷新功能
- 支持 Power-down 功能

- 支持业界标准的 SDRAM 存储器
- 完全可综合。

2.2.2 内嵌型 SDRAM 控制器

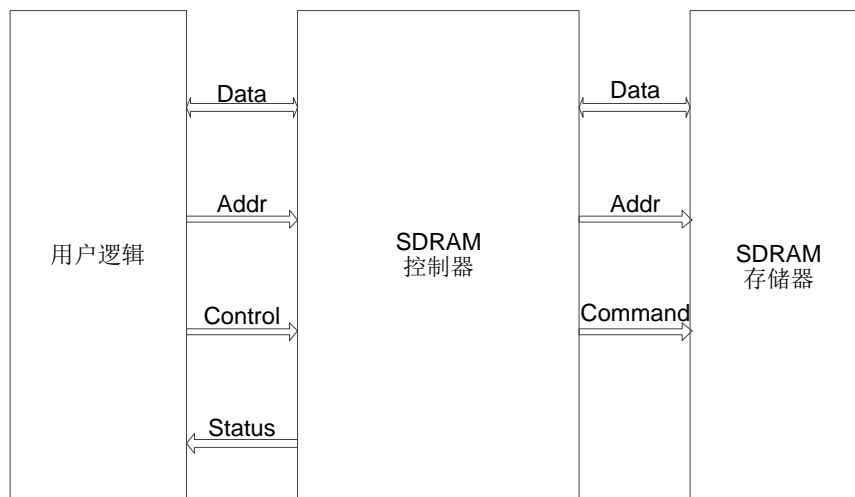
- 显示 SDRAM 接口参数值和时序参数值
- 支持 SDRAM 1~Page 长度范围内任意长度的读写操作
- 支持 SDRAM 控制器自动刷新功能
- 支持自刷新功能
- 支持 Power-down 功能
- 支持业界标准的 SDRAM 存储器
- 完全可综合
- GW1NR-4 器件支持 32bit 数据位宽及 16bit 数据位宽两种内嵌型控制器

3 信号定义

3.1 概述

SDRAM 控制器位于 SDRAM 存储器 and 用户逻辑之间，如图 3-1 所示，用户逻辑侧主要包括数据、地址、控制、状态等交互信号，SDRAM 存储器侧包括数据、地址、命令信号。

图 3-1 系统框图



3.2 SDRAM 侧信号

表 3-1 SDRAM 侧信号定义

序号	信号名称	方向	描述	备注
1	O_sdram_clk	I	时钟	所有信号输入输出方向均以 SDRAM 存储器为参考
2	O_sdram_cke	I	时钟使能	
3	O_sdram_cs_n	I	片选	
4	O_sdram_cas_n	I	列地址选通	
5	O_sdram_ras_n	I	行地址选通	
6	O_sdram_wen_n	I	写使能	
7	O_sdram_dqm	I	数据掩码控制	
8	O_sdram_addr	I	地址	
9	O_sdram_ba	I	Bank 地址	
10	IO_sdram_dq	I/O	数据	

3.3 用户侧信号

表 3-2 用户侧信号定义

序号	信号名称	方向	描述	备注
1	I_sdrdc_rst_n	I	复位信号，低有效	所有信号输入输出方向均以控制器为参考
2	I_sdrdc_clk	I	控制器工作时钟	
3	I_sdrdc_clk	I	SDRAM 存储器工作时钟	
4	I_sdrdc_selfrefresh	I	自刷新控制 1: 自刷新使能 0: 自刷新关闭	
5	I_sdrdc_power_down	I	低功耗控制 1: 低功耗开启 0: 低功耗关闭	
6	I_sdrdc_wr_n	I	写使能 低电平有效, 脉冲宽度 1 个时钟周期	
7	I_sdrdc_rd_n	I	读使能 低电平有效, 脉冲宽度 1 个时钟周期	
8	I_sdrdc_addr	I	地址	
9	I_sdrdc_dqm	I	数据掩码控制	
10	I_sdrdc_data_len	I	读写数据长度 以 I_sdrdc_data_len[7:0] 为例, 端口输入范围 0~255, 对应读写有效长度范围 1~256, 其他情况以此类推	
11	I_sdrdc_data	I	写数据	
12	O_sdrdc_data	O	读数据	
13	O_sdrdc_init_done	O	上电初始化指示 1: 已完成 0: 未完成	
14	O_sdrdc_busy_n	O	控制器空闲指示 空闲时用户逻辑可发起读写操作 1: 空闲 0: 忙	
15	O_sdrdc_rd_valid	O	读数据有效指示, 高电平有效, 与有效数据对齐	
16	O_sdrdc_wrd_ack	O	读写请求响应, 高电平有效 控制器接收到读写请求后, 延迟 2 个时钟后送出该信号, 1 个时钟周期宽度	

4 控制器 GUI 参数

4.1 概述

SDRAM 控制器 GUI 界面参数主要用来设置 SDRAM 存储器接口数据、地址等宽度及 SDRAM 控制器的 Timing 值。

对于外挂型 SDRAM 控制器参数可根据具体外挂 SDRAM 芯片的具体参数在 Gowin 云源软件 IP 调用界面进行设置。

对于内嵌型 SDRAM 控制器, 由于 SDRAM 存储器内嵌于 FPGA 器件内部, 芯片参数固定, 所以 GUI 界面无需配置参数。

4.2 外挂 SDRAM GUI 参数

表 4-1 接口参数

序号	参数名称	允许范围	默认值	描述
1	Data Width	8/16/32/64	32	SDRAM 的数据总线宽度
2	Bank Width	1/2	2	SDRAM 的 BANK 地址宽度
3	Row Width	11/12/13/14	11	SDRAM 行地址宽度
4	Column Width	8/9/10/11/12	8	SDRAM 列地址宽度

表 4-2 时延参数

序号	参数名称	范围	默认值	描述	备注
1	Clock Period	$\geq 4, \leq 100$	10	SDRAM 控制器工作时钟周期, 单位 ns	用于自动刷新
2	Refresh Period	≥ 1	64000000	SDRAM 存储器自动刷新周期, 单位 ns	具体值需要根据具体芯片参数确定
3	Refresh Times	≥ 1	4096	SDRAM 存储器自动刷新次数	
4	CL Period	1/2/3	3	数据输出潜伏期值	
5	tRP Period	≥ 1	3	预充电延时	具体值需要根据具体芯片参数确定; 数值为控制器工作时钟个数
6	tRFC Period	≥ 1	9	自动刷新延时	
7	tMRD Period	≥ 1	3	加载模式寄存器延时	
8	tRCD Period	≥ 1	3	激活到读写延时	
9	tWR Period	≥ 1	3	写恢复延时	

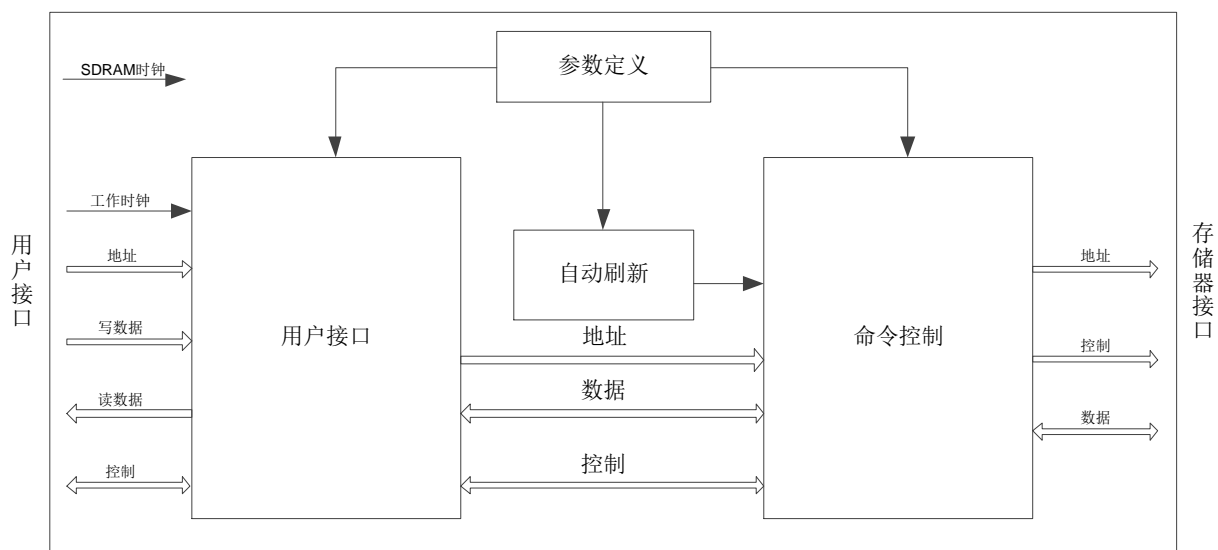
5 工作原理

5.1 概述

SDRAM 控制器包括参数定义、自动刷新、用户接口和命令控制，通过模块间的相互协作实现自动刷新、数据读写等功能。

5.2 实现框图

图 5-1 实现框图



5.3 SDRAM 命令

常用 SDRAM 命令主要包括空操作、激活、读操作、写操作、预充电、自动刷新、配置模式寄存器等，详细操作项和定义如表 5-1 所示。

表 5-1 SDRAM 命令定义

命令名称	CS	RAS	CAS	WE
命令禁止	H	X	X	X
空操作	L	H	H	H
激活	L	L	H	H
读	L	H	L	H
写	L	H	L	L
突发中断	L	H	H	L
预充电	L	L	H	L
自动刷新或自刷新	L	L	L	H
配置模式寄存器	L	L	L	L
写使能	X	X	X	X
写禁止	X	X	X	X

注!

- X: 不关心; L: 低电平; H: 高电平
- CS: 片选; RAS: 行选通; CAS: 列选通; WE: 使能

5.4 初始化

SDRAM 存储器每次上电时都需要 SDRAM 控制器先对其进行初始化。当 SDRAM 存储芯片的 VDD、VDDQ（同时）和时钟稳定后，在发送除禁止或空操作指令以外的指令前 SDRAM 需要最小 100us 延迟等待时间；然后再执行至少两个自动刷新周期；自动刷新周期完成后，再对模式寄存器进行参数配置；在参数配置到模式寄存器之后，再等待 tMRD 延时后 SDRAM 就开始进入正常的工作状态。

5.5 刷新

SDRAM 刷新包括自刷新和自动刷新模式。

- 自刷新操作：在发送自刷新指令时设置 CKE 信号为低电平，则 SDRAM 存储器进行自刷新模式，SDRAM 存储器通过自身刷新进行数据保持。若要退出自刷新模式，可在发送自刷新指令时设置 CKE 信号为高电平。
- 自动刷新操作：根据芯片自动刷新参数，SDRAM 控制器会周期发送自动刷新指令来触发 SDRAM 存储器进行刷新维持数据保持。

5.6 读操作

初始化完成后，若要对一个 Bank 中的阵列进行寻址，就要先确定行，使之处于激活状态，然后再确定列。

具体流程如下：

1. 激活要读取数据对应 Bank 的行地址；

2. 延迟 t_{RCD} 时间后发送读命令，同时写入对应的列地址；
3. SDRAM 存储器经过 CL 后开始输出数据；
4. 读完数据后对读取的对应 Bank（或所有 Bank）进行预充电操作，充电结束后等待 t_{RP} 时间后可进行其他操作。

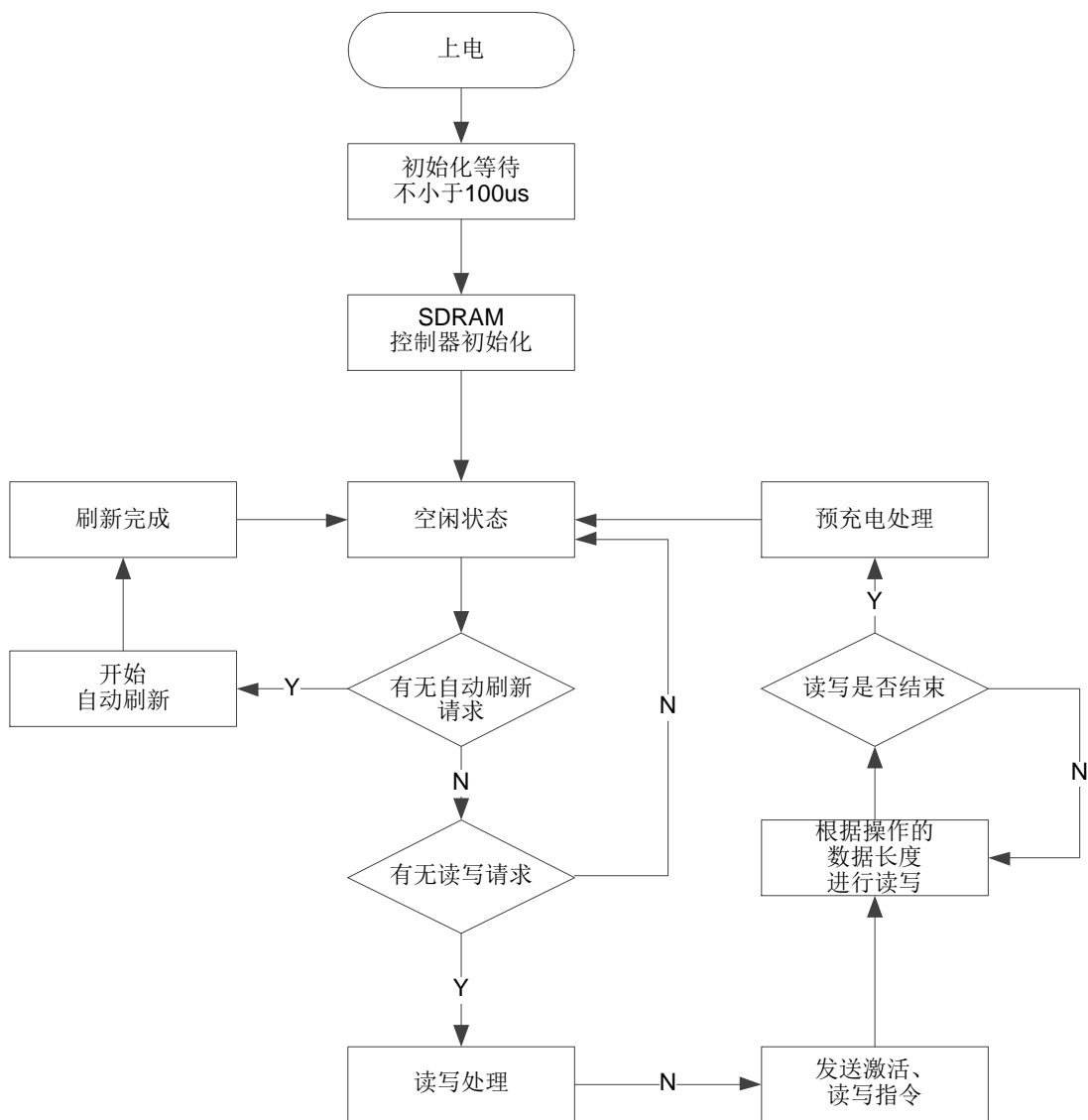
5.7 写操作

写操作流程与读操作相似，详细信息请参考 [5.6 读操作](#)。

5.8 工作流程

5.8.1 读写流程

图 5-2 读写工作流程

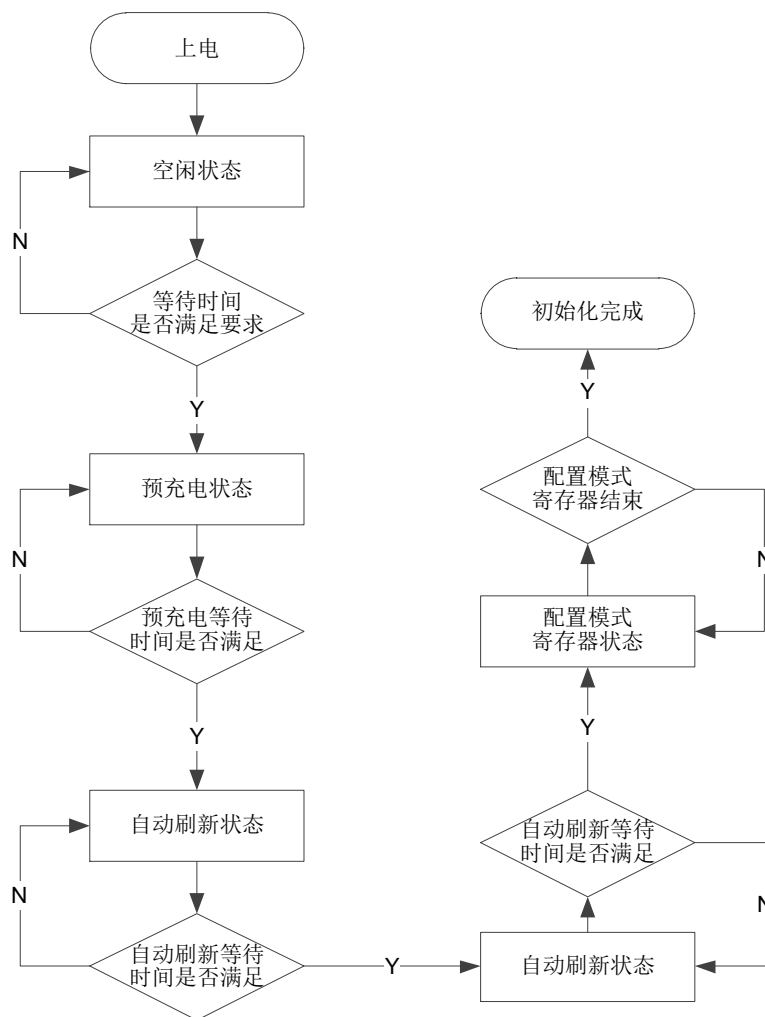


具体读写流程：

1. 初始化等待，待达到预设等待时间后，进入步骤（2）；
2. 进行 SDRAM 初始化操作，完成后进入步骤（3）；
3. SDRAM 控制器置于空闲状态；
4. 判断是否有自动刷新请求，如果有，开始执行自动刷新，刷新完成后返回步骤（3）；否则，进入步骤（5）；
5. 判断用户侧接口是否有读写控制请求，如果有，进行读写数据地址和长度处理，处理完后发送读写请求，进入步骤（6）；如果没有，返回步骤（3）；
6. 向 SDRAM 存储器发送激活、读写指令，进入步骤（7）；
7. 根据数据长度进行读写操作；
8. 判断读写是否结束，如果是，进入步骤（9）；否则，返回步骤（7）；
9. 进行预充电处理，完成后进入步骤（3）。

5.8.2 初始化流程

图 5-3 初始化流程图

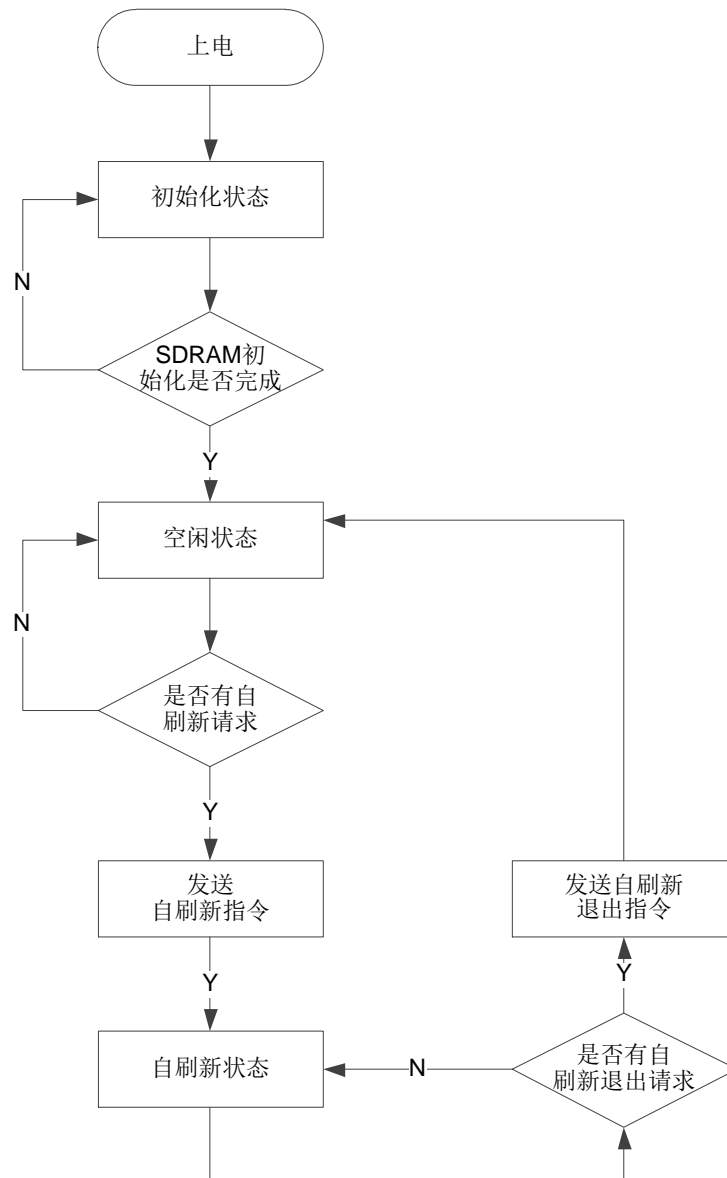


具体初始化流程：

1. 上电完成后，进入空闲状态，若初始化等待时间满足则进入步骤（2），否则继续等待；
2. 进行预充电，发送出预充电指令后，进入等待，若等待时间满足则进入步骤（3），否则继续等待；
3. 进行自动刷新，发送出自动刷新指令后，进入等待，若等待时间满足则进入步骤（4），否则继续等待；
4. 进行自动刷新，发送出自动刷新指令后，进入等待，若等待时间满足则进入步骤（5），否则继续等待；
5. 进行配置模式寄存器，发送出配置模式寄存器指令后，进入等待，若等待时间满足则进入步骤（6），否则继续等待；
6. 初始化完成。

5.8.3 自刷新流程

图 5-4 自刷新流程图

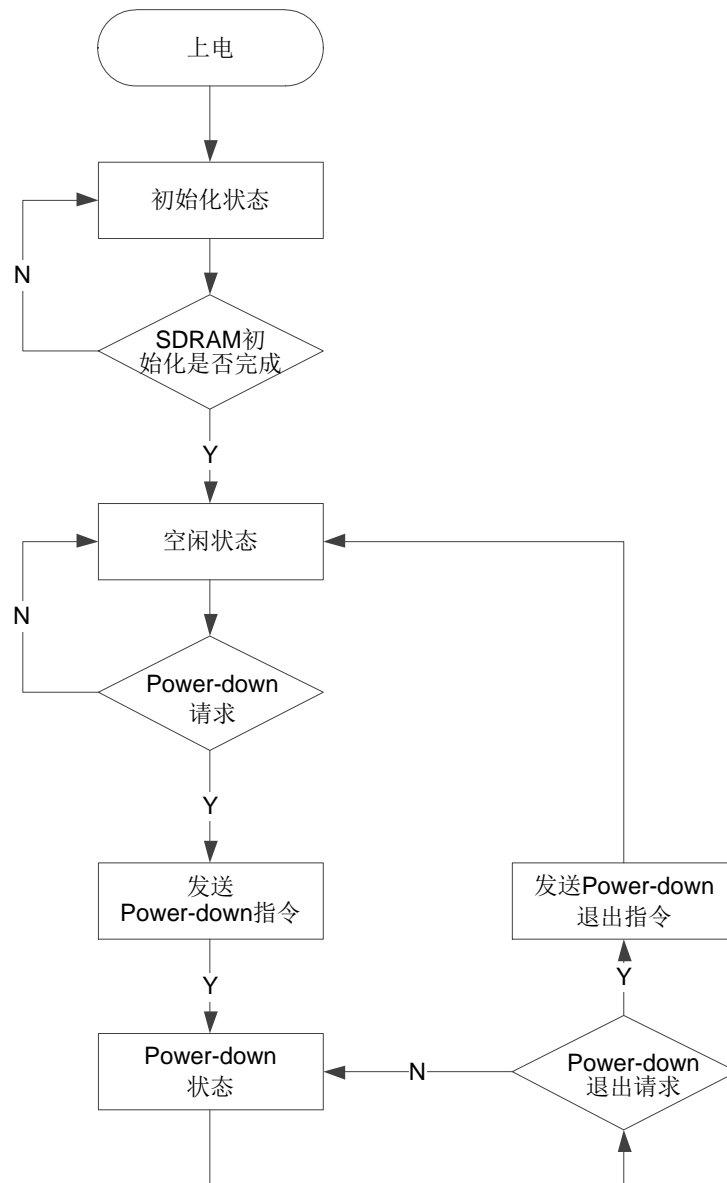


自刷新流程：

1. 上电完成后，进入等待状态；
2. 判断是否完成初始化操作，若完成进入步骤（3），否则继续等待；
3. 判断是否有自刷新请求，若有请求则进入步骤（4）；
4. 发送自刷新命令，进入步骤（5）；
5. 进入自刷新状态，判断是否有自刷新退出请求，若有进入步骤（6）；
6. 发送自刷新退出命令，回到空闲状态。

5.8.4 Power-down 流程

图 5-5 Power-down 流程图



Power-down 流程如下：

1. 上电完成后，进入等待状态；
2. 判断是否完成初始化操作，若完成进入步骤（3），否则继续等待；
3. 判断是否有 Power-down 请求，若有请求则进入步骤（4）；
4. 发送 Power-down 命令，进入步骤（5）；
5. 进入 Power-down 状态，判断是否有 Power-down 退出请求，若有进入步骤（6）；
6. 发送 Power-down 退出命令，回到空闲状态。

6 应用举例

6.1 概述

本章主要介绍如何通过云源软件界面设置参数，生成用户所需要的 SDRAM 控制器模块，并对应用中需要关注的事项给出指导性建议。

其中，内嵌型 SDRAM 控制器在用户设计中例化时，用户设计顶层模块中与 SDRAM 控制器相连的 IO 端口需要满足与内嵌 SDRAM 控制器模块的端口名称一致，云源软件会根据用户设计的 IO 端口名称自动布局，使得 SDRAM 控制器和 SDRAM 存储器正常通信。

下文中通过举例分别对两种控制器的使用流程进行详细说明。

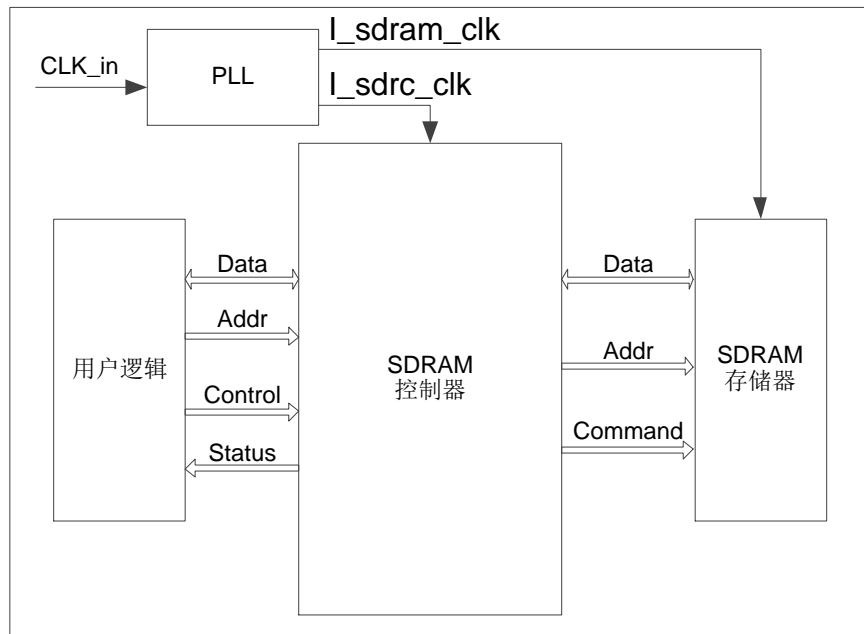
6.2 应用介绍

SDRAM 控制器应用主要包括 PLL、用户逻辑、SDRAM 控制器、SDRAM 存储器四个部分。SDRAM 应用框图如图 6-1 所示。

PLL 为 FPGA 内部时钟资源，通过时钟分/倍频产生 SDRAM 存储器工作时钟 `I_sdram_clk` 和 SDRAM 控制器工作时钟 `I_sdrc_clk`。SDRAM 控制器在高速率工作时，需要通过调整 `I_sdrc_clk` 相位来满足 SDRAM 侧读写信号的建立/保持时间。

用户逻辑接口所有输入输出信号均与 `I_sdrc_clk` 上升沿对齐。

图 6-1 应用框图

**注!**

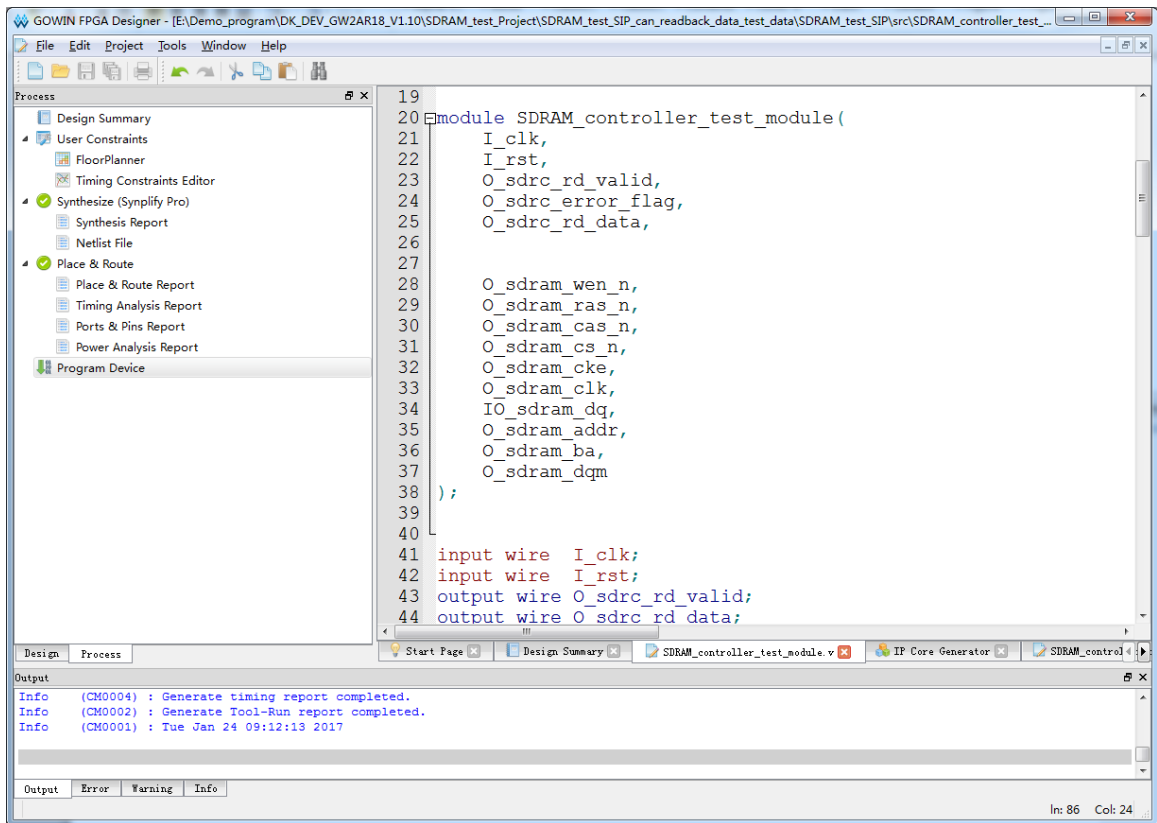
- 当 SDRAM 控制器工作速率较高时，可通过调整 I_sdram_clk 相位来满足 SDRAM 存储器侧读写信号的建立/保持时间；
- 对于外挂型 SDRAM 控制器，为提高传输性能，可把 SDRAM 存储器侧输入/输出的 DFF 约束到 IOLOGIC 中 DFF 资源；
- 考虑器件内部延时、PCB 走线等因素，SDRAM 在高时钟速率条件下，读取数据如果出现比有效指示延后一个时钟周期，则需要用户把有效指示标志延后一个周期与有效数据对齐；
- 对于内嵌型 SDRAM，调用后会在 Module 端口中出现 SDRAM 存储器侧信号，这些信号需要引出到 TOP 层，且要保持信号名称不变。这些信号在.cst 文件中无需约束；
- 当调用 GW1NR-4 器件的 32bit 位宽控制器时，I_sdrc_clk 必须为 I_sdram_clk 时钟频率的一半，其它情况下调用的控制器 I_sdrc_clk 和 I_sdram_clk 为同频时钟。

6.3 内嵌型举例

6.3.1 打开工程

启动 Gowin 云源软件后，打开工程，如图 6-2 所示。

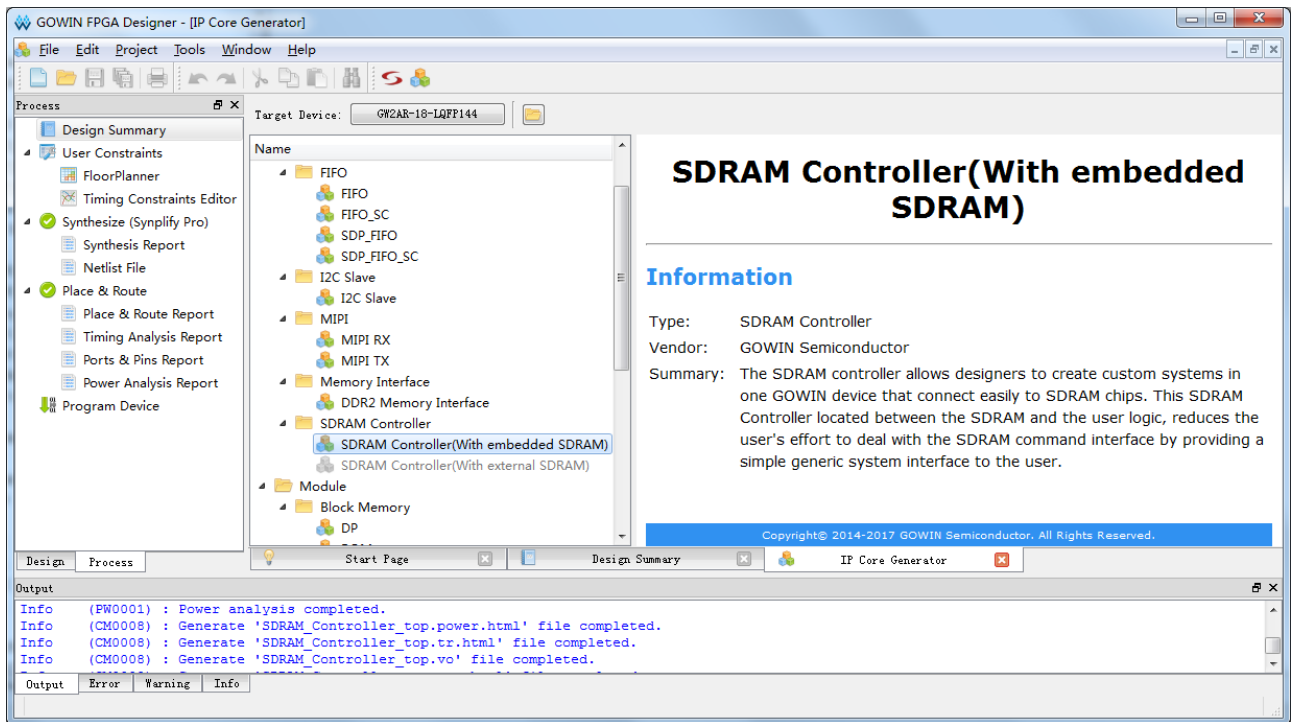
图 6-2 打开工程



6.3.2 调用 SDRAM Controller

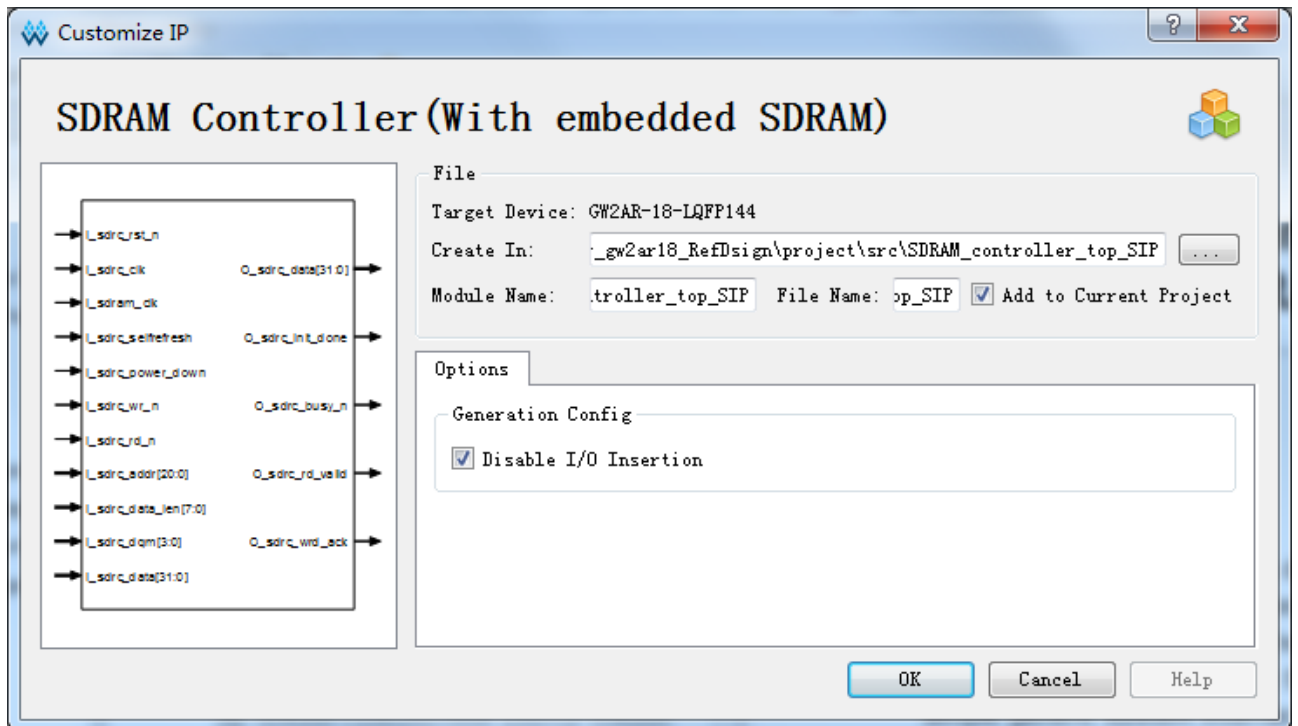
单击“Tools > IP Core Generator”，弹出界面如图 6-3 所示。

图 6-3 IP Core Generator 界面



选择 GW2AR-18-LQFP144 器件，双击“SDRAM Controller(with embedded SDRAM)”，弹出界面如图 6-4 所示，默认选项即可，单击“OK”，生成 SDRAM_controller_top_SIP 模块。

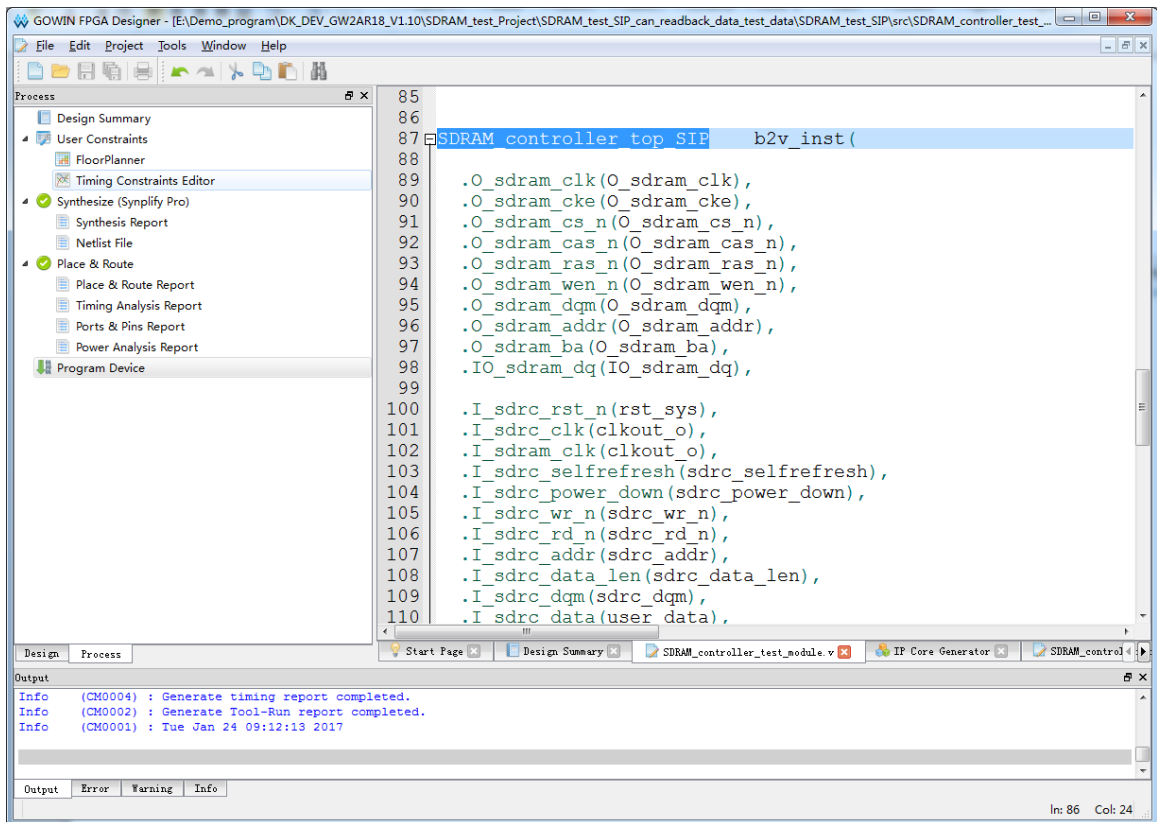
图 6-4 SDRAM Controller 界面



6.3.3 例化 SDRAM Controller

在工程中例化 SDRAM_controller_top_SIP，如图 6-5 所示。

图 6-5 例化 SDRAM_controller_top_SIP



6.3.4 生成 bitstream 文件

进行必要的约束后，通过综合、P&R，产生 bitstream 文件。

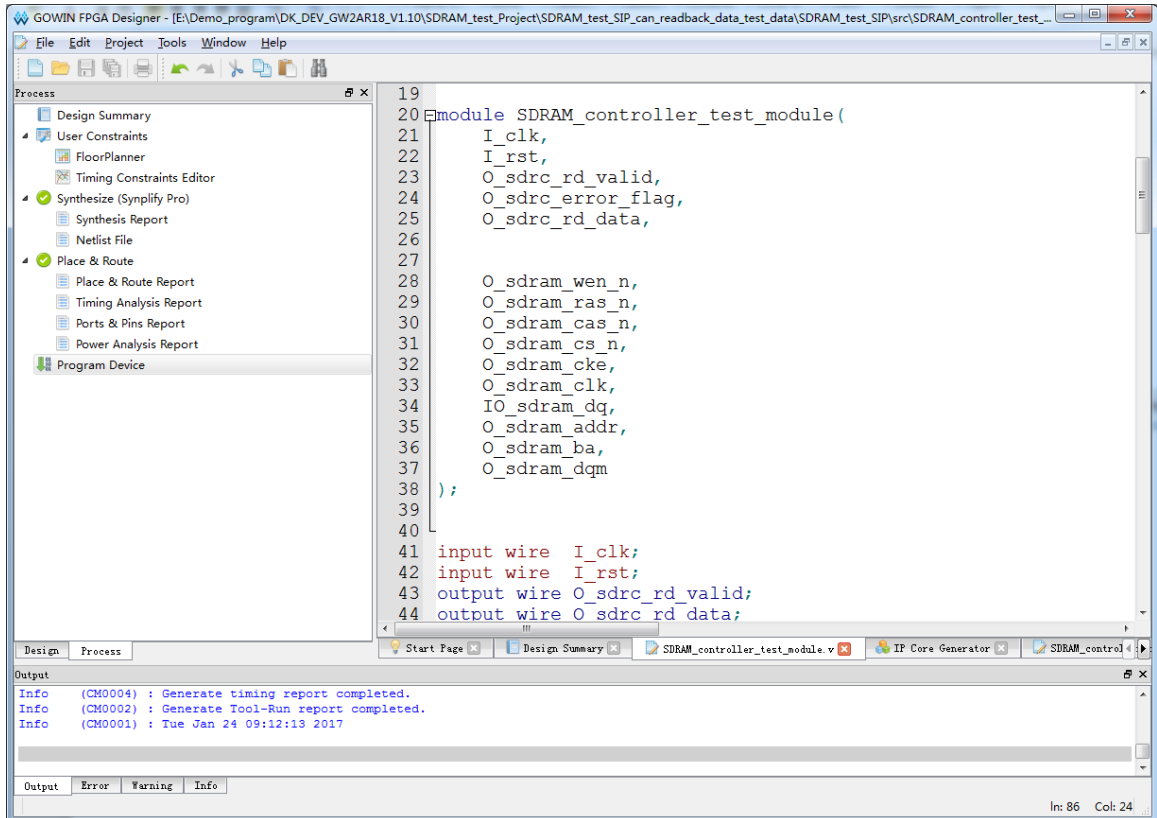
通过 Gowin 下载线把 bitstream 文件下载到开发板或测试板，可通过测试接口观察 SDRAM 读写数据情况。

6.4 外挂型举例

6.4.1 打开工程

启动 Gowin 云源软件后，打开工程，如图 6-6 所示。

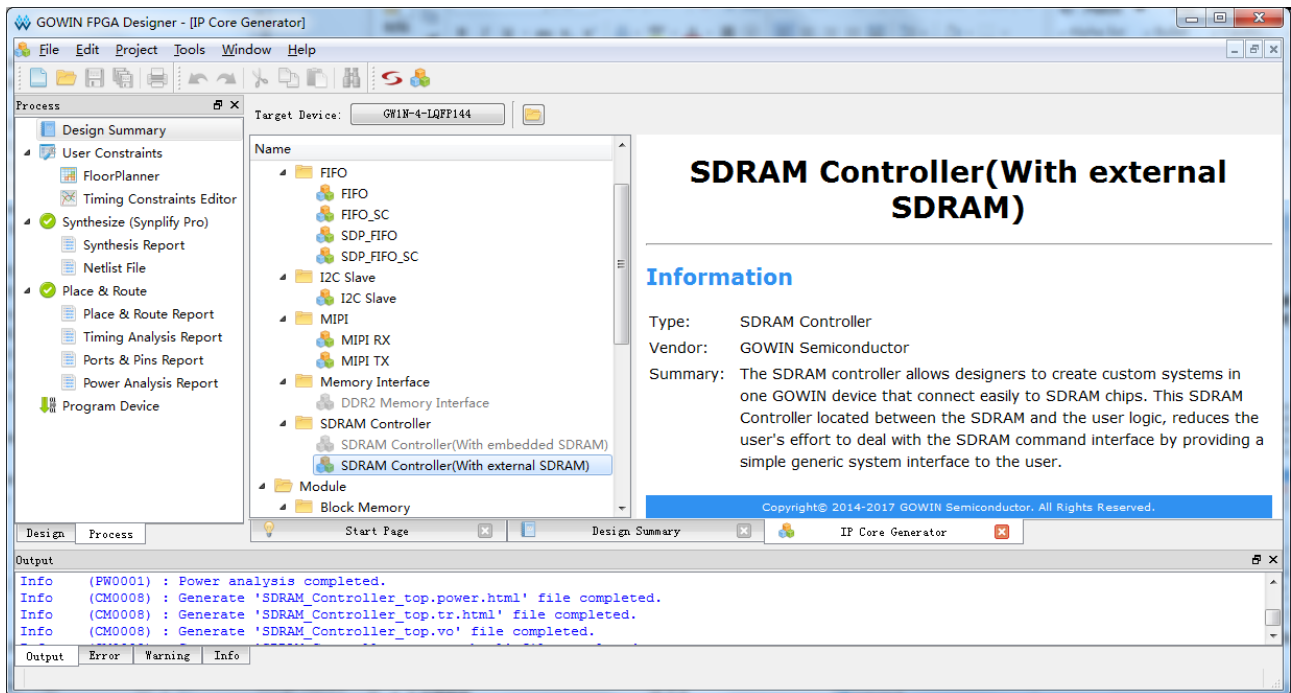
图 6-6 打开工程



6.4.2 调用 SDRAM Controller

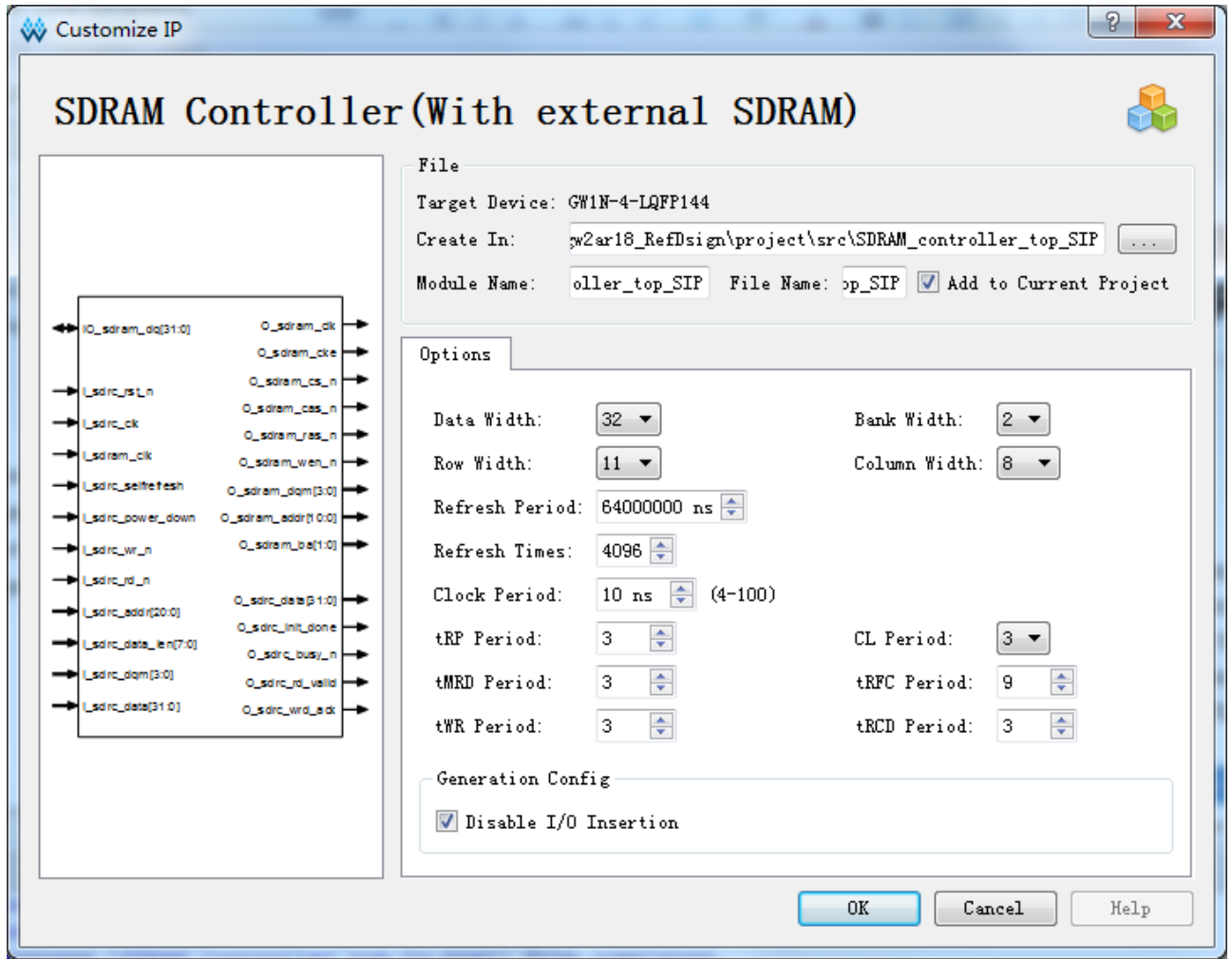
单击“Tools > IP Core Generator”，弹出界面如图 6-7 所示。

图 6-7 IP Core Generator 界面



选择 GW1N-4-LQFP144 器件，双击“SDRAM Controller(with external SDRAM)”，弹出界面如图 6-8 所示，参数区根据外挂 SDRAM 存储器的参数进行配置，然后单击“OK”，生成 SDRAM_controller_top_SIP 模块。

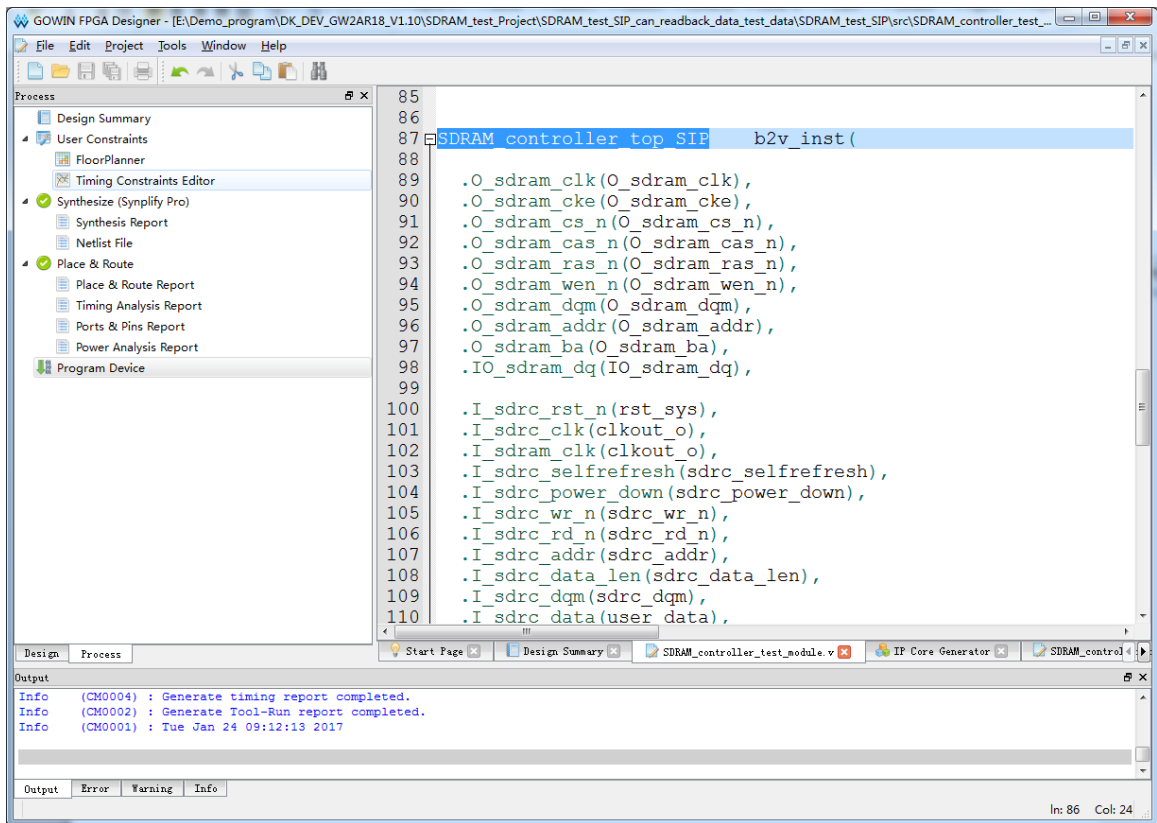
图 6-8 SDRAM Controller 界面



6.4.3 例化 SDRAM Controller

在工程中例化 SDRAM_controller_top_SIP，如图 6-9 所示。

图 6-9 例化 SDRAM_controller_top_SIP



6.4.4 生成 bitstream 文件

进行必要的约束后，通过综合、P&R、产生 bitstream 文件。

通过 Gowin 下载线把 bitstream 文件下载到开发板或测试板，可通过测试接口观察 SDRAM 读写数据情况。

7 接口时序

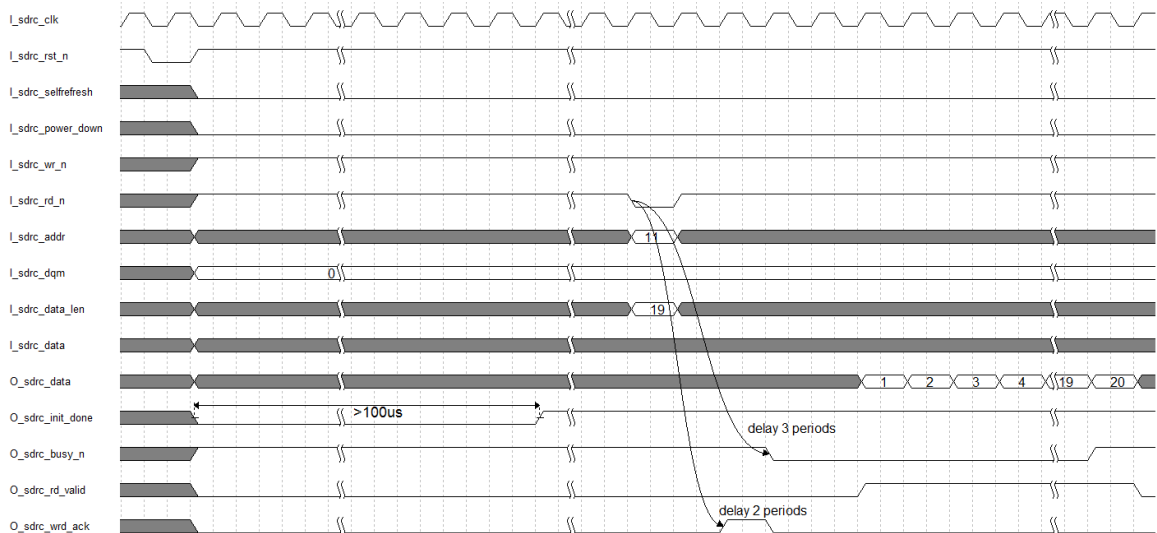
7.1 概述

接口时序包括用户侧和 SDRAM 侧两部分。用户侧接口时序主要包括读时序和写时序，用户侧所有输入输出信号均以控制器工作时钟上升沿对齐。SDRAM 侧接口时序主要包括初始化、读时序、写时序、自动刷新时序，所有输出信号均以控制器工作时钟上升沿对齐。

7.2 用户侧接口时序

7.2.1 用户侧接口读操作

图 7-1 用户侧接口读操作

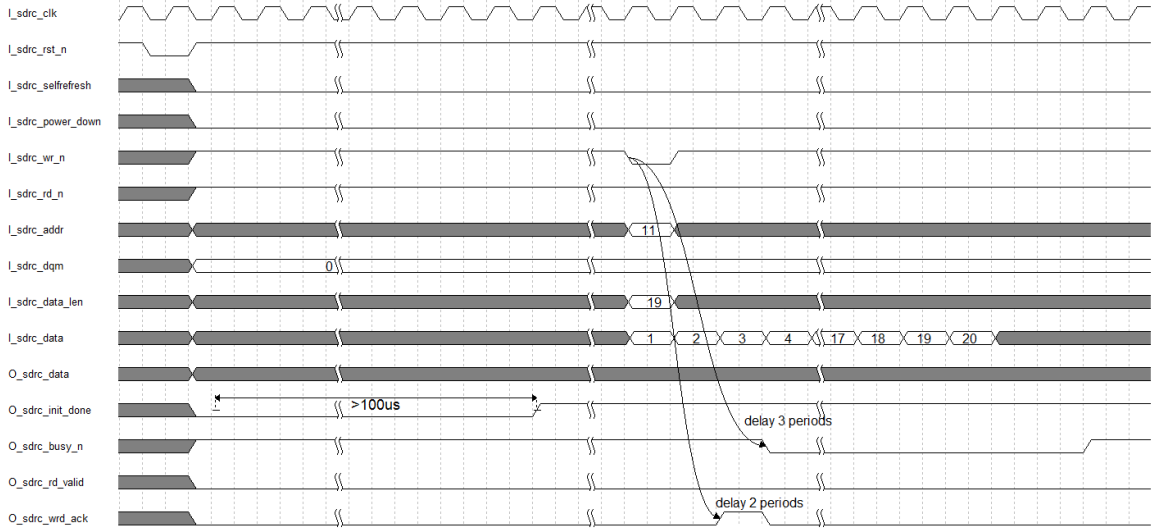


注！

SDRAM 控制器实际读写有效数据长度为 $I_sdr_data_len+1$

7.2.2 用户侧接口写操作

图 7-2 用户侧接口写操作



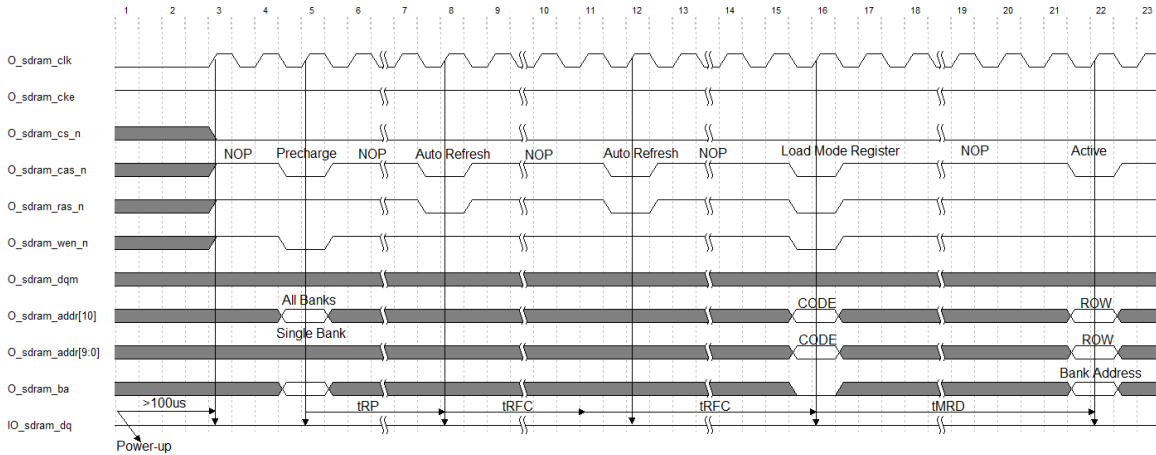
注!

SDRAM 控制器实际读写有效数据长度为 I_sdr_data_len+1

7.3 SDRAM 接口时序

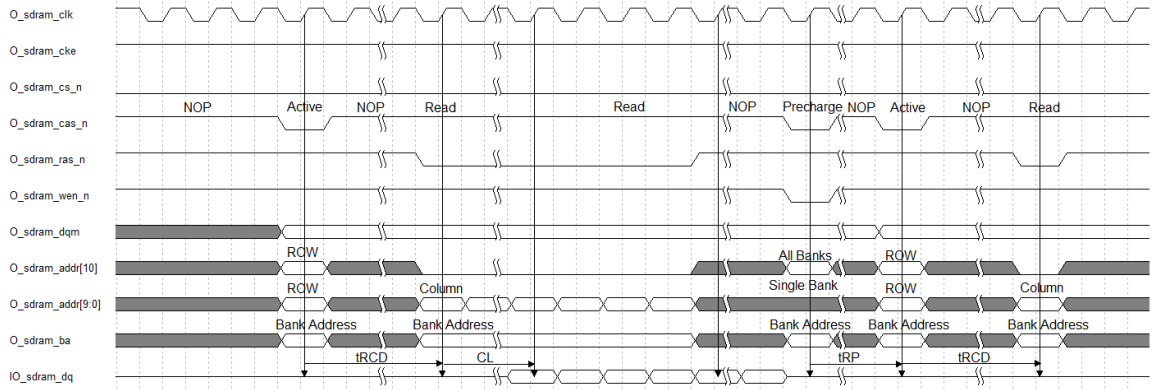
7.3.1 SDRAM 初始化

图 7-3 SDRAM 初始化



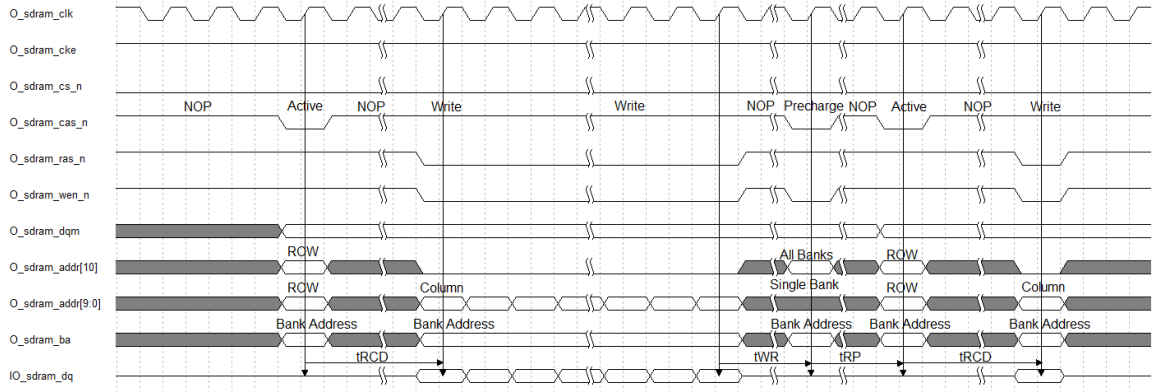
7.3.2 SDRAM 读操作

图 7-4 SDRAM 读操作



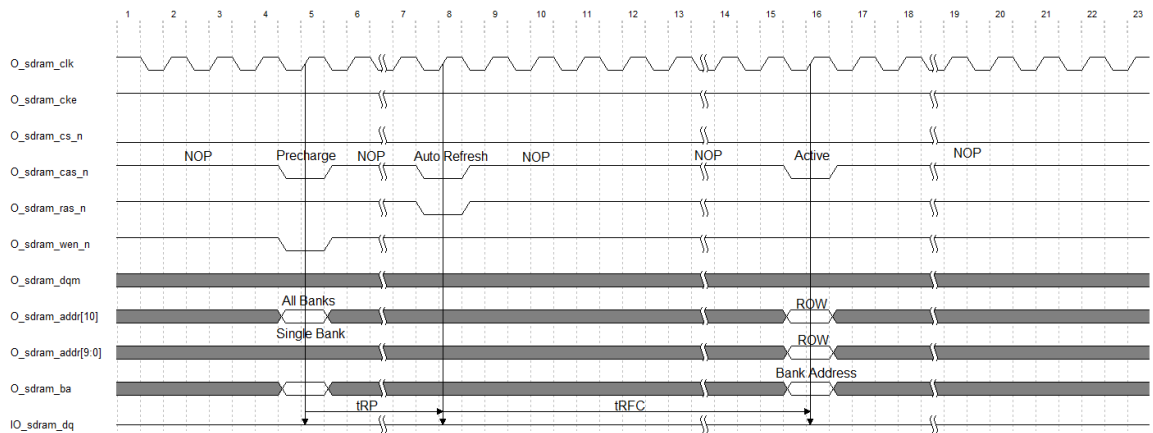
7.3.3 SDRAM 写操作

图 7-5 SDRAM 写操作



7.3.4 SDRAM 自动刷新

图 7-6 SDRAM 自动刷新



8 性能参考

SDRAM 控制器设计语言为 Verilog，在具体器件上的性能测试参考如表 8-1 所示。

表 8-1 SDRAM 性能参考

器件	编程语言	LUTs	Registers	BSRAMs	PLLs	Fmax
GW1N-4	Verilog	323	504	1	1	$\geq 90\text{MHz}$
GW1NR-4	Verilog	323	504	1	1	$\geq 90\text{MHz}$
GW2AR-18	Verilog	285	488	1	1	$\geq 160\text{MHz}$
GW2A-18	Verilog	285	488	1	1	$\geq 160\text{MHz}$

