



# Gowin DDR3 Memory Interface IP 用户指南

IPUG281-1.1,2019-03-12

## **版权所有©2019 广东高云半导体科技股份有限公司**

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

日期	版本	说明
2018/08/24	1.0	初始版本。
2019/03/12	1.1	新增 <b>DDR3 1:4</b> 时钟比例关于连续突发的描述和使用。

# 目录

<b>目录</b> .....	<b>i</b>
<b>图目录</b> .....	<b>iii</b>
<b>表目录</b> .....	<b>v</b>
<b>1 关于本手册</b> .....	<b>1</b>
1.1 手册内容.....	1
1.2 适用产品.....	1
1.3 相关文档.....	1
1.4 术语、缩略语 .....	2
1.5 技术支持与反馈.....	2
<b>2 概述</b> .....	<b>3</b>
<b>3 主要特征与性能</b> .....	<b>4</b>
3.1 主要特征.....	4
3.2 工作频率.....	4
3.3 资源利用.....	5
<b>4 功能描述</b> .....	<b>6</b>
4.1 整体结构.....	6
4.2 Memory Controller .....	6
4.2.1 GW_CMD 单元 .....	7
4.2.2 GW_WR_Data 单元.....	7
4.2.3 GW_RD_Data 单元.....	7
4.2.4 GW_Rank_Ctrl 单元 .....	7
4.2.5 GW_Bank_Ctrl 单元.....	7
4.2.6 GW_Time_Ctrl 单元.....	8
4.3 PHY.....	8
4.3.1 初始化单元.....	9
4.3.2 数据通路单元 .....	9
4.3.3 控制通路单元 .....	9
4.3.4 I/O 逻辑单元.....	10
4.4 主要功能.....	11

---

4.4.1 初始化 .....	11
4.4.2 发送地址与命令 .....	11
4.4.3 写数据 .....	13
4.4.4 读数据 .....	17
4.4.5 刷新 .....	20
<b>5 端口列表 .....</b>	<b>22</b>
<b>6 参数配置 .....</b>	<b>24</b>
<b>7 参考设计 .....</b>	<b>26</b>
<b>8 界面配置 .....</b>	<b>28</b>
<b>9 文件交付 .....</b>	<b>36</b>
9.1 文档 .....	36
9.2 设计源代码（加密） .....	36
9.3 参考设计 .....	37

# 图目录

图 4-1 Gowin Memory Interface IP 结构图 .....	6
图 4-2 DDR3 Memory Controller 基本结构图 .....	7
图 4-3 DDR3 PHY 基本结构图 .....	8
图 4-4 数据通路单元与控制通路单元整体结构框图 .....	9
图 4-5 IO 逻辑单元基本结构框图 .....	10
图 4-6 初始化完成信号时序图 .....	11
图 4-7 Rank-Bank-Row-Column 顺序的寻址方案 .....	11
图 4-8 命令、地址与使能信号时序图 .....	12
图 4-9 写数据端口时序图 .....	14
图 4-10 不同情况下写数据通道与命令通道时序图 .....	15
图 4-11 时钟比例 1:2 突发长度为 BL4 时写数据时序图 .....	16
图 4-12 时钟比例 1:2 突发长度为 BL8 时写数据时序图 .....	16
图 4-13 时钟比例 1:2 突发长度为 OTF 时写数据时序图 .....	17
图 4-14 时钟比例 1:4 突发长度为 BL8 时连续突发写数据时序图 .....	17
图 4-15 读数据端口时序图 .....	18
图 4-16 突发长度为 BL4 时读数据时序图 .....	18
图 4-17 突发长度为 BL8 时读数据时序图 .....	19
图 4-18 突发长度为 OTF 时读数据时序图 .....	19
图 4-19 时钟比例 1:4 突发长度为 BL8 时连续突发读数据时序图 .....	20
图 4-20 用户刷新时序图 .....	20
图 7-1 参考设计基本结构框图 .....	26
图 7-2 DDR3_test 部分端口信号仿真波形 .....	27
图 8-1 打开 IP Core Generator .....	28
图 8-2 打开 DDR3 Memory Interface IP 核 .....	29
图 8-3 IP 核接口示意图 .....	30
图 8-4 Help 文档 .....	31
图 8-5 基本信息配置界面 .....	32
图 8-6 Type 选项卡 .....	33
图 8-7 Options 选项卡 .....	34

图 8-8 Timing 选项卡 ..... 35

# 表目录

表 1-1 术语、缩略语 .....	2
表 2-1 Gowin DDR3 Memory Interface IP .....	3
表 3-1 资源利用情况 .....	5
表 4-1 cmd 命令 .....	12
表 5-1 Gowin DDR3 Memory Interface IP 的 IO 端口列表 .....	22
表 6-1 Gowin DDR3 Memory Interface 的静态参数选项 .....	24
表 6-2 DDR3 时间参数 .....	25
表 7-1 DDR3_syn_top 模块输入端口列表 .....	26
表 9-1 文档列表 .....	36
表 9-2 设计源代码列表 .....	36
表 9-3 Ref. Design 文件夹内容列表 .....	37



# 1 关于本手册

## 1.1 手册内容

Gowin DDR3 Memory Interface IP 用户指南主要内容包括 IP 的结构与功能描述、端口说明、时序说明、配置调用、参考设计等。主要用于帮助用户快速了解 Gowin DDR3 Memory Interface IP 的产品特性、特点及使用方法。

## 1.2 适用产品

本手册中描述的信息适用于 GW2A 系列 FPGA 产品：

1. GW2A-18
2. GW2AR-18
3. GW2A-55

## 1.3 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

1. GW2A 系列 FPGA 产品数据手册
2. GW2AR 系列 FPGA 产品数据手册
3. Gowin 云源软件用户指南

## 1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

**表 1-1 术语、缩略语**

术语、缩略语	全称	含义
FIFO	First Input First Output	先进先出队列
IP	Intellectual Property	知识产权
RAM	Random Access Memory	随机存取存储器
LUT	Look-up Table	查找表
GSR	Global System Reset	全局系统复位
ECC	Error Correcting Code	错误检查和纠正

## 1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 概述

Gowin DDR3 Memory Interface IP 是一个通用的 DDR3 内存接口 IP，符合 JESD79-3F 标准协议。该 IP 包含 DDR3 内存控制器 (Memory Controller, MC) 与对应的物理层接口 (Physical Interface, PHY) 设计。Gowin DDR3 Memory Interface IP 为用户提供一个通用的命令接口，使其与内存芯片进行互连，完成用户的访存需求。

**表 2-1 Gowin DDR3 Memory Interface IP**

Gowin DDR3 Memory Interface IP	
芯片支持	GW2A-18、GW2AR-18、GW2A-55
逻辑资源	请参见表3-1。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	Synplify_Pro
应用软件	GoWinYunYuan

# 3 主要特征与性能

## 3.1 主要特征

- 支持 GW2A-18、GW2AR-18、GW2A-55 等 FPGA 器件；
- 能与工业标准的 DDR3 SDRAM 器件和具有 JESD79-3F 规范兼容的模块接口；
- 支持存储器数据路径宽度为 8、16、24、32、40、48、56、64 和 72 位；
- 支持单列 RDIMM、UDIMM 和 SODIMM 内存模块；
- 支持 x4、x8 和 x16 两种数据宽度的内存芯片；
- 可编程突发长度 4 或 8 或 OTF；
- 支持时钟比例 1:2 和 1:4；
- 支持 ECC；
- 可配置的 CL；
- 可配置的 AL；
- 可配置的 CWL；
- 可配置的  $t_{FAW}$ ；
- 可配置的  $t_{RAS}$ ；
- 可配置的  $t_{RCD}$ ；
- 可配置的  $t_{RFC}$ ；
- 可配置的  $t_{RRD}$ ；
- 可配置的  $t_{RTP}$ ；
- 可配置的  $t_{WTR}$ ；
- 支持动态片上终端 ODT 的控制；
- 支持自动刷新和用户启动刷新，自动刷新间隔可配置；
- 时钟比例 1:4 模式下支持连续突发模式。

## 3.2 工作频率

Gowin DDR3 Memory Interface IP 可支持的 DDR3 SDRAM 数据速率为：时钟比例 1:2 模式下支持 600Mbps，时钟比例 1:4 模式下支持 600Mbps,800Mbps。

### 3.3 资源利用

Gowin DDR3 Memory Interace IP 通过 Verilog 语言实现，应用于高云 GW2A-18、GW2AR-18、GW2A-55 等系列 FPGA，其资源利用情况如表 3-1 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

**表 3-1 资源利用情况**

DQ_WIDTH	LUTs	REGs	I/O	f <sub>MAX</sub>	器件系列	速度等级
8(x8)	1061	1009	151	600Mbps	GW2A55 GW2A18	-6 -7 -8
16(x8)	1312	1365	231			
24(x8)	1557	1721	311			
32(x8)	1639	2077	391			
40(x8)	1845	2433	471			
48(x8)	2060	2789	551			
56(x8)	2271	3145	631			
64(x8)	2483	3501	711			
72(x8)	2694	3857	791			

注！

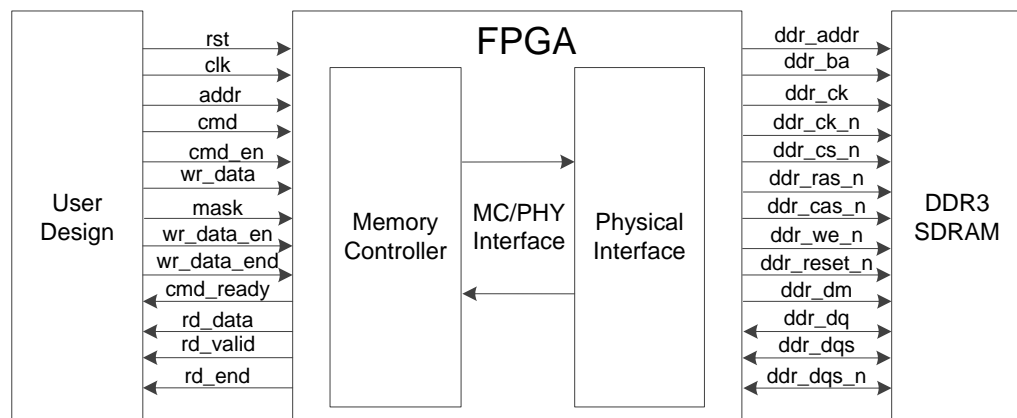
在表 3-1 中，Gowin DDR3 Memory Interace 配置用户地址宽度为 29 位，DRAM WITDH 为 x8，时钟比例为 1:2；时钟比例为 1:4 资源大概是表格中的 2 倍。

# 4 功能描述

## 4.1 整体结构

Gowin DDR3 Memory Interface IP 基本结构如表 4-1 所示，主要包含 Memory Controller、Physical Interface 等模块。图 4-1 中的 User Design 是 FPGA 中需要与外部 DDR3 SDRAM 芯片所连接的用户设计。

图 4-1 Gowin Memory Interface IP 结构图



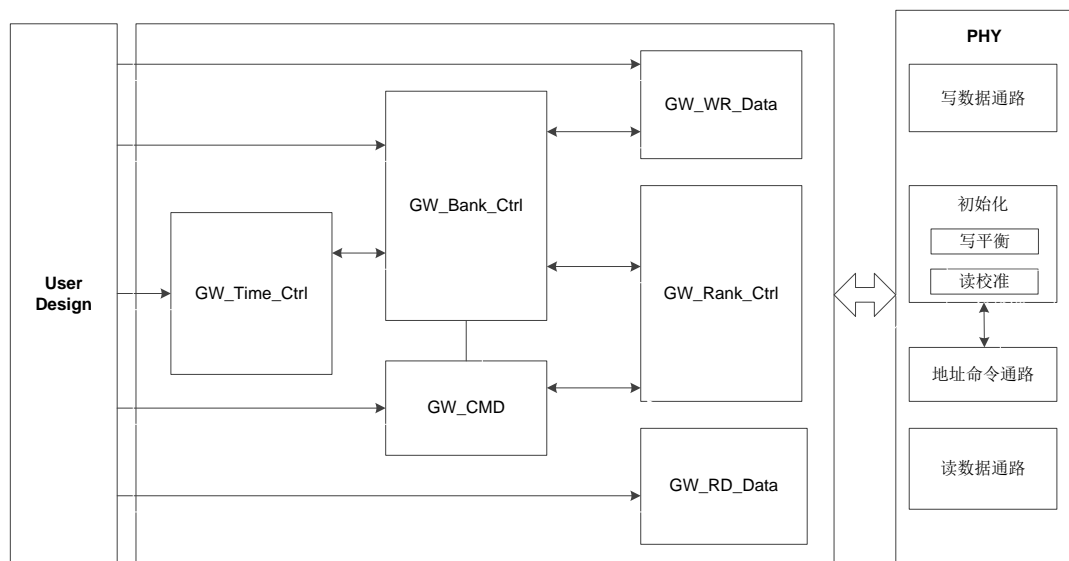
## 4.2 Memory Controller

Memory Controller 是 Gowin DDR3 Memory Interface IP 的主要逻辑模块，位于 User Design 与 PHY 之间。Memory Controller 接收来自用户接口的命令、地址与数据，并按照一定逻辑顺序进行存储。

用户发送的写、读等命令在 Memory Controller 中进行排序，以满足数据吞吐速率及相关时间参数延迟。Memory Controller 控制地址与数据的发送，并通过 PHY 接收 DDR3 SDRAM 返回的数据，完成写或读操作。

DDR3 Memory Controller 主要由以下几个模块组成：GW\_CMD 单元、GW\_WR\_Data 单元、GW\_RD\_Data 单元、GW\_Rank\_Ctrl 单元、GW\_Bank\_Ctrl 单元与 GW\_Time\_Ctrl 单元等，主要结构如图 4-2 所示。

图 4-2 DDR3 Memory Controller 基本结构图



### 4.2.1 GW\_CMD 单元

GW\_CMD 单元主要功能是接收并存储用户发送的地址与指令，当 MC 可接收命令与指令时，将向用户发送 cmd\_ready 信号。

GW\_CMD 单元对用户发送的地址进行转换，映射为 DDR3 SDRAM 对应的 Rank 地址、Bank 地址、Row 地址和 Column 地址，并对用户发送的命令进行解析，拆分写、读等命令，判断当前 MC 是否可以继续接收命令。

### 4.2.2 GW\_WR\_Data 单元

GW\_WR\_Data 单元主要功能是接收并存储用户发送的写数据 wdf\_data 与写遮挡信号 wdf\_mask，当 MC 可接收数据时，向用户发送 wdf\_rdy 信号。

同时在 GW\_WR\_Data 单元中，根据目前存储的写数据与 MC 接收到写命令，配置的突发长度与时钟比例等，为 PHY 提供写数据使能信号 mc\_wrdata\_en，并向 PHY 传送写数据 wr\_data 与写遮挡信号 wr\_data\_mask。

### 4.2.3 GW\_RD\_Data 单元

GW\_RD\_Data 单元主要功能是接收 PHY 返回的读数据，并将其发送给用户；

PHY 在返回读数据时，会提供相应的读有效信号，GW\_RD\_Data 单元在读有效时接收读数据，将数据整理后发送给用户 rd\_data，并为用户产生合适的读有效信号 rd\_data\_valid 与读结束信号 rd\_data\_end。

### 4.2.4 GW\_Rank\_Ctrl 单元

GW\_Rank\_Ctrl 单元对 GW\_CMD 单元接收到地址、命令等进行处理，将地址转换为 PHY 需要的 mc\_bank、mc\_address 等信号，将命令转换为 PHY 需要的控制信号 mc\_ras\_n、mc\_csa\_n、mc\_we\_n 等，并生成 mc\_cke、mc\_odt 等信号。

GW\_RANK\_Ctrl 单元需控制向 PHY 发出写、读、刷新等指令的时刻，以满足 WL，RL 等时间参数。

### 4.2.5 GW\_Bank\_Ctrl 单元

GW\_Bank\_Ctrl 单元是 MC 中的重要模块，主要负责完成对读、写、刷

新等指令的解析处理，并将写、读等命令补全，增加 DDR3 SDRAM 中必须的激活（Active）、预充电（PreCharge）等操作命令。

在 GW\_Bank\_Ctrl 中，将对各指令之间的时序参数，如  $t_{RAS}$ 、 $t_{RCD}$  等，进行检查校准，以满足 DDR3 SDRAM 协议标准。

#### 4.2.6 GW\_Time\_Ctrl 单元

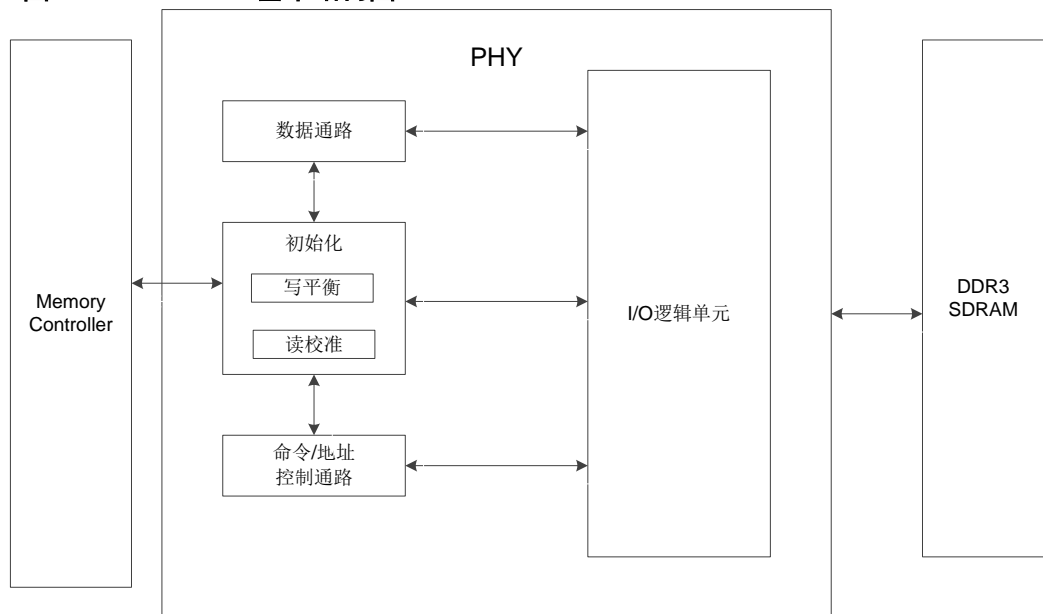
GW\_Time\_Ctrl 单元对用户发送的自刷新，用户刷新等指令进行处理，并对刷新指令的时间进行计算，以发送合适的刷新命令，避免刷新指令的时序违规，造成数据丢失。

### 4.3 PHY

PHY 提供了 MC 与外部 DDR3 SDRAM 之间的物理层定义与接口，接收来自 MC 内存控制器的命令，并向 DDR3 SDRAM 接口提供满足时序与顺序要求的信号。

PHY 的基本结构如图 4-3 所示，主要包括四个模块，分别为初始化模块、数据通路、命令地址控制通路和 I/O 逻辑模块。

图 4-3 DDR3 PHY 基本结构图





### 4.3.1 初始化单元

初始化模块主要完成 DDR3 SDRAM 上电后的初始化和读校准。在完成所有初始化与读校准之后，信号“init\_calib\_complete”会由低变高，指示整个初始化完成。

#### 上电初始化

按照 JESD79-3F 协议标准，上电后需对 DDR3 SDRAM(颗粒或 DIMM) 进行初始化，包括复位、时钟使能、模式寄存器的配置及 ZQ 校准等过程。

#### 读校准

读校准的目的是恢复出正确的读数据时钟 DQSR90。DQSR90 是 DQSIN 经过 90 度相位延迟之后的信号，保证 DQSR90 的边沿位于 DQ 数据的中间，以采样到准确的 DQ 数据。

在读校准过程中，稳定 DQSR90 信号后，PHY 会向 DDR3 SDRAM 某一地址写一串固定数据，并验证从 DDR3 SDRAM 中读回的数据是否符合预期，并完成对接收数据的正确排序。

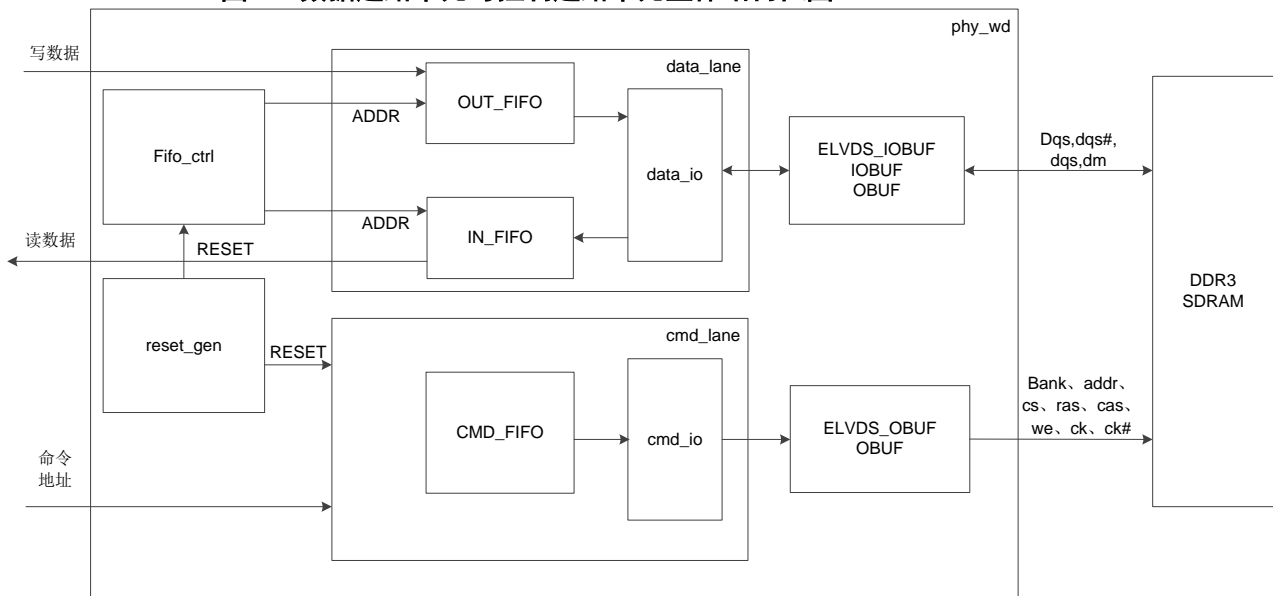
### 4.3.2 数据通路单元

数据通路包括写数据和读数据过程，模块结构为图 4-4 中 data\_lane 模块。

在写数据时，PHY 接收来自 MC 的数据和数据使能信号，并根据写延时参数 CWL 和 AL 对数据进行缓存处理，然后将数据和数据使能信号发送到 I/O 逻辑模块。

在读数据时，PHY 根据 I/O 逻辑模块发送过来的 Rvalid 信号来选择其传递过来的数据，并将该数据发送给 MC。

图 4-4 数据通路单元与控制通路单元整体结构框图



### 4.3.3 控制通路单元

命令/地址控制通路为单向通路，接收 MC 发送的命令与地址信号，并与数据通路配合，处理写、读数据时延参数，并将命令发送到 I/O 逻辑模块，结构为图 4-4 中 cmd\_lane 模块。

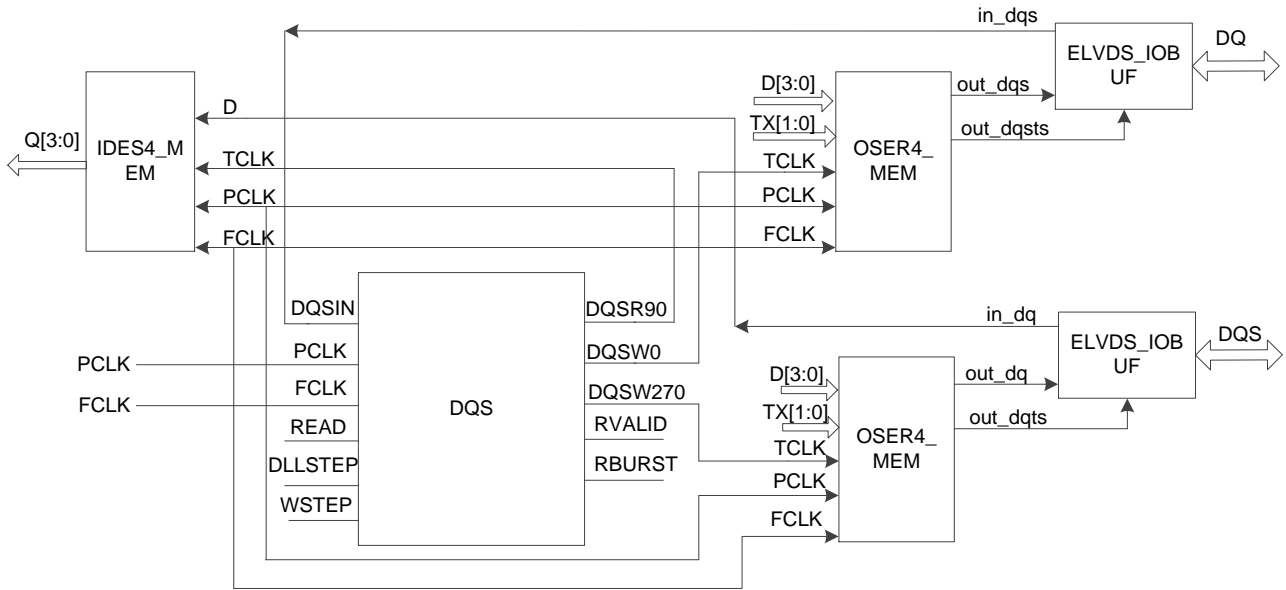
系统上电后首先对控制通路单元同时进行复位。系统稳定工作后，根据

MC 传来的命令产生读写使能，读写地址，给出 cmd\_fifo 所需的读写指令，按照用户配置的 CL 和 AL 控制缓存时序，完成对数据通路的控制。

### 4.3.4 I/O 逻辑单元

I/O 逻辑模块主要是对数据通路和命令/地址通路传递过来的数据、命令、地址信号进行时钟域的转换，从 clk\_x1 时钟域转换到 clk\_x2 时钟域，从而产生 DDR3 SDRAM 需要的信号，基本结构如图 4-5 所示（以时钟比例 1:2 为例）。

图 4-5 IO 逻辑单元基本结构框图



## 4.4 主要功能

Memory Interface IP 可实现以下功能：

- DDR3 SDRAM 初始化；
- 发送地址、命令；
- 写数据；
- 读数据；
- 刷新。

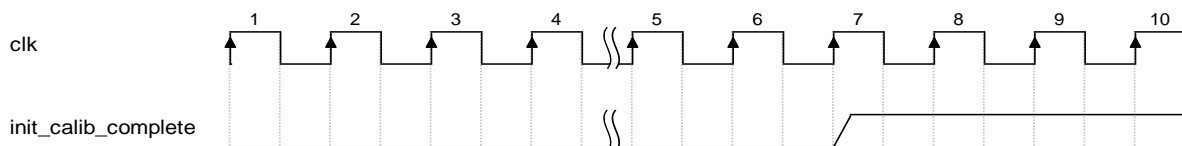
### 4.4.1 初始化

DDR3 SDRAM 必须经过校准操作才能进行正常的写、读操作。因此上电后 PHY 会对 DDR3 SDRAM 进行初始化校准操作，初始化完成后返回初始化完成标志 `init_calib_complete`。

初始化操作包括上电复位、时钟使能、配置模式寄存器、读校准等，对 DDR3 SDRAM 初始化过程具体可见 4.3.1 中初始化模块部分。

初始化完成后向用户返回操作完成信号，如图 4-6 所示。

图 4-6 初始化完成信号时序图



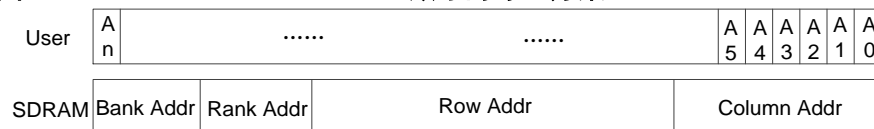
### 4.4.2 发送地址与命令

用户可通过 `addr`、`cmd`、`cmd_en` 等用户接口发送操作命令与地址。

- `addr` 为地址数据端口；
- `cmd` 为命令数据端口；
- `cmd_en` 为地址与命令使能信号，高电平有效。

在应用中，用户接口的地址总线与物理内存的 Bank、Rank、Row、Column 之间存在一定的映射关系，在本设计中，按照 Bank-Rank-Row-Column 的顺序进行依次排列，其寻址方案如图 4-7 所示。用户在应用中，应注意提供的地址顺序。

图 4-7 Rank-Bank-Row-Column 顺序的寻址方案



用户通过 cmd 端口可发送的命令如表 4-1 所示：

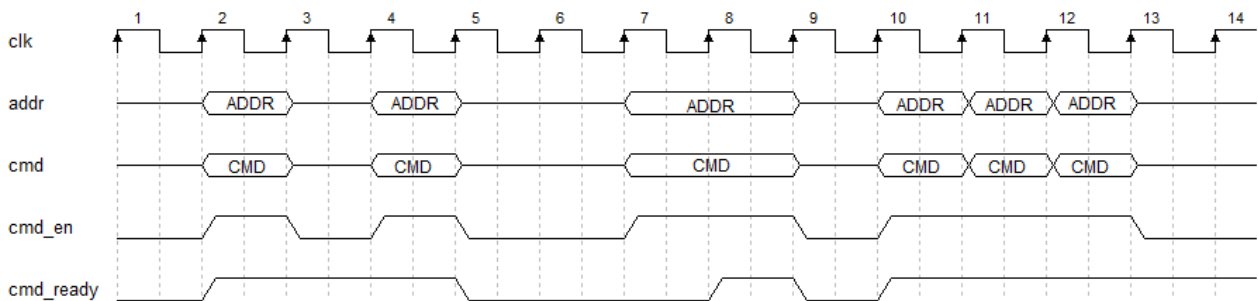
表 4-1 cmd 命令

命令	cmd[2:0]
Read	3'b001
Write	3'b000

在用户接口端，命令、地址及使能信号之间的时序如图 4-8 所示，cmd\_ready 为高电平，表示 MC 可以接收命令，命令可以存入 MC FIFO 中；若 cmd\_ready 为低电平，则 MC 此时无法接收命令。

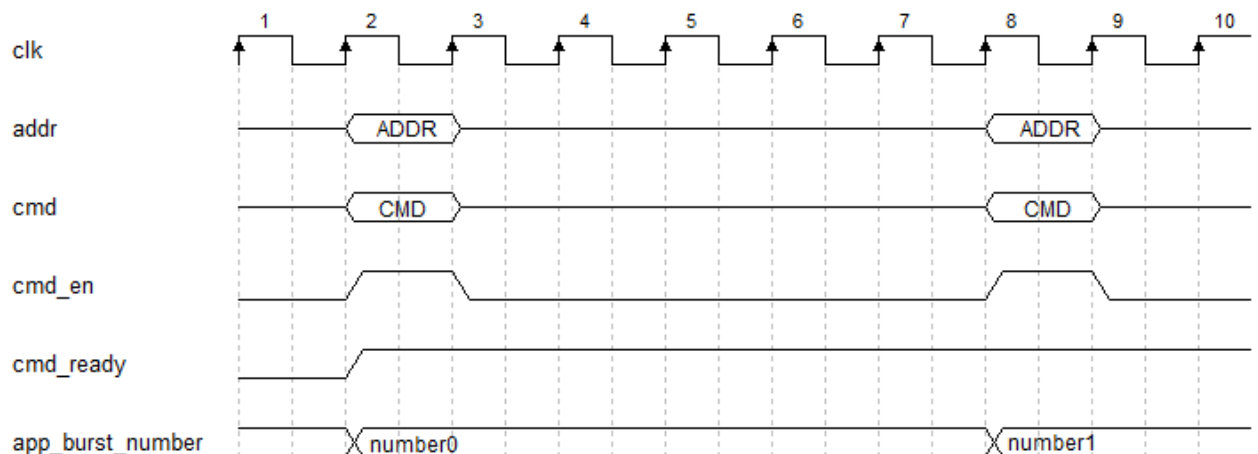
当 cmd\_en 为高时，此时的 cmd 与 addr 有效，若在 cmd\_ready 为低电平时 cmd\_en 变为高，则 cmd\_en、cmd 与 addr 需继续保持直至 cmd\_ready 为高，才能够将命令正常存入 MC。

图 4-8 命令、地址与使能信号时序图



当使用 1:4 时钟比例时，数据突发模式为连续突发模式，发送一个命令和地址之后，自动连续突发 n 次，地址自动连续自加，其中 n 大于等于 0 小于等于 63，即连续突发 1 到 64 可选，最高支持连续突发 64 次，通过 IO 口输入，在每次命令是发送给 IP，每次突发结束后可再次修改连续突发次数；连续突发模式下地址需要用户根据突发次数自己累加计算；两次命令间隔需等待突发数据发送完毕和 cmd\_ready 信号拉高。

图 4-9 时钟比例 1:4 模式下命令、地址与使能信号时序图

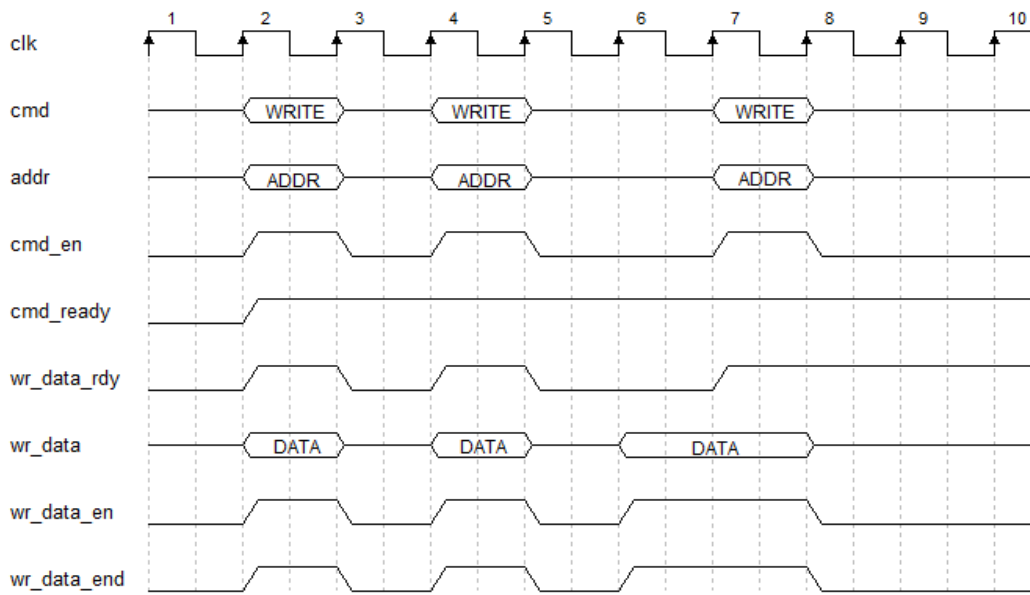


### 4.4.3 写数据

用户可通过用户接口 `wr_data`、`wr_data_wren` 与 `wr_data_end` 等端口将写数据发送给 Gowin DDR3 Memory Interface IP，写数据经过处理后会发送给 DDR3 SDRAM。

- `wr_data` 为写数据端口；
- `wr_data_en` 为写数据使能端口，当其为高电平时表示写数据有效；
- `wr_data_end` 指示在当前突发长度下，写入此组数据所需占用的最后一个周期；
- 在写数据通道中，当 `wr_data_rdy` 为高电平时，表示 MC 可以接收写数据；
- 若在 `wr_data_rdy` 为低电平时，用户发送了写数据，应将 `wr_data`、`wr_data_en` 与 `wr_data_end` 等信号维持，直至 `wr_data_rdy` 为高电平，如图 4-9 所示。

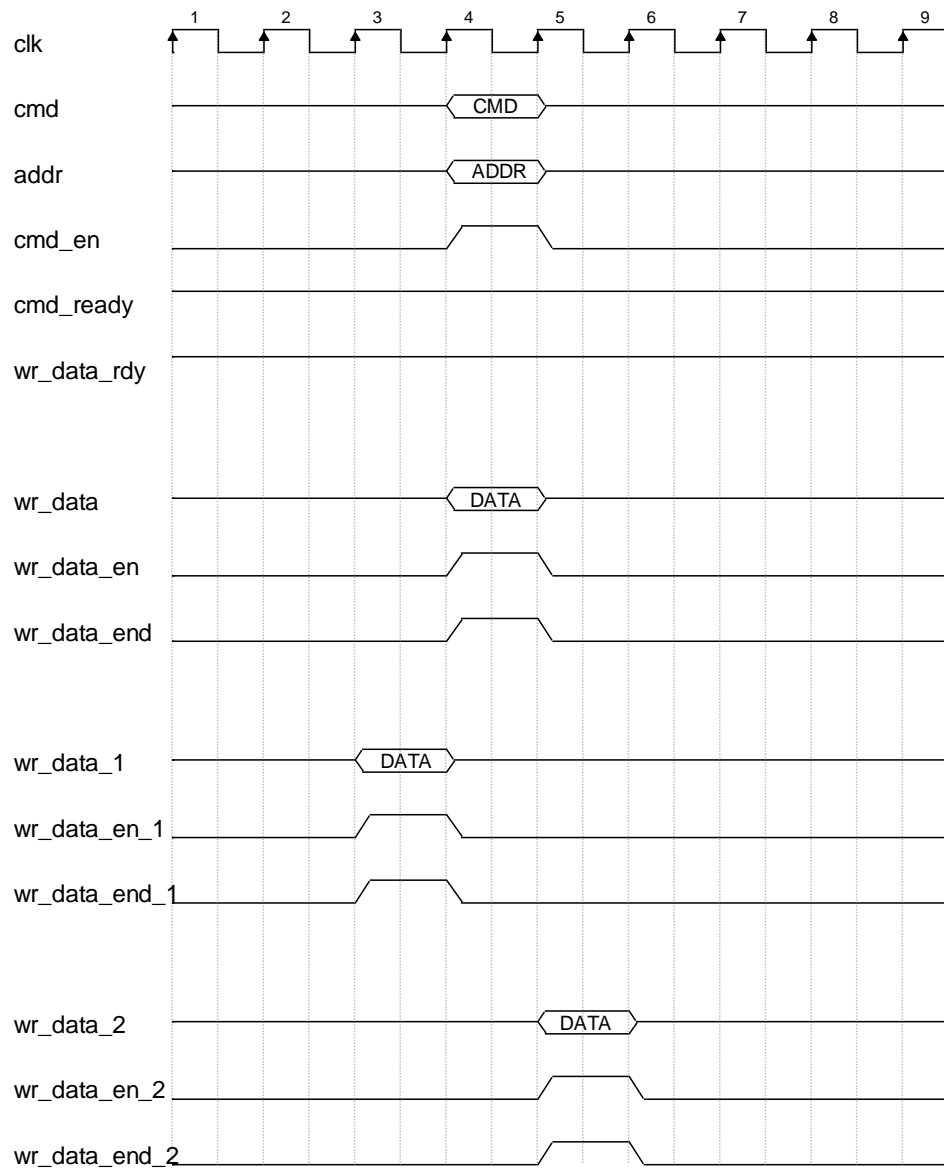
图 4-9 写数据端口时序图



写数据通道与命令通道之间存在多种时序情况，如图 4-10 所示：

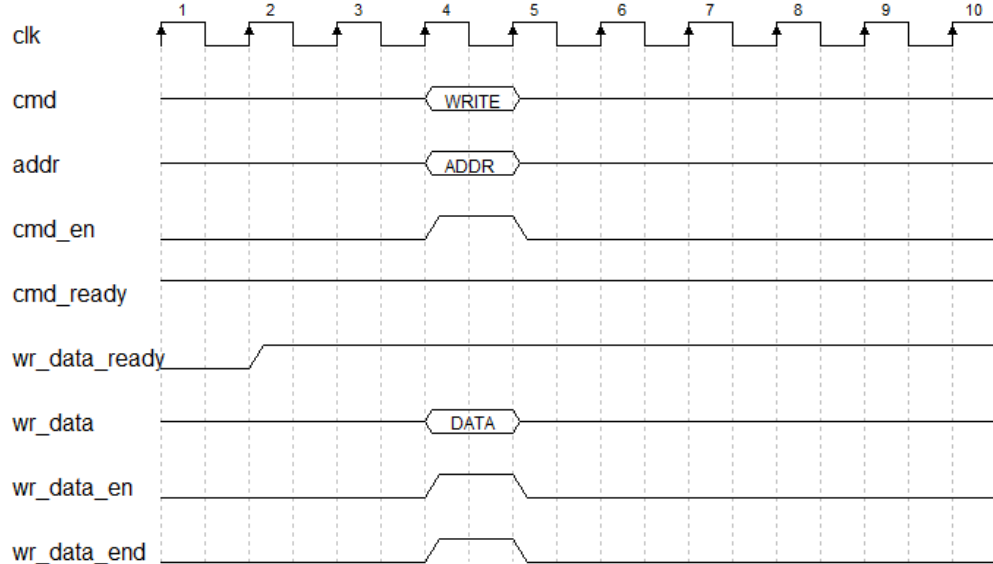
- 写数据与写命令同时发送；
- 写数据在对应的写命令之前发送；
- 写数据在对应的写命令之后发送，但写数据的延迟周期数不能超过 2 个周期。

图 4-10 不同情况下写数据通道与命令通道时序图



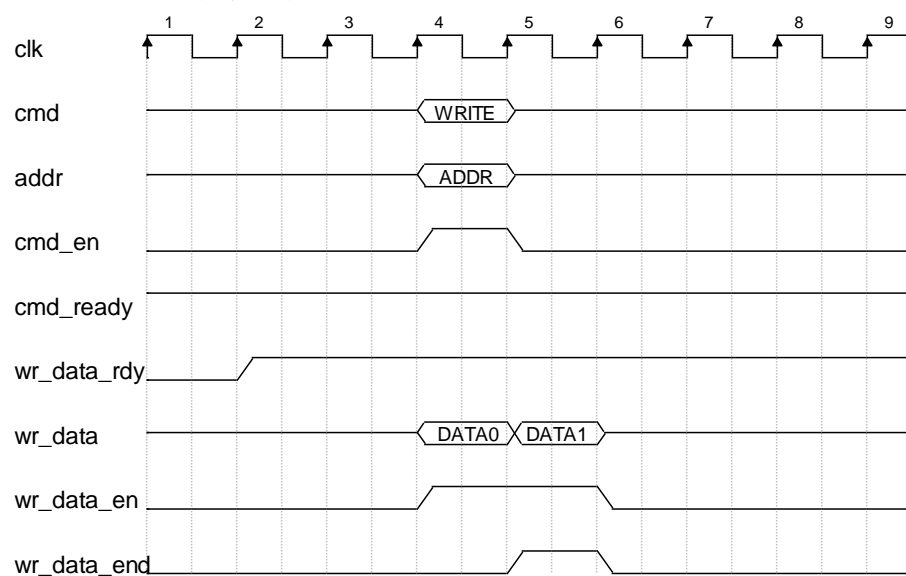
当时钟比例 1:2 时，用户配置突发长度为 BL4 时，写数据占用一个 clk 周期，如图 4-11 所示，且 wr\_data\_end 需在写数据的第一个周期变高，以指示写数据结束。

图 4-11 时钟比例 1:2 突发长度为 BL4 时写数据时序图



当时钟比例 1:2 时，用户配置突发长度为 BL8 时，写数据占用两个 clk 周期，如图 4-12 所示，且 wr\_data\_end 需在写数据的第二个周期变高，以指示写数据结束。

图 4-12 时钟比例 1:2 突发长度为 BL8 时写数据时序图

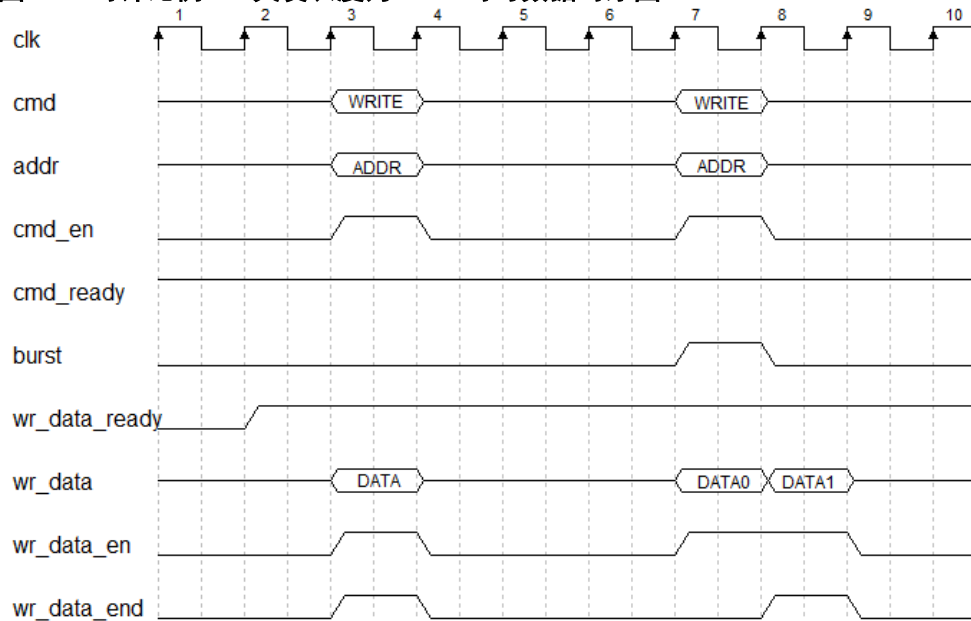


当时钟比例 1:2 时，用户配置突发模式为 OTF 时（即 BL4 与 BL8 可由用户控制 burst 端口实现随意切换），当 cmd\_en 有效时，burst 为 0 表示 BL4 写入，写数据占用一个 clk 周期且 wr\_data\_end 需在写数据的第一个周期变高，burst 为 1 表示 BL8 写入，写数据占用两个 clk 周期且 wr\_data\_end 需



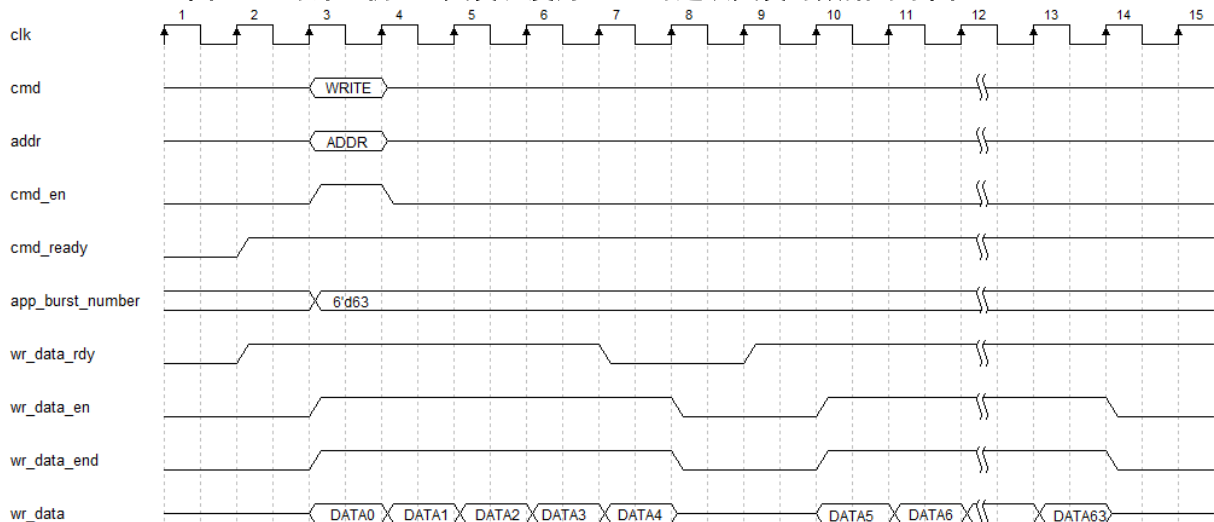
在写数据的第二个周期变高，以指示写数据结束，如图 4-12 所示。

图 4-13 时钟比例 1:2 突发长度为 OTF 时写数据时序图



当时钟比例 1:4 时，用户配置突发长度只支持 BL8，每次突发写数据占用一个 clk 周期，且 wr\_data\_end 需在写数据的第一个周期变高，以指示写数据结束，写操作以 wr\_data\_rdy 为写就绪指示信号，所有写操作必须等待 wr\_data\_rdy 拉高才可操作，wr\_data\_rdy 拉低时写操作等待，连续突发写数据次数需与 app\_burst\_number 一致，如图 4-12 所示。

图 4-14 时钟比例 1:4 突发长度为 BL8 时连续突发写数据时序图



#### 4.4.4 读数据

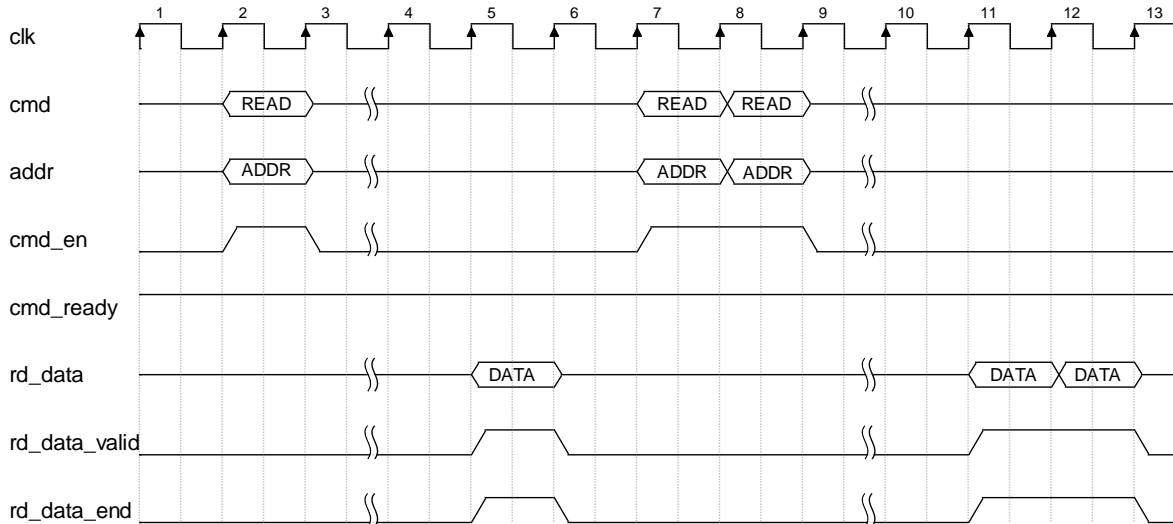
用户可通过用户接口 rd\_data、rd\_data\_valid 与 rd\_data\_end 读取 DDR3 SDRAM 返回的数据。

- 端口 rd\_data 为返回的读数据端口；

- 端口信号 `rd_data_valid` 为读数据有效端口，当其为高电平时，指示此时返回的 `rd_data` 有效；
- 端口 `rd_data_end` 指示在当前突发长度下所返回的最后一组数据，高电平时有效。

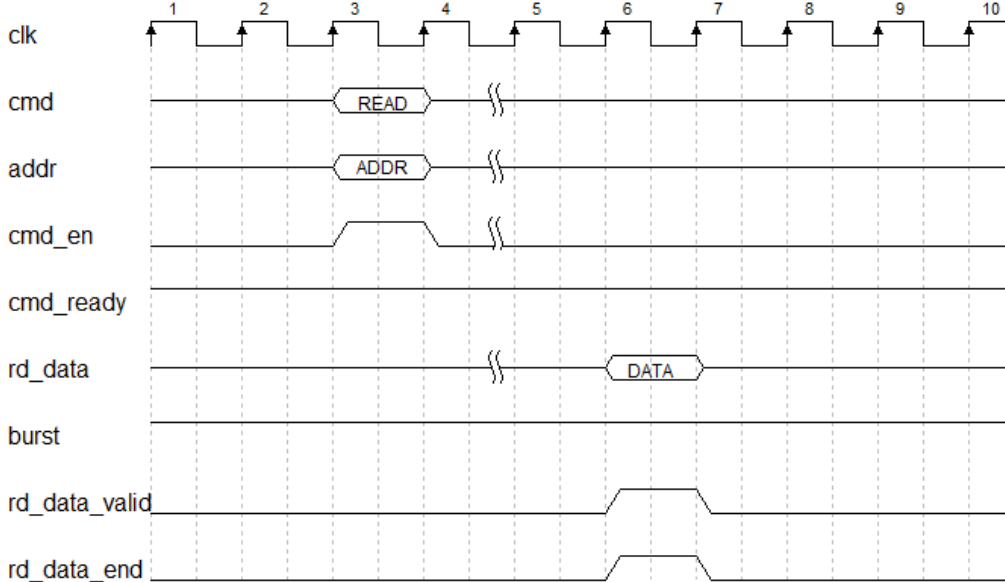
当用户连续读多个地址时，将按照发送读命令时的地址顺序依次返回相应的数据。

图 4-15 读数据端口时序图



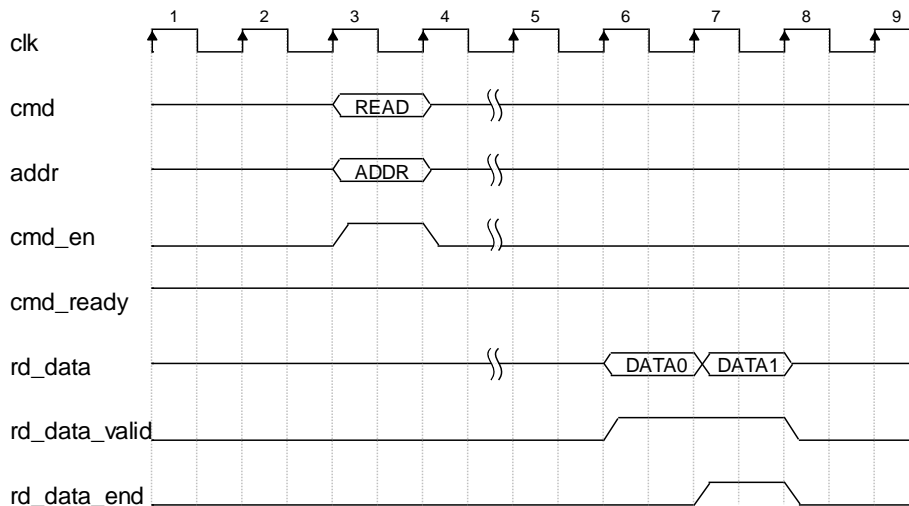
与写操作时类似，当时钟比例 1:2 时，用户配置突发长度为 BL4 时，读数据占用一个 `clk` 周期，如图 4-16 所示：

图 4-16 突发长度为 BL4 时读数据时序图



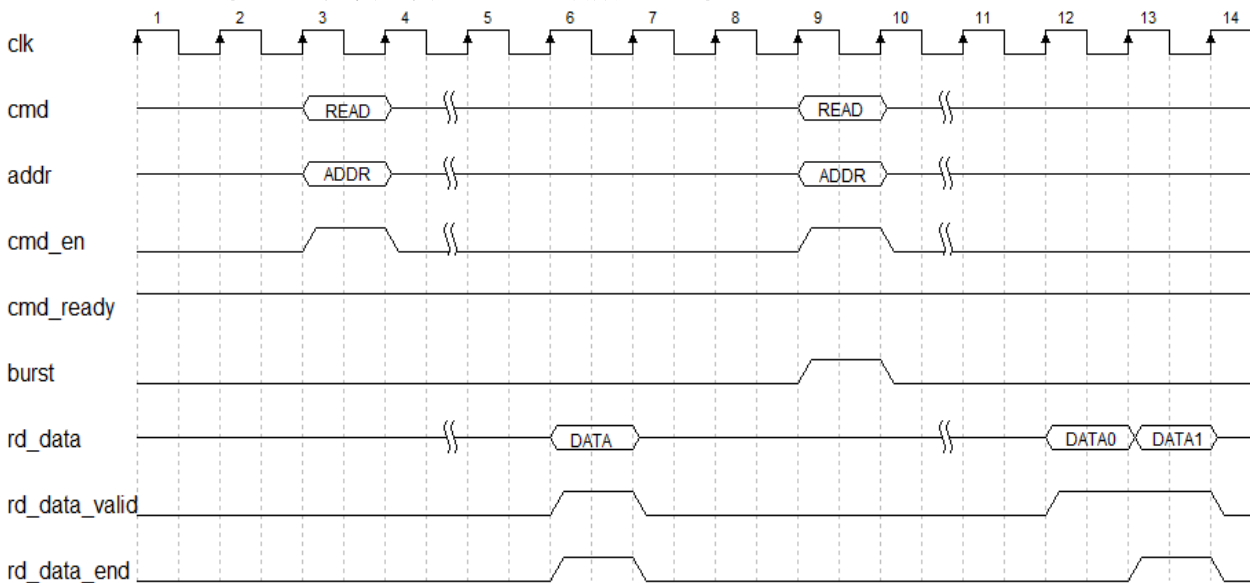
与写操作时类似，当时钟比例 1:2 时，用户配置突发长度为 BL8 时，读数据占用两个 `clk` 周期，如图 4-17 所示：

图 4-17 突发长度为 BL8 时读数据时序图



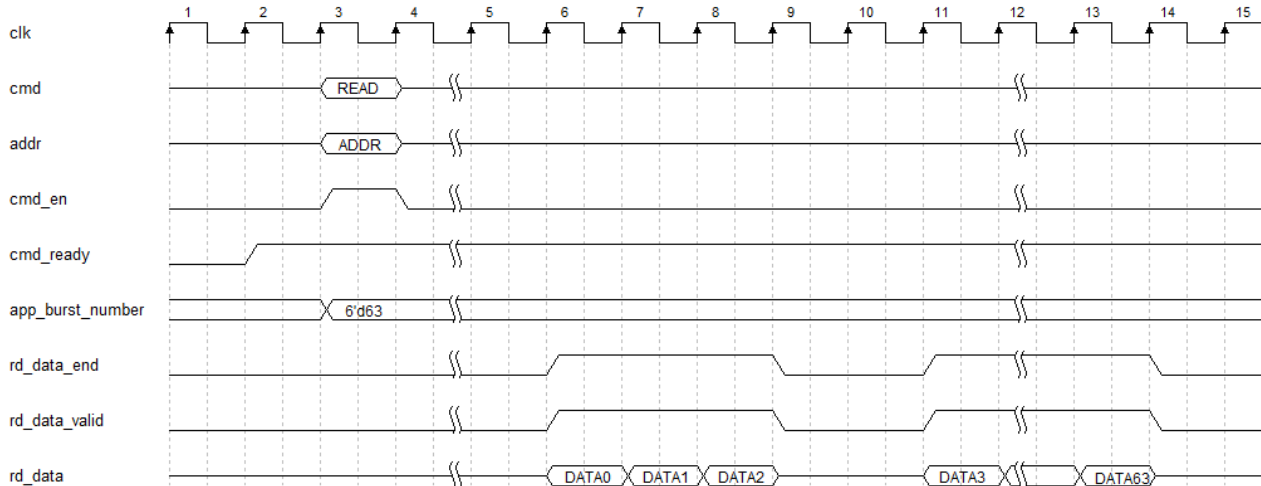
当时钟比例 1:2 时，用户配置突发模式为 OTF 时（即 BL4 与 BL8 可由用户控制 burst 端口实现随意切换），当 cmd\_en 有效时，burst 为 0 表示 BL4 读出，读数据占用一个 clk 周期，burst 为 1 表示 BL8 读出，读数据占用两个 clk 周期，如图 4-12 所示。

图 4-18 突发长度为 OTF 时读数据时序图



当时钟比例 1:4 时，用户配置突发长度只支持 BL8 时，每次突发读数据占用一个 clk 周期，连续突发读数据次数需与 app\_burst\_number 一致，如图 4-17 所示。

图 4-19 时钟比例 1:4 突发长度为 BL8 时连续突发读数据时序图



### 4.4.5 刷新

#### 刷新

在 DDR3 SDRAM 存储阵列需要不断的刷新来保证数据不丢失，因此需要 Gowin DDR3 Memory Interface IP 周期性的向 DDR3 SDRAM 发送刷新指令。Gowin DDR3 Memory Interface IP 间隔  $t_{REFI}$  时间产生刷新命令，刷新命令产生后，MC 执行完最后一条读写命令后，会 PreCharge 所有 Bank，然后执行 Refresh 命令，刷新操作具有较高优先级。

#### 自刷新

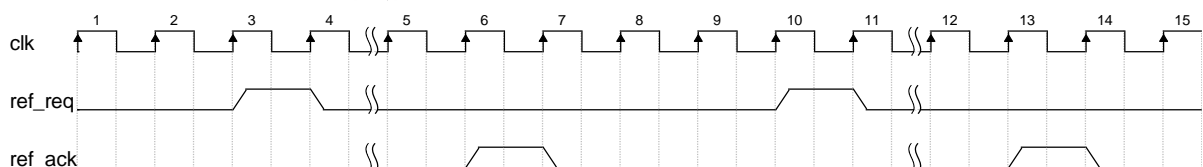
用户可通过端口 `sr_req` 发送自刷新（self refresh）请求，配置 DDR3 SDRAM 进入自刷新模式。在自刷新模式下，DDR3 SDRAM 会自动刷新存储阵列，无需 Gowin DDR3 Memory Interface IP 发送刷新指令。

Gowin DDR3 Memory Interface IP 在完成对 DDR3 SDRAM 的自刷新配置后，会向用户返回信号 `sr_ack`，表示 DDR3 SDRAM 已进入自刷新模式。

#### 用户刷新

用户可以通过选项配置刷新模式为用户刷新，需将“USER\_REFRESH”设置为“ON”。用户可在任意时刻通过端口 `ref_req` 向 MC 提出刷新请求，无需通过 `cmd` 端口向 MC 发出其它命令。发送用户刷新指令时，`ref_req` 需持续一个周期的高电平，完成刷新指令发送后，MC 会反馈 `ref_ack` 信号，持续一个周期的高电平，如图 4-20 所示。

图 4-20 用户刷新时序图



用户刷新操作可能会影响 MC 已经接收的或正在执行的指令。在进行用户刷新操作前，MC 会优先完成正在执行的命令操作。用户应考虑发出用户刷新与各项指令之间的配合，避免造成  $t_{REFI}$  违规。

考虑最坏情况下，用户刷新可参考以下公式进行操作，命令一定时间来完成传输，可大致通过  $t_{RCD}$ 、 $CL$ 、数据传输时间、 $t_{RP}$  等参数计算，且用

户刷新应在时间参数  $t_{REFI}$  违规前完成，因此两次用户刷新时间的最大间隔约为：

$$t_{REFI} - (t_{RCD} + (CL + 4) \times t_{CK} + t_{RP}) \times nBA$$

在实际应用中，若启动用户刷新，用户需要在 **DDR3 SDRAM** 完成初始化后立刻发出一个用户刷新，以确立后续用户刷新请求的时间基准。

# 5 端口列表

Gowin DDR3 Memory Interface IP 的 IO 端口如表 5-1 所示。

表 5-1 Gowin DDR3 Memory Interface IP 的 IO 端口列表

信号	位宽	方向	描述
User Interface			
addr	ADDR_WIDTH	Input	地址输入，信号宽度可以设置 parameter
cmd	3	Input	命令通道
cmd_en	1	Input	命令与地址使能信号： 0: 无效 1: 有效
cmd_ready	1	Output	高电平时指示Memroy Interface可接收命令与地址
rd_data	APP_DATA_WIDTH	Output	读数据通道
rd_data_end	1	Output	高电平时指示当前输出的一组rd_data的结束周期
rd_data_valid	1	Output	rd_data有效信号： 0: 无效 1: 有效
burst	1	Input	OTF控制端口，为1'b1时是BL8模式；为1'b0时是BL4模式
app_burst_number	[5:0]	Input	仅时钟比例1:4时显示此端口，为连续突发次数输入端口；
wr_data	APP_DATA_WIDTH	Input	写数据通道
wr_data_end	1	Input	高电平指示当前时钟周期是此组数据wr_data的最后一个周期
wr_data_mask	APP_MASK_WIDTH	Input	为wr_data提供遮挡信号
wr_data_rdy	1	Output	高电平时表示MC可以接收用户数据
wr_data_en	1	Input	wr_data使能信号： 0: 无效 1: 有效
sr_req	1	Input	自刷新请求

信号	位宽	方向	描述
sr_ack	1	Output	自刷新应答信号
ref_req	1	Input	用户刷新请求
ref_ack	1	Output	用户刷新应答信号
clk	1	Input	参考输入时钟
rst_n	1	Input	系统复位输入信号： 0: 有效 1: 无效
init_calib_complete	1	Output	初始化完成信号
clk_out	1	Output	用户设计时钟，频率为Memory Clk的1/2
ecc_err	APP_DATA_WIDTH/32	Output	ECC指示信号输出
ddr_rst	1	Output	经过IP处理过的复位信号，供用户设计使用，高复位
DDR3 SDRAM Interface			
O_dds_addr	ROW_WIDTH	Output	Row地址（激活命令）、Column地址（读、写命令）
O_dds_bank	BANK_WIDTH	Output	Bank地址
O_dds_cs_n	CS_WIDTH	Output	片选，低有效
O_dds_ras_n	1	Output	Row地址选通信号
O_dds_cas_n	1	Output	Column地址选通信号
O_dds_we_n	1	Output	Row写使能
O_dds_ck	CK_WIDTH	Output	提供给DDR3 SDRAM的时钟信号
O_dds_ck_n	CK_WIDTH	Output	与dds_ck组成差分信号
O_dds_cke	CKE_WIDTH	Output	DDR3 SDRAM时钟使能信号
O_dds_odt	ODT_WIDTH	Output	内存信号端接电阻控制
O_dds_reset_n	1	Output	DDR3 SDRAM复位信号
O_dds_dm	DM_WIDTH	Output	DDR3 SDRAM数据屏蔽信号
IO_dds_dq	DQ_WIDTH	Bidirection	DDR3 SDRAM数据
IO_dds_dqs	DQS_WIDTH	Bidirection	DDR3 SDRAM数据选通信号
IO_dds_dqs_n	DQS_WIDTH	Bidirection	与dds_dqs组成差分信号

# 6 参数配置

Gowin DDR3 Memory Interface IP 可支持 DDR3 SDRAM 器件，用户需根据设计要求配置 Gowin DDR3 Memory Interface 的各个静态参数与时序参数，具体参数分别如表 6-1 和表 6-2 所示。

**表 6-1 Gowin DDR3 Memory Interface 的静态参数选项**

名称	描述	选项
DRAM_TYPE	存储器类型	DDR3;
DRAM_WIDTH	DDR3颗粒DQ宽度	4, 8, 16;
ADDR_CMD_MODE	地址命令模式	1T, 2T;
nCK_PER_CLK	PHY与MC接口之间时钟比例	2;
nCS_PER_RANK	每个Rank CS的数量	1;
APP_ADDR_WIDTH	地址位宽	RANK_WIDTH + BANK_WIDTH + ROW_WIDTH + COL_WIDTH;
BANK_WIDTH	内存BANK地址宽度	根据DDR3 SDRAM芯片选择
CS_WIDTH	CS位宽	根据DDR3 SDRAM芯片选择
RANK_WIDTH	RANK地址宽度	对于Single与Dual rank器件，此选择为1;
ROW_WIDTH	DRAM ROW地址宽度	根据DDR3 SDRAM芯片选择
DM_WIDTH	数据遮挡位宽	DQ_WIDTH/ DRAM_WIDTH
DQ_WIDTH	DQ信号宽度	DQ_WIDTH=DRAM_WIDTH * DQS_WIDTH
DQS_WIDTH	DQS信号宽度	DQ_WIDTH/8
BURST_MODE	突发长度	“4”、“8”、“OTF”
BURST_TYPE	突发时数据读写数据	“Sequential” “Interleaved”
RTT_NOM	Nominal ODT数值	“OFF”: OFF “20”: 20 “30”: 30 “40”: 40 “60”: 60 “120”: 120
RTT_WR	Multiple-RANK中用于写端口的	“OFF”: RTT_WR disabled.



名称	描述	选项
	Dynamic ODT的数值 对于 Single-Component 设计 RTT_WR无效;	"120": RZQ/2 "60": RZQ/4
APP_DATA_WIDTH	用户接口数据信号宽度	$APP\_DATA\_WIDTH = 2 * nCK\_PER\_CLK * DQ\_WIDTH$
APP_MASK_WIDTH	用户接口Mask信号宽度	$APP\_DATA\_WIDTH/DRAM\_WIDTH$
USER_REFRESH	是否由用户自己控制刷新操作	"ON", "OFF"

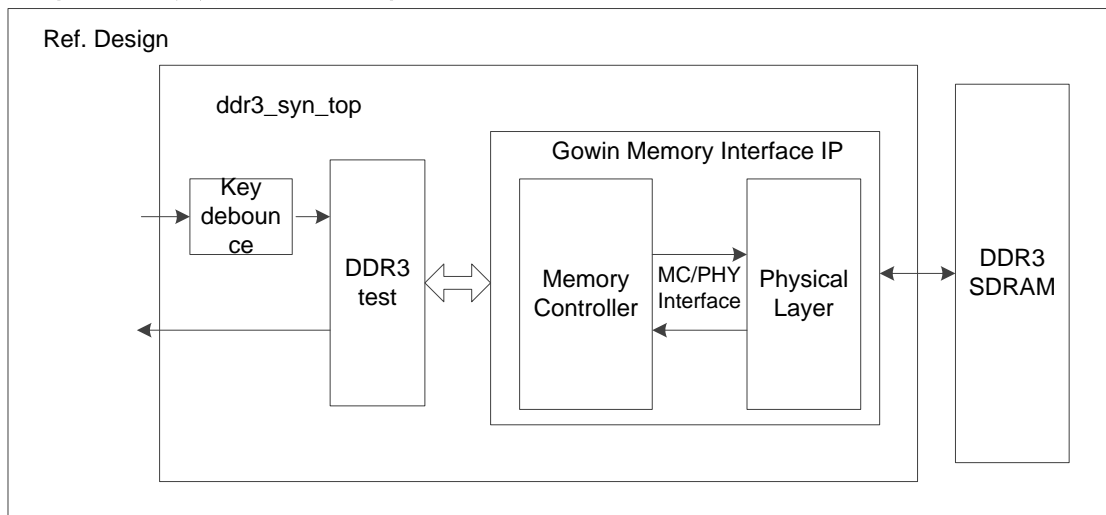
表 6-2 DDR3 时间参数

名称	描述
t <sub>CK</sub>	Memory接口时钟周期(ps)
t <sub>CKE</sub>	CKE信号最小脉冲时间(ps)
t <sub>FAW</sub>	同一rank中允许同时发送大于四个行激活命令的间隔时间, 因此最小值应该不小于tRRD的四倍
t <sub>RAS</sub>	ACTIVE到PRECHARGE时间
t <sub>RCD</sub>	ACTIVE到READ或WRITE时间
t <sub>REFI</sub>	内存刷新时间间隔
t <sub>RFC</sub>	REFRESH到 ACTIVE/REFRESH间隔
t <sub>RP</sub>	PRECHARGE周期
t <sub>RRD</sub>	ACTIVE到ACTIVE时间间隔
t <sub>RTP</sub>	READ到PRECHARGE时间间隔
t <sub>WTR</sub>	WRITE到READ时间间隔
AL	Additive Latency
CL	CAS Latency
WR_CYC	Write recovery for autoprecharge

# 7 参考设计

为方便用户快速熟悉并使用 Gowin DDR3 Memory Interface IP，提供了一个简单的参考设计，参考设计基本结构如图 7-1 所示。

图 7-1 参考设计基本结构框图



在参考设计中，`ddr3_syn_top` 模块是顶层模块单元，其端口连接输入参考时钟、外部复位等信号，端口连接如表 7-1 所示。`DDR3_test_rst` 用于产生 Gowin Memory Interface IP 所需的地址、数据与读写等命令，并且该模块单元可综合。`Key_debounce` 模块是一个消抖模块，用于消除由按键或拨码开关控制外部激励时产生的信号抖动。

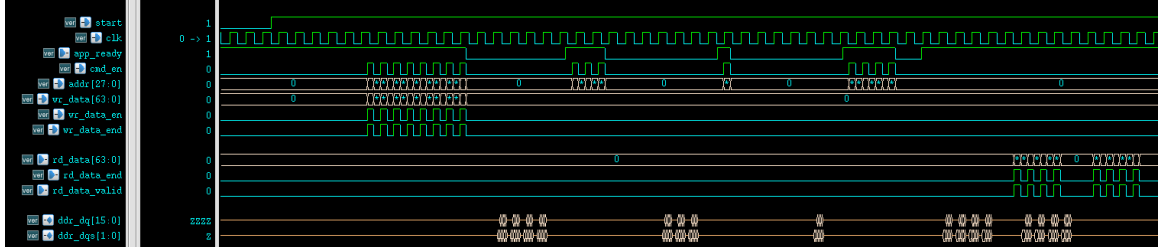
表 7-1 `DDR3_syn_top` 模块输入端口列表

名称	描述
clk	输入参考时钟，默认50MHz
rst_n	输入复位信号
display	切换组间数据
sw	切换组内数据

DDR3\_test 产生 8 次写命令与 8 次读命令，对不同的地址进行写与读操作。用户可修改写入的地址及数据等，并对 Memory Interface IP 返回的读数据进行分析验证。在该参考设计中，选择内存条粒型号为威刚 AD3U160022G11，配置 Burst Mode 为 BC4，DQ 宽度为 16 位。

DDR3\_test 与 Memory Interface IP 端口之间部分信号的仿真波形如图 7-2 所示。

图 7-2 DDR3\_test 部分端口信号仿真波形



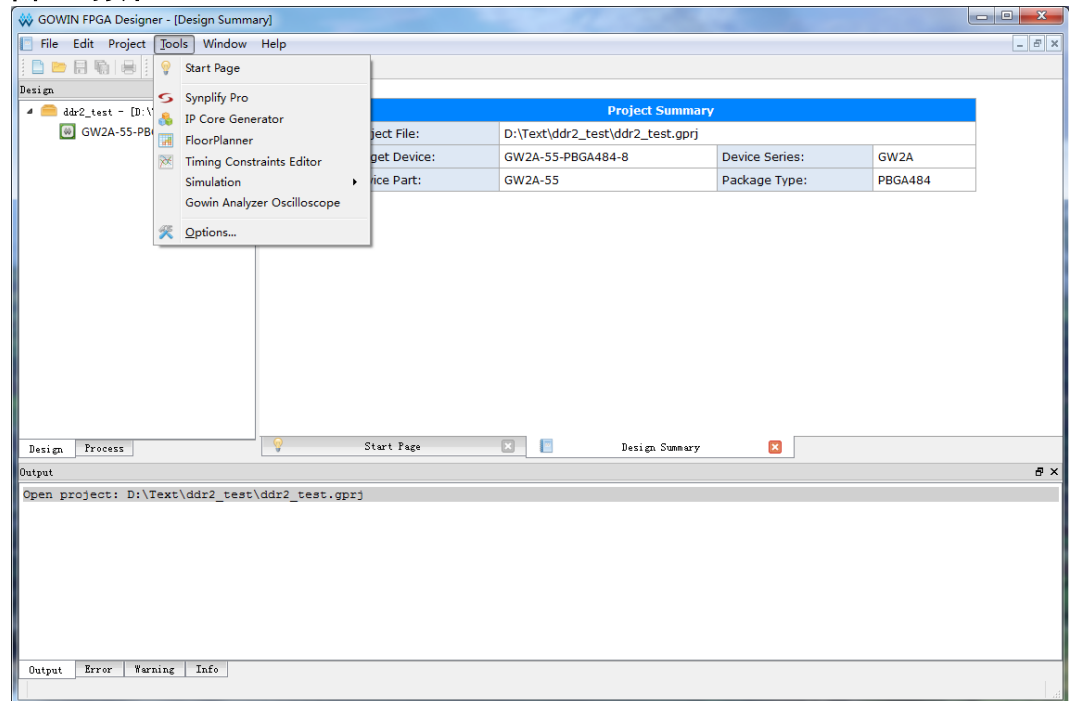
# 8 界面配置

用户可在 IDE 中通过 IP Core Generator 工具调用并配置 Gowin DDR3 Memory Interface IP。本章节以选择使用威刚 AD3U160022G11 内存颗粒为例，介绍了主要配置界面、配置流程以及各配置选项含义（以时钟比例 1:2 为例）。

## 1. 打开 IP Core Generator

用户建立工程后，点击左上角 Tools 选项卡，下拉单击 IP Core Generator 选项，就可打开 GOWIN 的 IP 核产生工具，如图 8-1 所示。

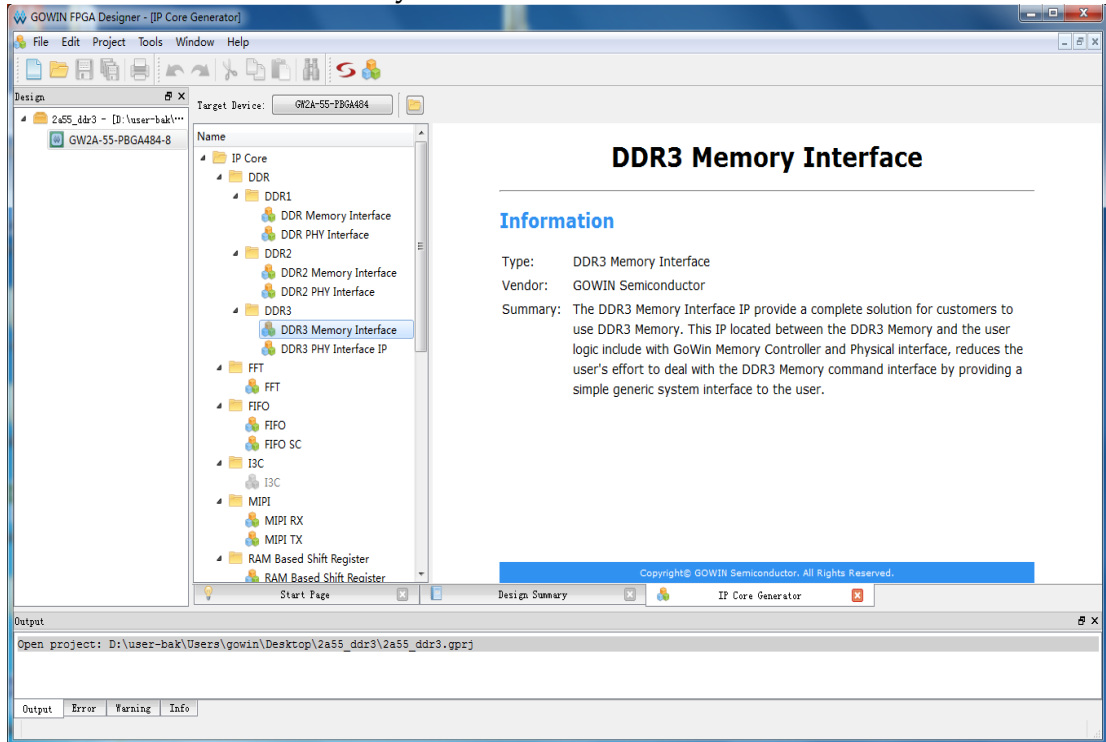
图 8-1 打开 IP Core Generator



## 2. 打开 DDR3 Memory Interface IP 核

点击 DDR 选项，双击 DDR3 Memory Interface，打开 DDR3 Memory Interface IP 核的配置界面，如图 8-2 所示。

图 8-2 打开 DDR3 Memory Interface IP 核

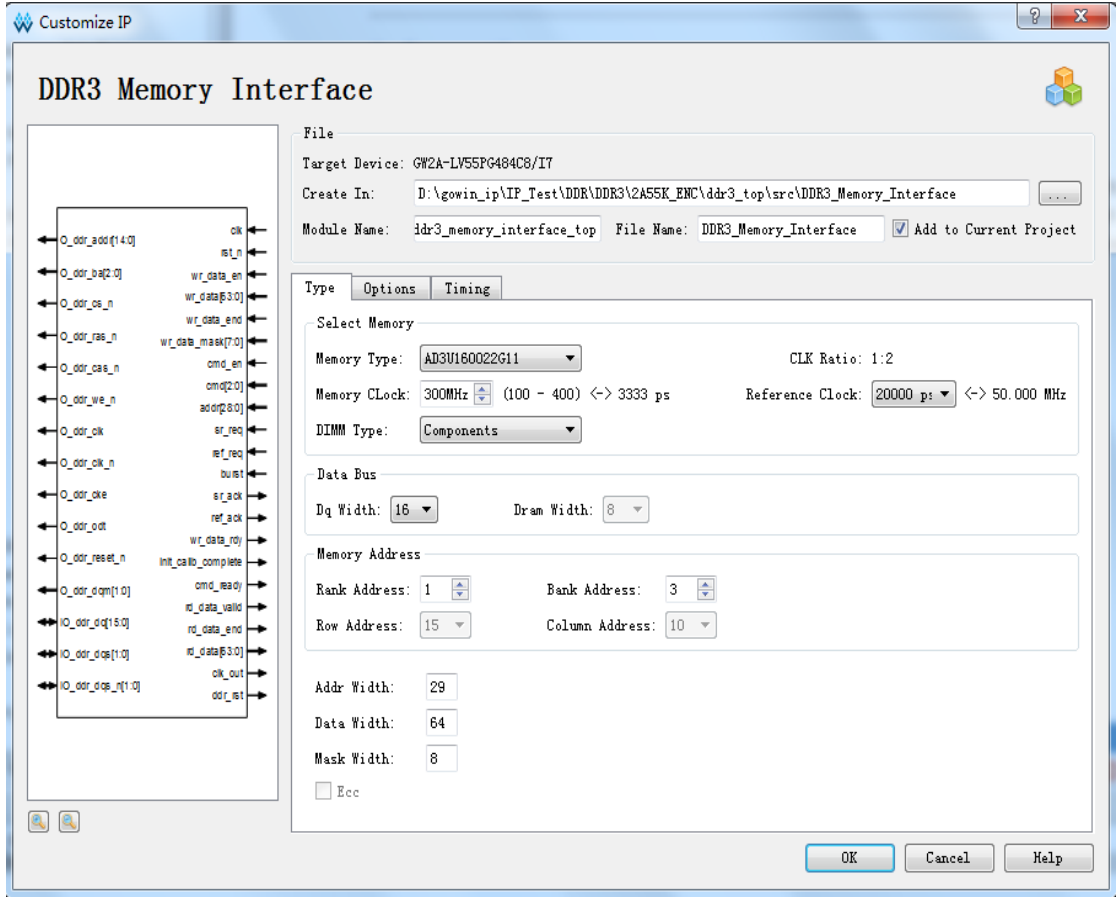


### 3. DDR3 Memory Interface IP 核端口界面

配置界面左端是 DDR3 Memory Interface IP 核的接口示意图,如图 8-3 所示。

接口示意图中左端是 DDR3 Memory Controller 与用户端接口,用户通过将自己的用户设计连接到 DDR3 Memory Interface IP 中实现命令和数据的收发,右端是 PHY (Physical interface) 与内存颗粒的接口,用户通过将 DDR3 Memory Interface IP 核与自己所需内存颗粒连接,实现对数据的存取。用户使用不同的配置信息,接口示意图中的信号位宽,信号数量将会随之改变。

图 8-3 IP 核接口示意图



#### 4. 打开 Help 文档

在图 8-2 的左下角，有一个 Help 按钮，用户可以点击 Help 按钮查看配置界面中各个选项的简单英文介绍，方便用户快速完成对 IP 核的配置，Help 文档选项介绍顺序和界面顺序一致，如图 8-4 所示。

图 8-4 Help 文档  
**DDR3 Memory Interface**

### Information

Type:	DDR3 Memory Interface
Vendor:	GOWIN Semiconductor
Summary:	The DDR3 Memory Interface IP provide a complete solution for customers to use DDR3 Memory. This IP located between the DDR3 Memory and the user logic include with GoWin Memory Controller and Physical interface, reduces the user's effort to deal with the DDR3 Memory command interface by providing a simple generic system interface to the user.

### Options

Option	Description
Type	
Memory Type	Choose the type of DDR3 Memory which consumer use
CLK Ratio	This is the Memory Controller clock to DDR3 Memory clock ratio.
Memory Clock	The consumer desire DDR3 Memory working frequency.
Reference Clock	PCB input clock.
DIMM Type	DIMM Type.
Dq Width	This is the memory DQ bus width. This parameter supports DQ widths from 8 to a maximum of 72 in increments of 8. The available maximum DQ width is frequency dependent on the selected memory device.
Dram Width	When Memory Type choose Custom , Dram Width can be modified.
Rank Address	This is the number of bits required to index the RANK bus.
Bank Address	This is the number of memory bank address bits. Memory Type choose Custom , Bank Address can be modified.
Row Address	This is the DRAM component address bus width.Memory Type choose Custom , Row Address can be modified.
Column Address	This is the number of memory column address bits.Memory Type choose Custom , Column Address can be modified.
Addr Width	This is the memory address bus width.It is equal to Rank Width + Bank Width + Row Width+ Column Width.
Data Width	It is equal to 4*Dq.
Mask Width	It is equal to Data Width/Dram Width.
ECC	This is the error correction code, available in 72-bit Dq Width configurations.

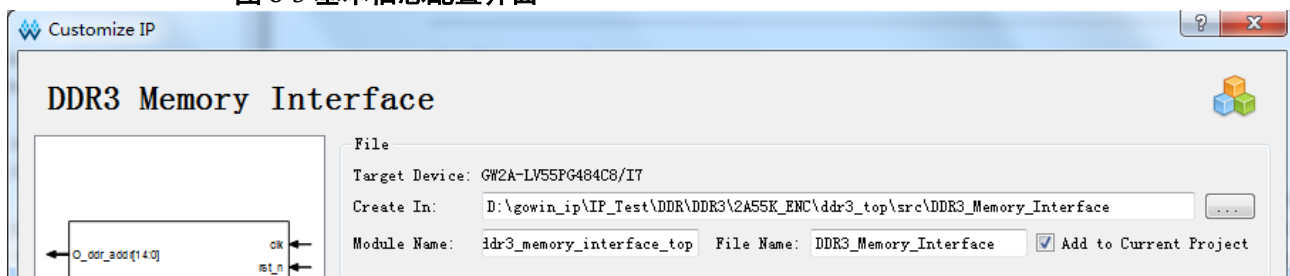
Option	
Burst Mode	This is the memory data burst length.
Burst Type	This is an option for the ordering of accesses within a burst.
User Refresh	This parameter indicates if the user manages refresh commands. Can be set for either the User or Native interface.
CAS Latency	This is the read CAS latency.
CW Latency	This is the write CAS latency
Additive Latency	This is the additive latency in memory clock cycles.
Write Recovery	This is Write Recovery.
SLOT_0_CONFIG	SLOT0 configuration.
SLOT_1_CONFIG	SLOT1 configuration.
Rtt Nom	This is the nominal ODT value.
Addr Cmd Mode	This parameter is used by the controller to calculate timing on the memory addr/cmd bus.
OUTPUT DRV	This is the DRAM reduced output drive option.
Timing	
tRTP Period	This is the READ-to-PRECHARGE command delay.
tRP Period	This is the PRECHARGE command period.
tWTR Period	This is the WRITE-to-READ command delay.
tRC Period	This is the ACTIVE-to-ACTIVE command delay.
tRAS Period	This is the minimum ACTIVE-to-PRECHARGE period for memory.
tRCD Period	This is the ACTIVE-to-READ or -WRITE command delay.
tFAW Period	This is the minimum interval of four active commands.
tRRD Period	This is the ACTIVE-to-ACTIVE minimum command period.
tCKE Period	This is the minimum CKE pulse time.
tREFI Period	This is the average periodic refresh interval for memory.
tRFC Period	This is the REFRESH-to-ACTIVE or REFRESH-to-REFRESH command interval.
tDLLK	DLLK cycle number.

Copyright© GOWIN Semiconductor. All Rights Reserved.

## 5. 配置基本信息

在配置界面的上部分是工程基本信息配置界面，目前 DDR3 Memory Interface IP 核只支持 GW2A-55 GW2A-18 GW2AR-18 三款芯片，本文芯片型号选择 GW2A-55 为例，封装选择 PBGA484。Module Name 选项后面是工程产生后顶层文件的名称，默认为“ddr3\_memory\_interface\_top”，用户可自行修改。“File Name”是 IP 核文件产生的文件夹，存放 DDR3 Memory Interface IP 核所需文件，默认为“DDR3 Memory\_Interface”，用户可自行修改路径。Creat IN 选项是 IP 核文件夹产生路径，默认为“\工程路径\src\DDR3\_Memory\_Interface”，用户可自行修改路径。右下角“Add to Current Project”选项是询问是否产生的 IP 直接添加到你的工程中，默认勾选，如图 8-5 所示。

图 8-5 基本信息配置界面





## 6. Type 选项卡

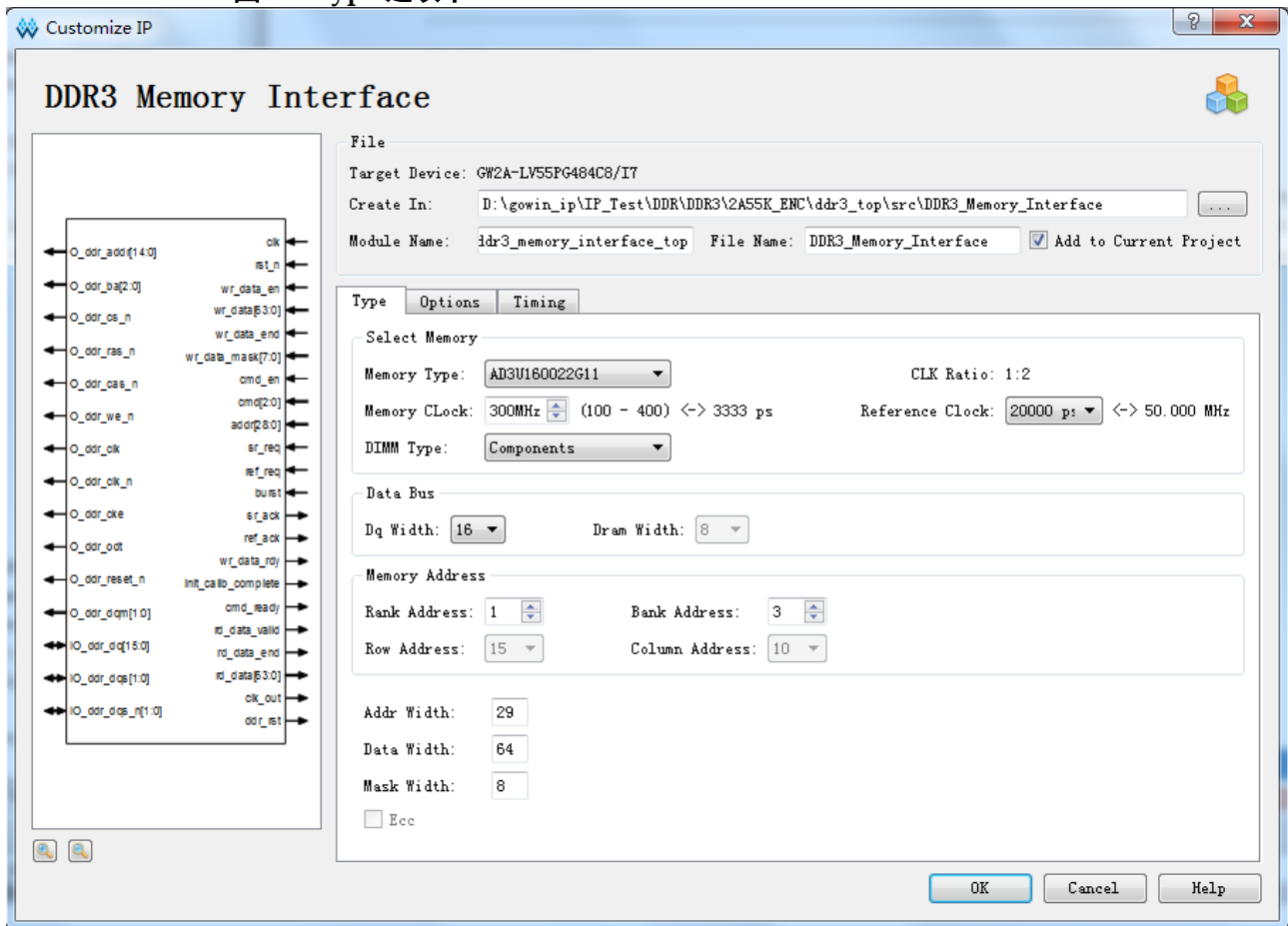
在 Type 选项卡中, 用户需要配置所使用的 DDR3 内存芯片的基本信息。

- Select Memory 选项
- Data Bus 选项
- Memory Address 选项

Memory Address 中主要填写 DDR3 内存颗粒的 Rank, Bank, Row, Column 地址信息, 当选择好 DDR3 内存颗粒类型后, GUI 会自动填写, 如果选择 Custom 则需要用户根据自己使用的 DDR3 内存类型自行选择

- 不可操作项

图 8-6 Type 选项卡



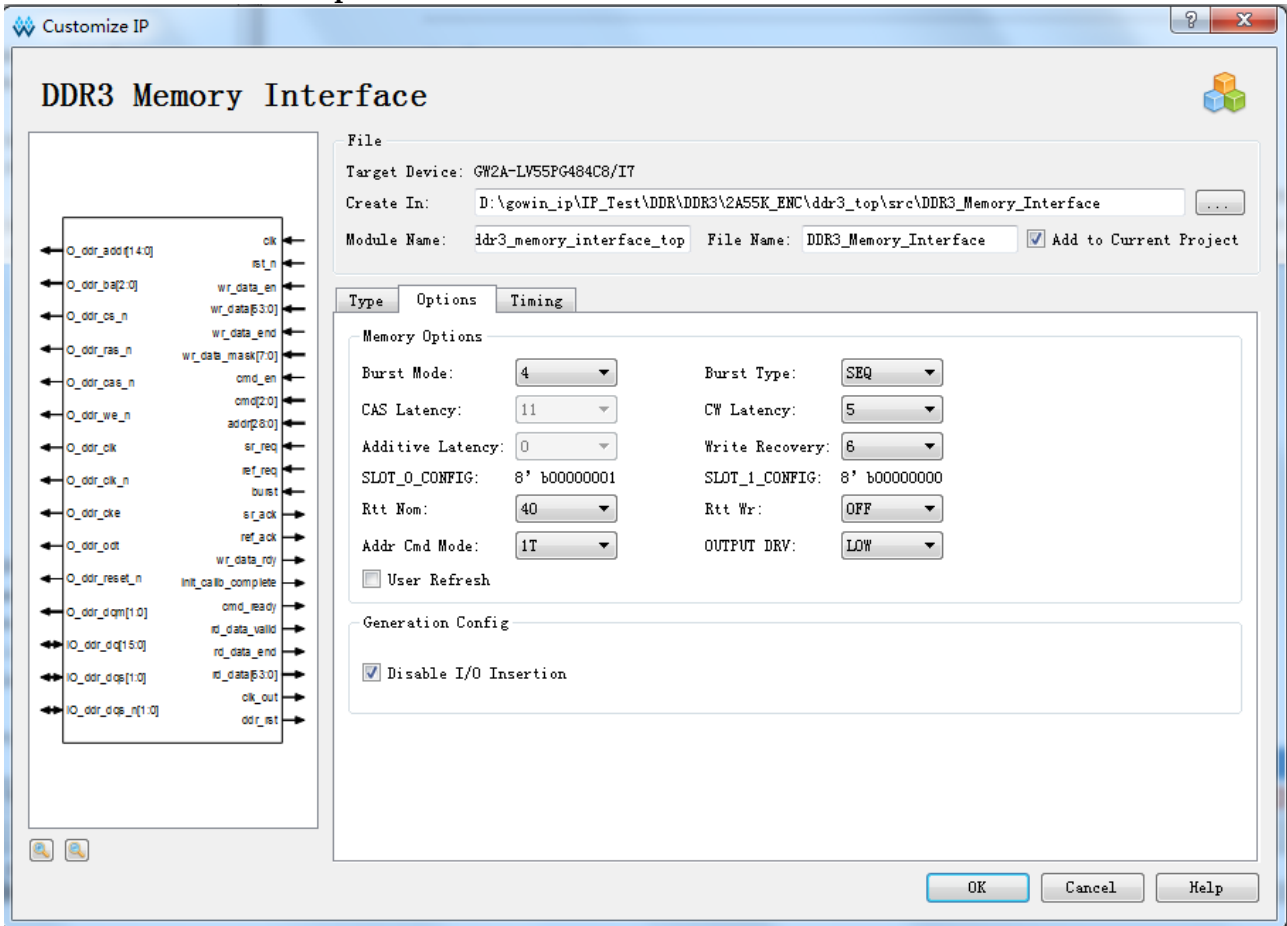
## 7. Options 选项卡

- Memory options 选项
- Generation Config 选项

勾选后产生的 IP 中, 没有插入 IBUF、OBUF 等原语, 直接使用 port 连接逻辑, 默认勾选。

Options 选项卡如图 8-7 所示, 已选择威刚 AD3U160022G11 内存颗粒为例。

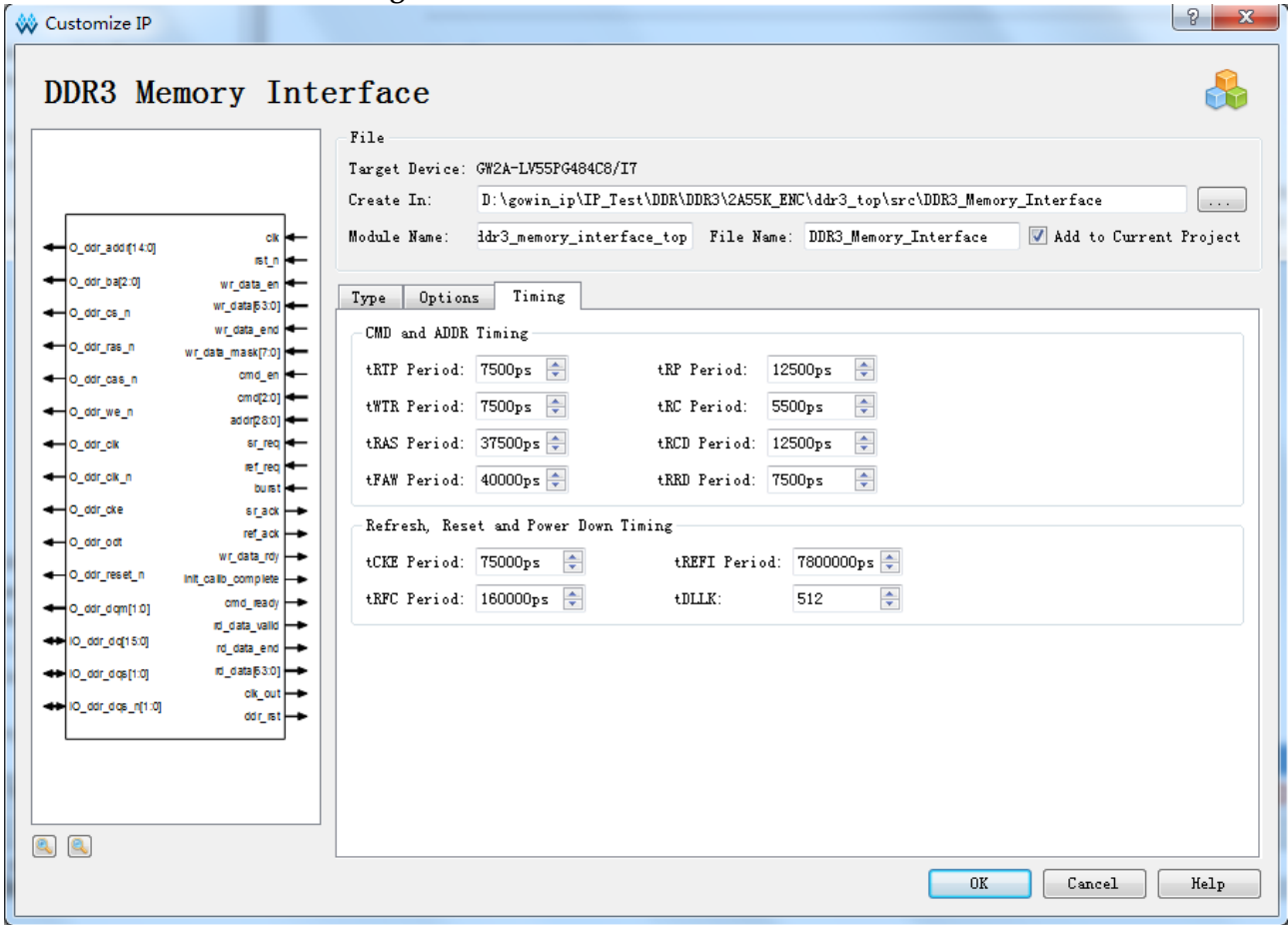
图 8-7 Options 选项卡



## 8. Timing 选项

- Command and Address Timing 选项
- Refresh, Reset and Power Timing 选项

图 8-8 Timing 选项卡



# 9 文件交付

Gowin Memory Interface IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

## 9.1 文档

文件夹主要包含用户指南 PDF 文档。

表 9-1 文档列表

名称	描述
IPUG508-1.0_Gowin DDR3 Memory Interace IP用户指南	高云DDR3内存接口IP用户手册，即本手册

## 9.2 设计源代码（加密）

加密代码文件夹包含 Gowin DDR3 Memory Interface IP 的 RTL 加密代码，供 GUI 使用，以配合高云云源软件产生用户所需的 IP 核。

表 9-2 设计源代码列表

名称	描述
DDR3_TOP.v	IP核顶层文件，给用户接口信息，未加密。
GOWIN Memeory Controller部分代码	
ddr3_name.v	工程命名文件，工程名由GUI传入，未加密。
gwmc_top.v	高云内存控制顶层文件，加密
ecc_top.v	ECC校验顶层文件，加密。
ecc_decoder.v	ECC校验解码文件，加密。
ecc_encoder.v	ECC校验编码文件，加密。
gwmc_bank_ctrl.v	高云内存控制器命令解析、补全、时间校准模块文件，加密
gwmc_cmd_buffer.v	高云内存控制器命令缓存模块文件，加密
gwmc_param.v	高云内存控制器参数配置模块，由用户通过GUI配置产生，未加密
gwmc_local_param.v	高云内存控制器参数处理模块，处理GUI传进的参数，加密
gwmc_rank_ctrl.v	高云内存控制器地址、命令转换模块文件，加密

名称	描述
gwmc_rd_data.v	高云内存控制器读数据模块文件，加密
gwmc_wr_data.v	高云内存控制器写数据模块文件，加密
gwmc_timing_ctrl.v	高云内存控制器刷新时间控制模块文件，加密
PHY部分代码	
ddr_phy_top.v	DDR3 PHY顶层文件，加密
ddr_phy_wd.v	调用data_lane模块和cmd_lane模块文件，加密
ddr_phy_cmd_lane.v	命令处理模块文件，加密
ddr_phy_cmd_io.v	命令硬核接口文件，加密
ddr_phy_data_lane.v	数据缓存文件，加密
ddr_phy_data_io.v	数据硬核接口文件，加密
fifo_ctrl.v	fifo控制模块文件，加密
IN_FIFO.v	接收数据缓存模块文件，加密
OUT_FIFO.v	发送数据缓存模块文件，加密
ddr_init.v	初始化模块文件，加密

### 9.3 参考设计

Ref. Design 文件夹主要包含 Gowin DDR3 Memory Interface IP 的网表文件，用户参考设计，约束文件、消抖模块、顶层文件及工程文件夹等。

**表 9-3 Ref. Design 文件夹内容列表**

名称	描述
ddr3_syn_top.v	参考设计的顶层module
key_debounce.v	按键消抖模块
DDR3_test_rst.v	测试激励产生模块
DDR3_Memory_Interface.vo	Gowin DDR3 Memory Interface IP网表文件
ddr3.cst	DDR3 工程物理约束文件
ddr3.sdc	DDR3 工程时序约束文件
ddr3.gao	抓取DDR3颗粒数据
DDR3_Memory_Interface	DDR3 IP 工程文件夹

