




# Gowin DDR3 Memory Interface IP 用户指南

IPUG281-1.7,2022-10-17

版权所有 © 2022 广东高云半导体科技股份有限公司

**GOWIN高云**、、Gowin、GowinSynthesis以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

## 版本信息

日期	版本	说明
2018/08/24	1.0	初始版本。
2019/03/12	1.1	新增 DDR3 1:4 时钟比例关于连续突发的描述和使用。
2019/07/12	1.2	<ul style="list-style-type: none"><li>● 修改地址格式；</li><li>● 增加读写效率的相关描述。</li></ul>
2020/01/06	1.3	修改静态参数选项。
2021/06/30	1.4	<ul style="list-style-type: none"><li>● 增加 memory_clk、pll_lock 端口；</li><li>● 设计源代码文件更新。</li></ul>
2021/11/25	1.5	<ul style="list-style-type: none"><li>● 修改 cmd_en 与 cmd_ready 的时序描述；</li><li>● 修改 wr_data_en 与 wr_data_rdy 的时序描述。</li></ul>
2022/08/12	1.6	<ul style="list-style-type: none"><li>● 修改用户接口时序描述；</li><li>● 增加控制器连续突发模式及非连续突发模式描述。</li></ul>
2022/10/17	1.7	修改时序图中的 wr_data_wren 为 wr_data_en, clk 为 clk_out, wr_data_ready 为 wr_data_rdy。

# 目录

目录 .....	i
图目录 .....	iii
表目录 .....	iv
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 相关文档 .....	1
1.3 术语、缩略语 .....	1
1.4 技术支持与反馈 .....	2
<b>2 概述 .....</b>	<b>3</b>
<b>3 主要特征与性能 .....</b>	<b>4</b>
3.1 主要特征 .....	4
3.2 工作频率与带宽效率 .....	5
3.3 资源利用 .....	5
<b>4 功能描述 .....</b>	<b>6</b>
4.1 整体结构 .....	6
4.2 Memory Controller .....	6
4.3 PHY .....	6
4.3.1 初始化单元 .....	7
4.3.2 数据通路单元 .....	7
4.3.3 控制通路单元 .....	7
4.3.4 I/O 逻辑单元 .....	7
4.4 用户接口 .....	8
4.4.1 初始化接口 .....	8
4.4.2 命令和地址接口 .....	8
4.4.3 命令与写数据位置关系 .....	10
4.4.4 写数据接口 .....	11
4.4.5 app_burst_number .....	14
4.4.6 读数据 .....	14
4.4.7 刷新 .....	17

---

<b>5 端口列表 .....</b>	<b>18</b>
<b>6 参数配置 .....</b>	<b>21</b>
<b>7 界面配置 .....</b>	<b>23</b>
<b>8 参考设计 .....</b>	<b>29</b>
<b>9 文件交付 .....</b>	<b>31</b>

# 图目录

图 4-1 DDR3 Memory Interface IP 结构图 .....	6
图 4-2 DDR3 PHY 基本结构图 .....	7
图 4-3 初始化完成信号时序图 .....	8
图 4-4 Rank-Bank-Row-Column 顺序的寻址方案 .....	8
图 4-5 命令、地址与使能信号时序图-A .....	9
图 4-6 命令、地址与使能信号时序图-B .....	9
图 4-7 时钟比例 1:4, 连续突发模式下命令、地址与使能信号时序图 .....	10
图 4-8 cmd 与数据位置关系图 .....	11
图 4-9 时钟比例 1:2, Burst_Mode=BC4 或 1: 4, 非连续突发模式写数据时序图 .....	12
图 4-10 时钟比例 1:2, Burst_Mode=BL8, 写数据时序图 .....	13
图 4-11 时钟比例 1:2, Burst_Mode=OTF, 写数据时序图 .....	13
图 4-12 连续突发模式下, 写数据时序图 .....	14
图 4-13 时钟比例 1:2, Burst_Mode=BC4, 读数据时序图 .....	15
图 4-14 时钟比例 1:2, Burst_Mode=BL8, 读数据时序图 .....	15
图 4-15 时钟比例 1:2, Burst_Mode=OTF, 读数据时序图 .....	16
图 4-16 时钟比例 1:4, 连续突发读数据时序图 .....	16
图 4-17 时钟比例 1:4, 非连续突发读数据时序图 .....	16
图 4-18 用户刷新时序图 .....	17
图 7-1 打开 IP Core Generator .....	23
图 7-2 打开 DDR3 Memory Interface IP 核 .....	24
图 7-3 IP 核接口示意图 .....	24
图 7-4 Help 文档 .....	25
图 7-5 基本信息配置界面 .....	26
图 7-6 Type 选项卡 .....	27
图 7-7 Options 选项卡 .....	27
图 7-8 Timing 选项卡 .....	28
图 7-9 Debug Setting 选项卡 .....	28
图 8-1 参考设计基本结构框图 .....	29
图 8-2 DDR3_test 部分端口信号仿真波形 .....	30

# 表目录

表 1-1 术语、缩略语 .....	1
表 2-1 Gowin DDR3 Memory Interface IP .....	3
表 3-1 资源利用情况 .....	5
表 4-1 cmd 命令 .....	8
表 5-1 Gowin DDR3 Memory Interface IP 的 IO 端口列表 .....	18
表 6-1 Gowin DDR3 Memory Interface 的静态参数选项 .....	21
表 6-2 DDR3 时间参数 .....	22
表 8-1 DDR3_syn_top 模块输入端口列表 .....	29
表 9-1 Ref. Design 文件夹内容列表 .....	31

# 1 关于本手册

## 1.1 手册内容

Gowin DDR3 Memory Interface IP 用户指南主要内容包括 IP 的结构与功能描述、端口说明、时序说明、配置调用、参考设计等，旨在帮助用户快速了解 Gowin DDR3 Memory Interface IP 的产品特性、特点及使用方法。

## 1.2 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

1. [DS102, GW2A 系列 FPGA 产品数据手册](#)
2. [DS226, GW2AR 系列 FPGA 产品数据手册](#)
3. [SUG100, Gowin 云源软件用户指南](#)

## 1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
ECC	Error Correcting Code	纠错码
FIFO	First Input First Output	先进先出队列
GSR	Global System Reset	全局系统复位
IP	Intellectual Property	知识产权
LUT	Look-up Table	查找表
RAM	Random Access Memory	随机存取存储器



## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 概述

Gowin DDR3 Memory Interface IP 是一个通用的 DDR3 内存接口 IP，符合 JESD79-3F 标准协议。该 IP 包含 DDR3 内存控制器（Memory Controller, MC）与对应的物理层接口（Physical Interface, PHY）设计。Gowin DDR3 Memory Interface IP 为用户提供一个通用的命令接口，使其与内存芯片进行互连，完成用户的访存需求。

**表 2-1 Gowin DDR3 Memory Interface IP**

Gowin DDR3 Memory Interface IP	
逻辑资源	请参见表3-1。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis®
应用软件	Gowin Software (V1.9.8.01及以上)

**注！**

可登录[高云半导体网站](#)查看芯片支持信息。

# 3 主要特征与性能

## 3.1 主要特征

- 支持 GW2A-18、GW2AR-18、GW2A-55 等 FPGA 器件；
- 能与工业标准的 DDR3 SDRAM 器件和具有 JESD79-3F 规范兼容的模块接口；
- 支持存储器数据路径宽度为 8、16、24、32、40、48、56、64 和 72 位；
- 支持单列 RDIMM、UDIMM 和 SODIMM 内存模块；
- 支持 x4、x8 和 x16 数据宽度的内存芯片；
- 可编程突发长度 4 或 8 或 OTF；
- 支持时钟比例 1:2 和 1:4；
- 支持 ECC；
- 可配置的 CL；
- 可配置的 AL；
- 可配置的 CWL；
- 可配置的 t<sub>FAW</sub>；
- 可配置的 t<sub>RAS</sub>；
- 可配置的 t<sub>RCD</sub>；
- 可配置的 t<sub>RFC</sub>；
- 可配置的 t<sub>RRD</sub>；
- 可配置的 t<sub>RTP</sub>；
- 可配置的 t<sub>WTR</sub>；
- 支持动态片上终端 ODT 的控制；
- 支持自动刷新和用户启动刷新，自动刷新闻隔可配置。

## 3.2 工作频率与带宽效率

Gowin DDR3 Memory Interface IP 可支持的 DDR3 SDRAM 数据速率为:

- 时钟比例 1:2 模式下支持 533Mbps;
- 时钟比例 1:4 模式下支持 533Mbps, 800Mbps。

Gowin DDR3 Memory Interface IP 带宽效率统计如下:

- 时钟比例 1:2 模式下, 突发长度为 4, 带宽效率为 50%;
- 时钟比例 1:2 模式下, 突发长度为 8, 带宽效率为 90%;
- 时钟比例 1:4 模式下
  - 使能连续突发模式情况下, 突发长度为 8, 连续突发 64 (app\_burst\_number = 63) 时, 带宽效率为 90%, 且连续突发越少效率越低, 连续突发 1 (app\_burst\_number = 0) 时, 带宽效率为 50%;
  - 不使能连续突发模式情况下, 带宽效率为 90%。

注!

连续突发模式配置请参照第 6 章 参数配置中 Burst\_Number\_Enable 选项。

## 3.3 资源利用

Gowin DDR3 Memory Interface IP 通过 Verilog 语言实现, 应用于高云 GW2A-18、GW2AR-18、GW2A-55 等系列 FPGA, 其资源利用情况如表 3-1 所示, 有关在其他高云 FPGA 上的应用验证, 请关注后期发布信息。

表 3-1 资源利用情况

DQ_WIDTH	LUTs	REGs	I/O	f <sub>MAX</sub>	器件系列	速度等级
8(x8)	1061	1009	151	600Mbps	GW2A-55/ GW2A-18	-6 -7 -8
16(x8)	1312	1365	231			
24(x8)	1557	1721	311			
32(x8)	1639	2077	391			
40(x8)	1845	2433	471			
48(x8)	2060	2789	551			
56(x8)	2271	3145	631			
64(x8)	2483	3501	711			
72(x8)	2694	3857	791			

注!

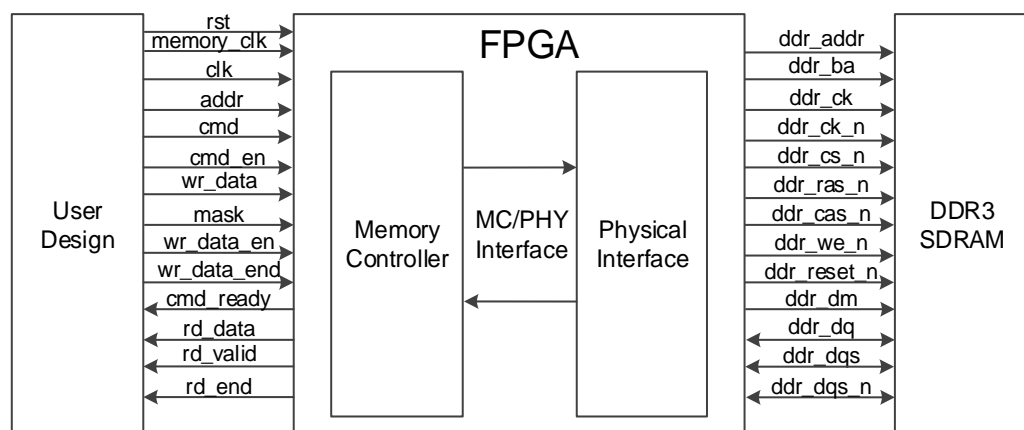
在表 3-1 中, Gowin DDR3 Memory Interface 配置用户地址宽度为 29 位, DRAM WITDH 为 x8, 时钟比例为 1:2; 时钟比例为 1:4 资源大概是表格中的 2 倍。

# 4 功能描述

## 4.1 整体结构

Gowin DDR3 Memory Interface IP 基本结构如图 4-1 所示，主要包含 Memory Controller、Physical Interface 等模块。图 4-1 中的 User Design 是 FPGA 中需要与外部 DDR3 SDRAM 芯片所连接的用户设计。

图 4-1 DDR3 Memory Interface IP 结构图



## 4.2 Memory Controller

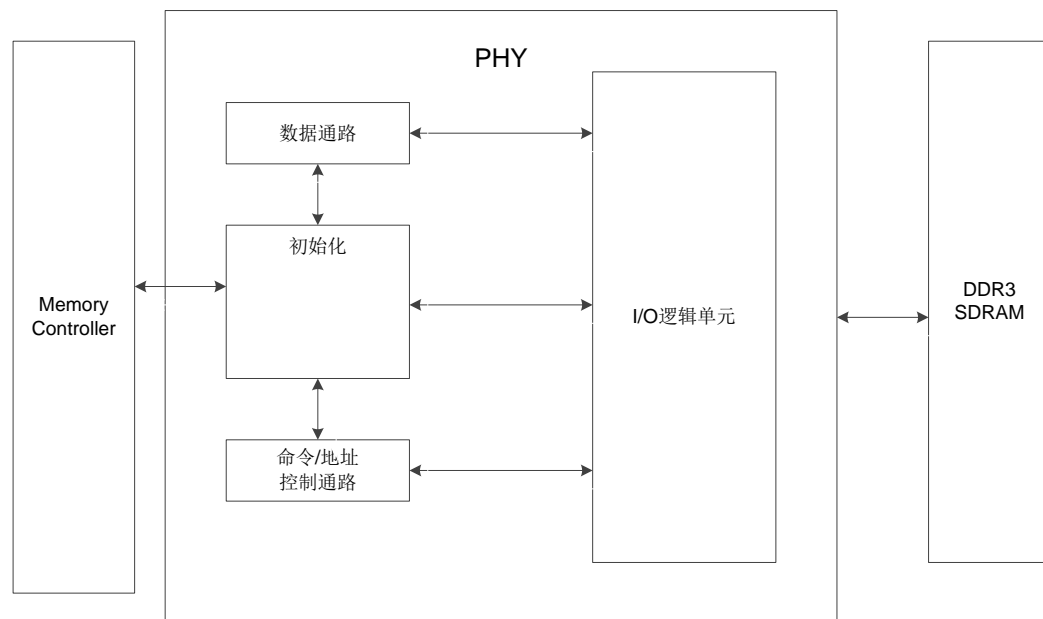
Memory Controller 属 MC 层，实现协议层功能，内部状态机进行 BANK、ROW、COL 及刷新控制。Memory Controller 接收用户侧读写命令，内部以 FIFO 逻辑存储，将读写命令转化为 PHY 侧可识别的接口时序，输入到 PHY 侧。

## 4.3 PHY

PHY 提供了 MC 与外部 DDR3 SDRAM 之间的物理层定义与接口，接收来自 MC 层内存控制器的命令，并向 DDR3 SDRAM 颗粒提供接口时序。

PHY 的基本结构如图 4-2 所示，主要包括四个模块，分别为初始化模块、数据通路、命令地址控制通路和 I/O 逻辑模块。

图 4-2 DDR3 PHY 基本结构图



### 4.3.1 初始化单元

初始化模块主要完成 DDR3 SDRAM 上电后的初始化和读校准。在完成所有初始化与读校准之后，信号“init\_calib\_complete”会由低变高，指示整个初始化完成。

#### 上电初始化

按照 JESD79-3F 协议标准，上电后需对 DDR3 SDRAM（颗粒或 DIMM）进行初始化，包括复位、时钟使能、模式寄存器的配置及 ZQ 校准等过程。

### 4.3.2 数据通路单元

数据通路包括写数据和读数据过程。

### 4.3.3 控制通路单元

命令/地址控制通路为单向通路，接收 MC 发送的命令与地址信号，并与数据通路配合，处理写、读数据时延参数，并将命令发送到 I/O 逻辑模块。

### 4.3.4 I/O 逻辑单元

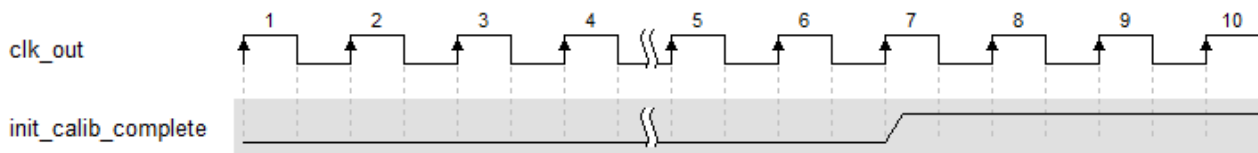
I/O 逻辑模块主要是对数据通路和命令/地址通路传递过来的数据、命令、地址信号进行时钟域的转换。

## 4.4 用户接口

### 4.4.1 初始化接口

**init\_calib\_complete:** DDR3 SDRAM 必须经过校准操作才能进行正常的写、读操作。因此上电后 PHY 会对 DDR3 SDRAM 进行初始化校准操作，初始化完成后 **init\_calib\_complete** 拉高，如图 4-3 所示。

图 4-3 初始化完成信号时序图



### 4.4.2 命令和地址接口

#### 命令

用户可通过 **cmd** 及 **cmd\_en** 向 IP 写入命令，控制器根据写入命令的先后顺序，向 DDR3 颗粒发起读写事务。

- **cmd** 为命令端口；
- **cmd\_en** 为命令使能信号，高电平时 **cmd** 有效。

**cmd** 含义如表 4-1 所示：

表 4-1 **cmd** 命令

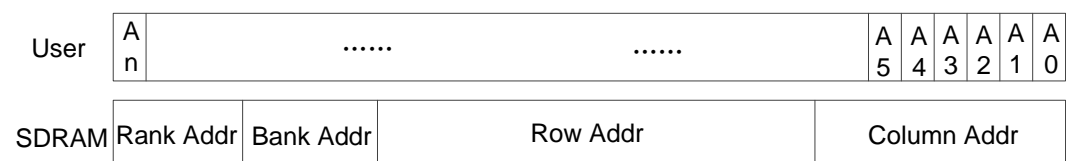
命令	cmd[2:0]
Read	3'b001
Write	3'b000

#### 地址

**addr** 是用户侧地址总线，与 **cmd** 一同写入控制器，当 **cmd\_en** 有效时，**addr** 有效。

在应用中，用户接口的地址总线 **addr** 与物理内存的 Rank、Bank、Row、Column 之间存在一定的映射关系，在本设计中，按照 Rank-Bank-Row-Column 的顺序进行依次排列，其寻址方案如图 4-4 所示。用户在应用中，应注意提供的地址顺序。

图 4-4 Rank-Bank-Row-Column 顺序的寻址方案



**addr** 为 DDR 地址，即 **addr** 直接反映 DDR 内存地址。当 DDR3 **burst\_mode** 配置 BC4 时，一次写/读需向 DDR 内写入/读取 4 个 dq 数据，

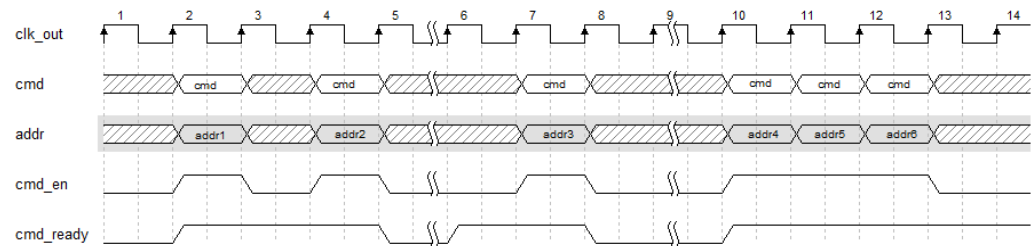
因此一次 DDR 写/读占用 4 个地址；当 DDR3 burst\_mode 配置 BL8 时，一次写/读需向 DDR 内写入/读取 8 个 dq 数据，因此一次 DDR 写/读占用 8 个地址。用户在使用过程中，应注意对地址的控制。

### 时钟比例 1:2，地址与命令时序

时钟比例 1:2 下，cmd\_ready 为高电平，表示 DDR 控制器可以接收用户命令。

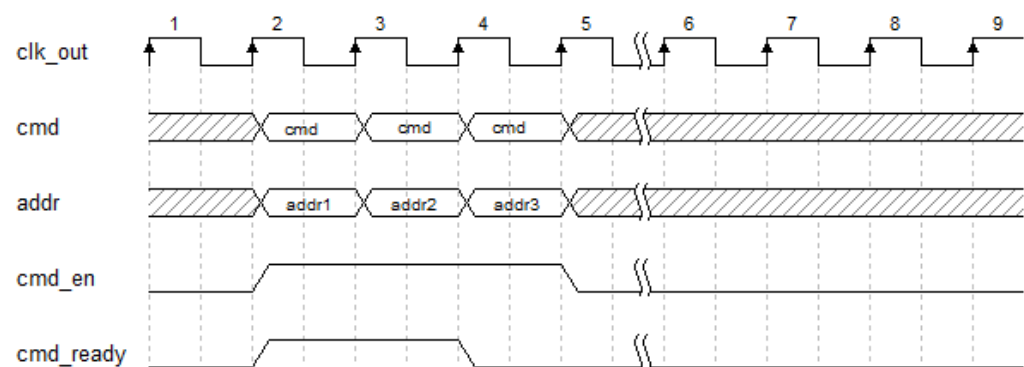
命令、地址及使能信号之间的时序如图 4-5 所示。

图 4-5 命令、地址与使能信号时序图-A



时钟比例 1:2 时，DDR 控制器也允许图 4-6 所示的时序出现，Clock4 时刻的 cmd 与 addr 仍有效。

图 4-6 命令、地址与使能信号时序图-B

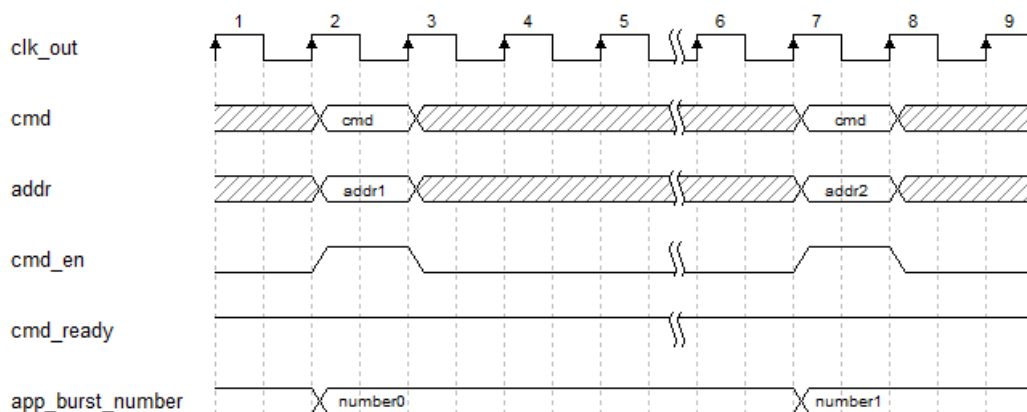


### 时钟比例 1:4，连续突发模式下，地址与命令时序

当用户使用连续突发模式时，发送一个命令和地址之后，自动连续突发  $n$  次，地址自动连续自加，其中  $n$  大于等于 0 小于等于 63，即连续突发 1 到 64 可选，最高支持连续突发 64 次，通过 app\_burst\_number 输入，每次突发结束后可再次修改连续突发次数；连续突发模式下地址需要用户根据突发次数计算；两次命令间隔需等待用户数据发送完毕和 cmd\_ready 信号拉高。时序如图 4-7 所示。



图 4-7 时钟比例 1:4，连续突发模式下命令、地址与使能信号时序图



连续突发模式不支持图 4-6 时序。

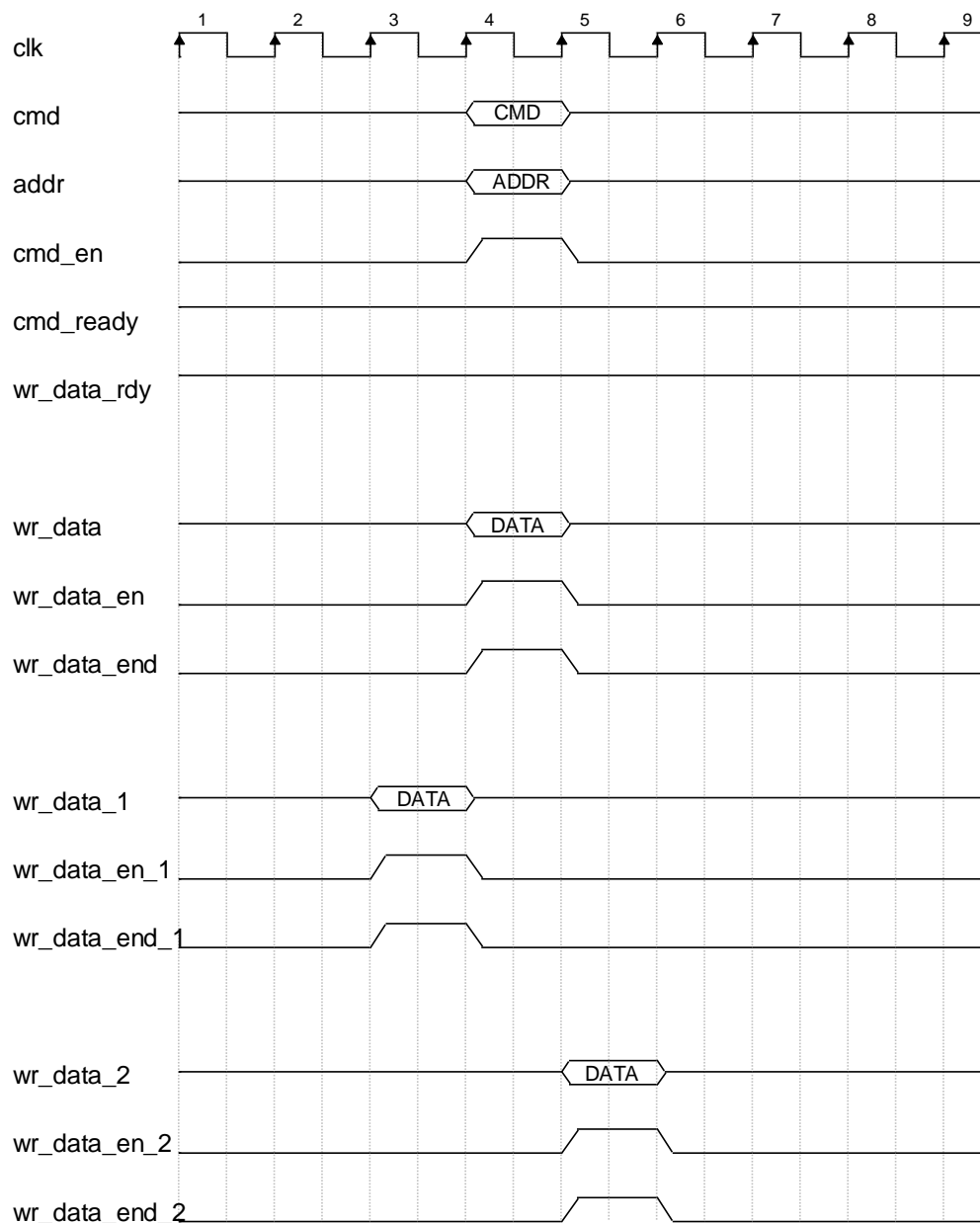
#### 时钟比例 1:4，非连续突发模式下，地址与命令时序

当用户不使用连续突发模式时，地址和命令时序与时钟比例 1:2 时相同，请查看图 4-5 及图 4-6 时序。

### 4.4.3 命令与写数据位置关系

*cmd* 与数据位置关系如图 4-8 所示。

图 4-8 cmd 与数据位置关系图



#### 4.4.4 写数据接口

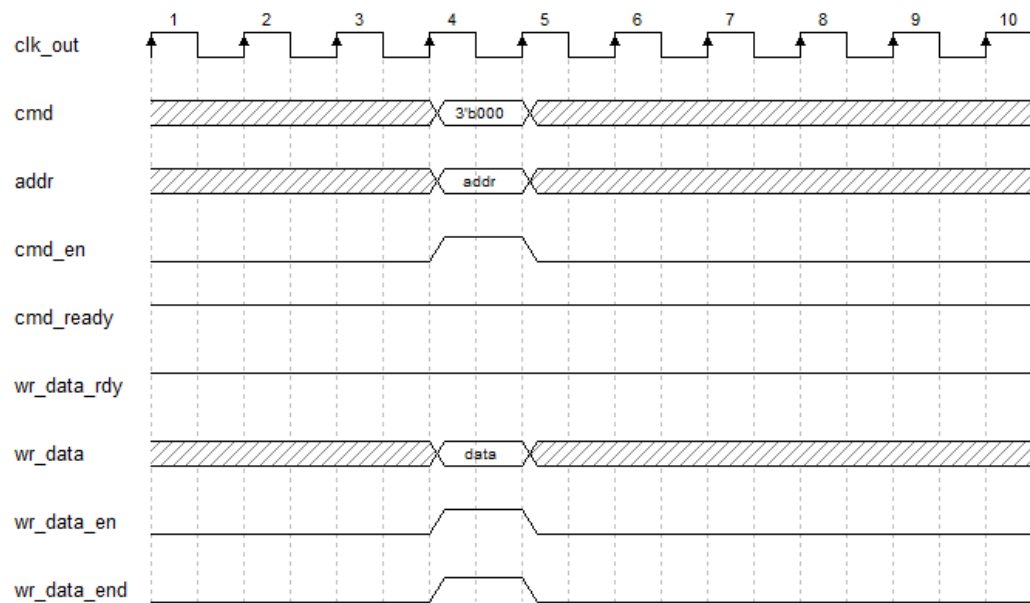
- **wr\_data**: 数据总线接口，用户可通过此接口写入需要存储 DDR 内的数据。
- **wr\_data\_en**: 数据写入使能接口，高电平时 **wr\_data** 有效。
- **wr\_data\_end**: 表明当前周期 **wr\_data** 总线上的数据是当前写入的最后一个数据。
- **wr\_data\_rdy**: 当 **wr\_data\_rdy** 为高电平时，表示控制器可以接收 user 数据，用户可通过接口 **wr\_data**、**wr\_data\_en** 与 **wr\_data\_end** 将数据写入控制器。

- **app\_burst\_number**: 当控制器使用连续突发模式时，出现此接口。

当时钟比例 1:2 时，burst\_mode 配置 BC4，wr\_data 与 dq 数据位宽比为 1:4，此时一个 wr\_data 可满足 DDR 一次突发写，wr\_data\_en 与 wr\_data\_end 的行为相同，所以用户在写数据时将 wr\_data\_en 与 wr\_data\_end 同时写 1 即可。

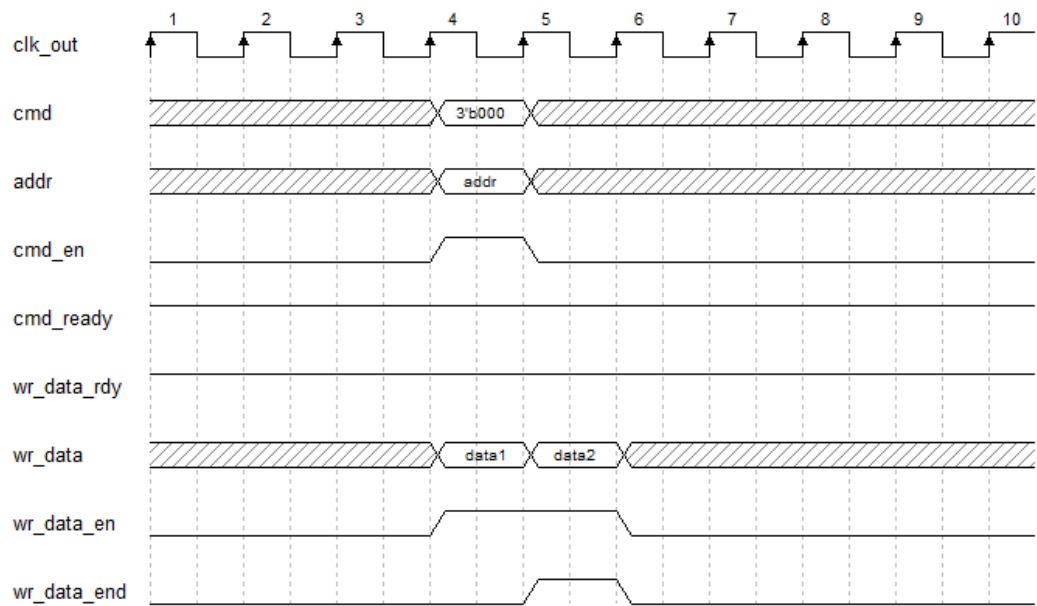
当时钟比例 1:4，burst\_mode 配置 BL8 时，与上述举例情况相同。时序如图 4-9 所示。

**图 4-9 时钟比例 1:2，Burst\_Mode=BC4 或时钟比例 1:4，非连续突发模式写数据时序图**



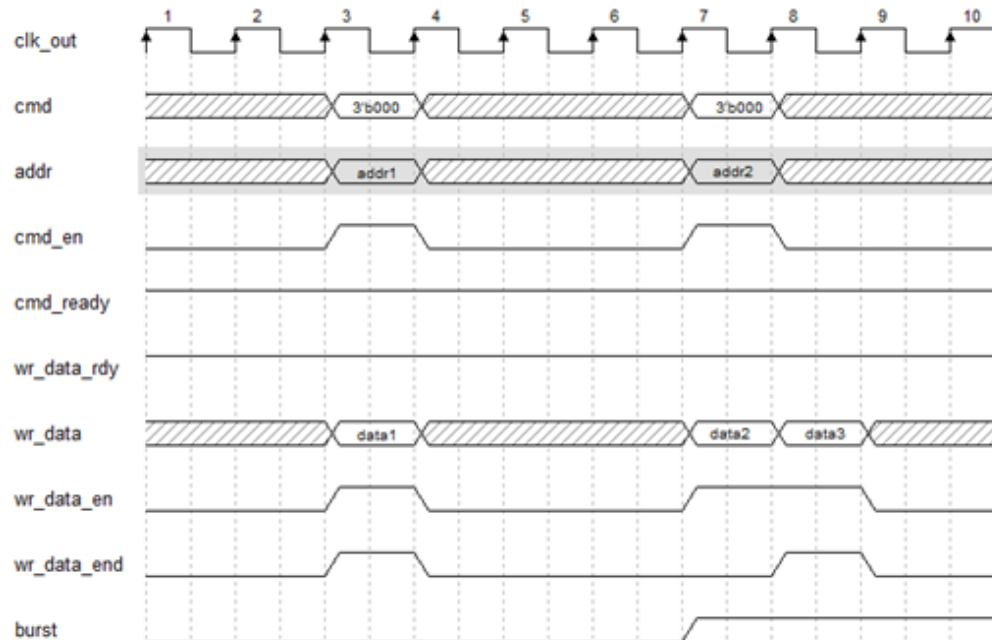
当时钟比例配置 1:2，burst\_mode 配置 BL8 时，wr\_data 与 dq 数据位宽比为 1:4，此时 DDR 一次突发写数据需要两个 wr\_data，那么 wr\_data\_en 应持续连续两个周期，第二个周期将 wr\_data\_end 写 1。时序如图 4-10 所示。

图 4-10 时钟比例 1:2, Burst\_Mode=BL8, 写数据时序图



仅当时钟比例 1:2 时, 支持 burst\_mode 配置 OTF 模式, 在此模式下, 端口信号 burst 为 0 则表示当前 DDR 颗粒的 burst\_mode 为 BC4, 端口信号 burst 为 1 则表示当前 DDR 颗粒的 burst\_mode 为 BL8, 此时用户应根据情况控制好 wr\_data\_en 和 wr\_data\_end 信号。时序如图 4-11 所示。

图 4-11 时钟比例 1:2, Burst\_Mode=OTF, 写数据时序图

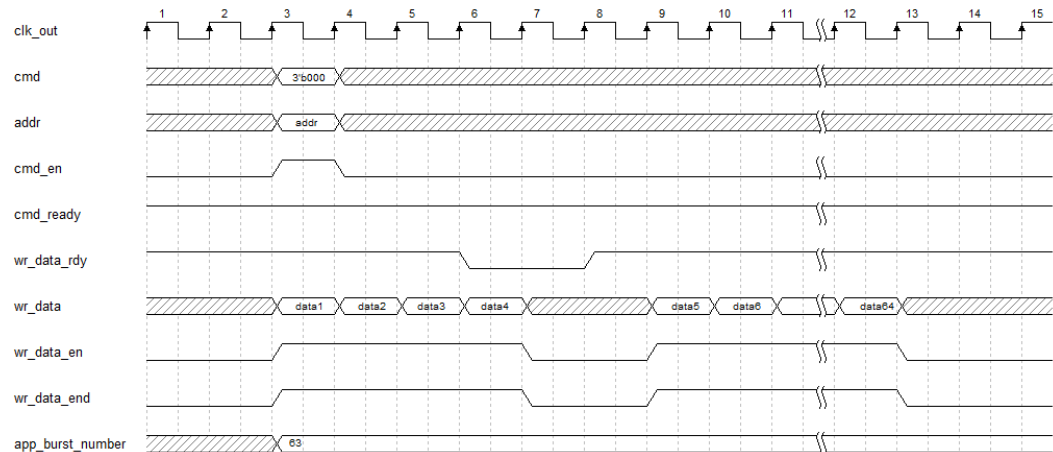


### 4.4.5 app\_burst\_number

当时钟比例 1:4，burst\_mode 配置 BL8 时，连续突发模式下，通过 app\_burst\_number 端口，配置控制器连续突发的数据个数。此模式的好处在于用户要写入多个数据时，只需写入一次地址即可，控制器内部地址连续自加。需要注意的是连续突发长度内地址不能跨 bank 和跨 row。

假如 app\_burst\_number 设置 63，时序如图 4-12 所示。

图 4-12 连续突发模式下，写数据时序图



当 app\_burst\_number 为 0 时，此时 DDR 效率极低，如果用户不需要 app\_burst\_number，建议使用非连续突发模式。

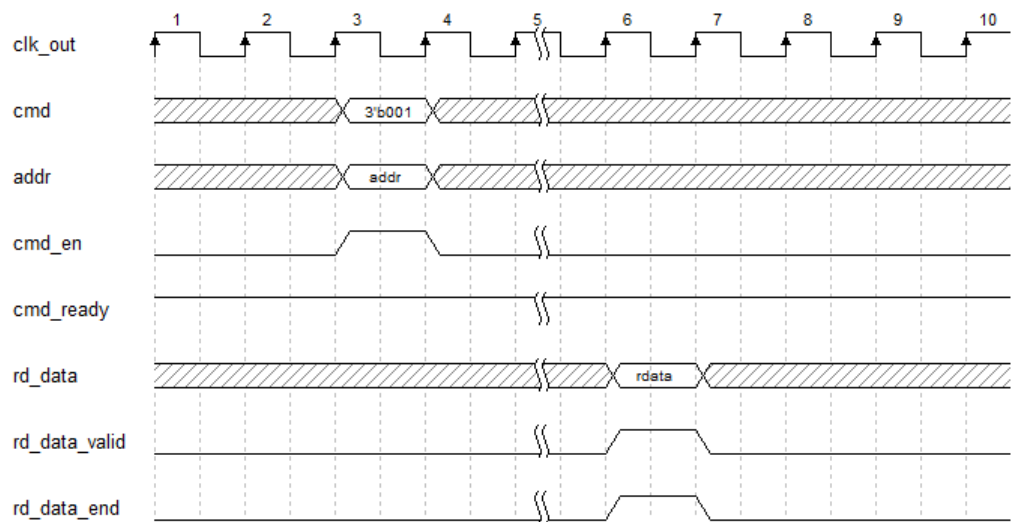
### 4.4.6 读数据

用户可通过用户接口 rd\_data、rd\_data\_valid 与 rd\_data\_end 读取 DDR3 SDRAM 返回的数据。

- 端口 rd\_data 为返回的读数据端口；
- 端口信号 rd\_data\_valid 为读数据有效端口，当其为高电平时，指示此时返回的 rd\_data 有效；
- 端口 rd\_data\_end 指示在当前 burst\_mode 下所返回的最后一组数据，高电平时有效。

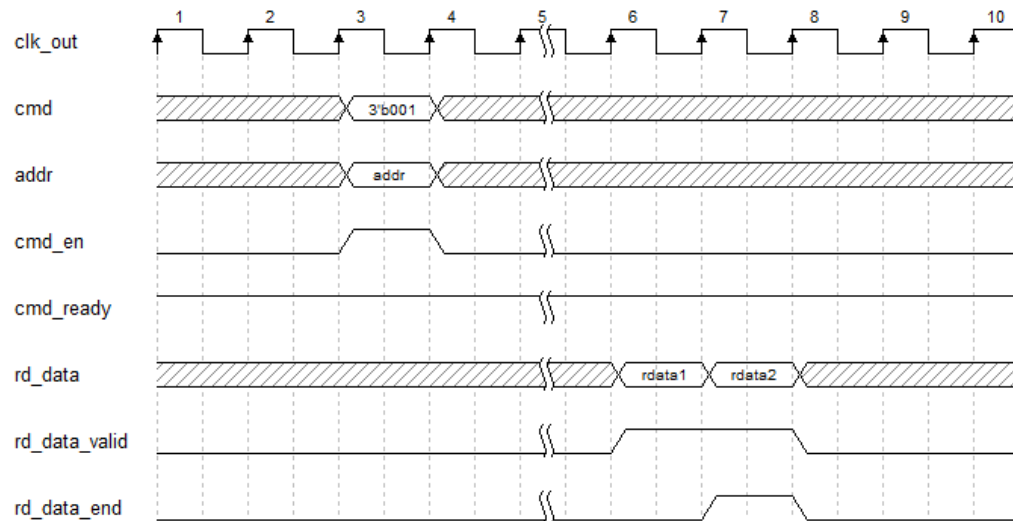
与写操作时类似，当时钟比例 1:2 时，用户配置突发长度为 BL4 时，读数据占用一个 clk 周期，如图 4-13 所示。

图 4-13 时钟比例 1:2, Burst\_Mode=BC4, 读数据时序图



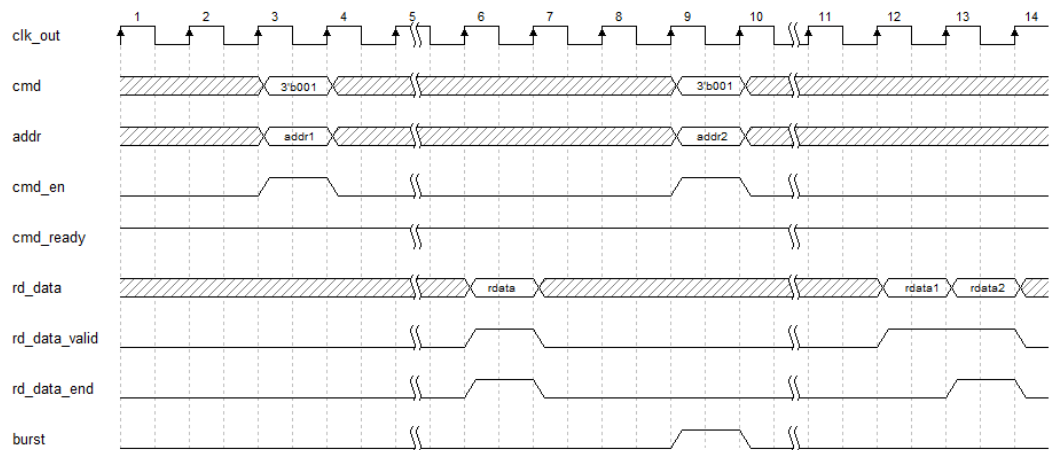
与写操作时类似，当时钟比例 1:2 时，用户配置突发长度为 BL8 时，读数据占用两个 clk 周期，如图 4-14 所示。

图 4-14 时钟比例 1:2, Burst\_Mode=BL8, 读数据时序图



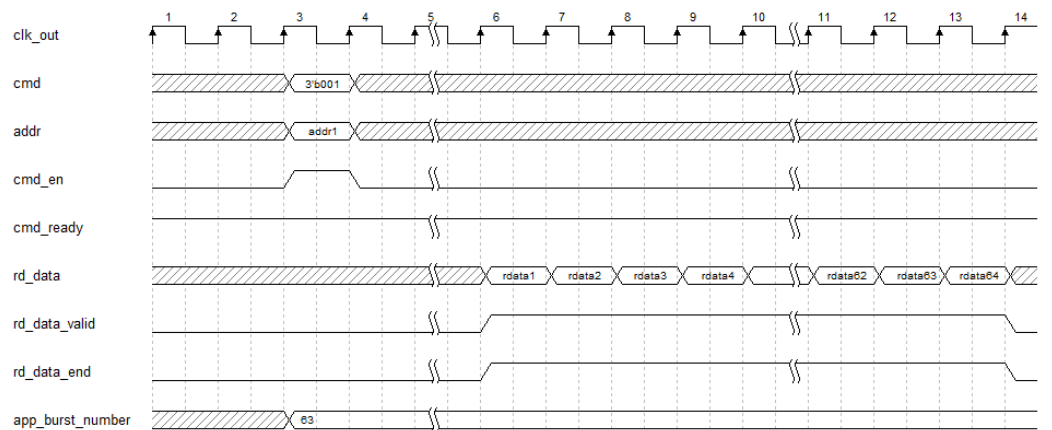
当时钟比例 1:2 时，用户配置突发模式为 OTF 时（即 BL4 与 BL8 可由用户控制 burst 端口实现随意切换），当 cmd\_en 有效时，burst 为 0 表示 BL4 读出，读数据占用一个 clk 周期，burst 为 1 表示 BL8 读出，读数据占用两个 clk 周期，如图 4-15 所示。

图 4-15 时钟比例 1:2, Burst\_Mode=OTF, 读数据时序图



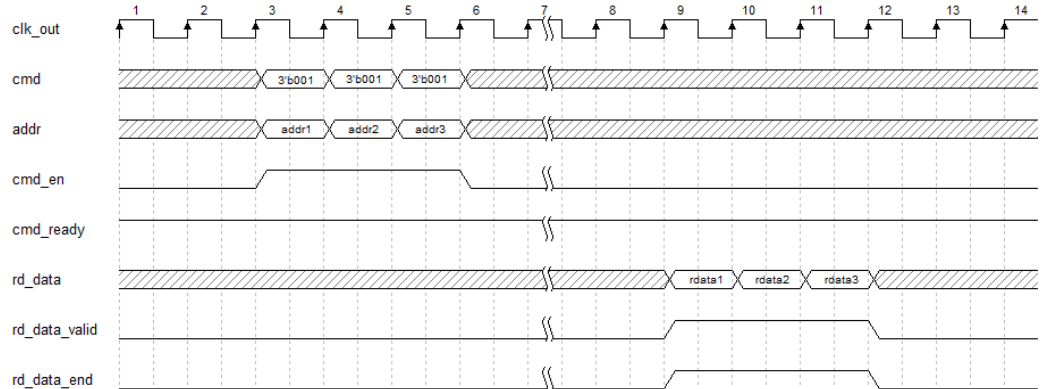
当时钟比例 1:4 时, 用户配置突发长度只支持 BL8 时, 每次突发读数据占用一个 clk 周期, 在连续突发模式下, 读数据次数需与 app\_burst\_number 一致, 如图 4-16 所示。

图 4-16 时钟比例 1:4, 连续突发读数据时序图



当时钟比例 1:4 时, 非连续突发模式下, 读数据按照读命令顺序依次返回数据, 如图 4-17 所示。

图 4-17 时钟比例 1:4, 非连续突发读数据时序图



## 4.4.7 刷新

### 刷新

在 DDR3 SDRAM 存储阵列需要不断的刷新来保证数据不丢失，因此需要 Gowin DDR3 Memory Interface IP 周期性的向 DDR3 SDRAM 发送刷新指令。Gowin DDR3 Memory Interface IP 间隔  $t_{REFI}$  时间产生刷新命令，刷新命令产生后，MC 执行完最后一条读写命令后，会 PreCharge 所有 Bank，然后执行 Refresh 命令，刷新操作具有较高优先级。

### 自刷新

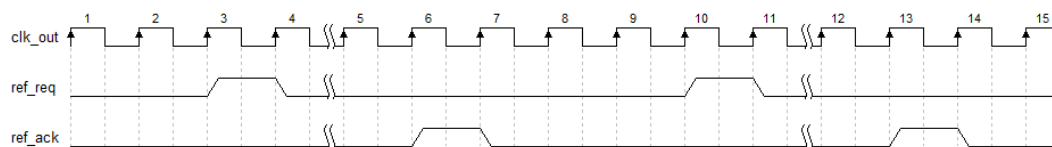
用户可通过端口 `sr_req` 发送自刷新（self refresh）请求，配置 DDR3 SDRAM 进入自刷新模式。在自刷新模式下，DDR3 SDRAM 会自动刷新存储阵列，无需 Gowin DDR3 Memory Interface IP 发送刷新指令。

Gowin DDR3 Memory Interface IP 在完成对 DDR3 SDRAM 的自刷新配置后，会向用户返回信号 `sr_ack`，表示 DDR3 SDRAM 已进入自刷新模式。

### 用户刷新

用户可以通过选项配置刷新模式为用户刷新，需将“USER\_REFRESH”设置为“ON”。用户可在任意时刻通过端口 `ref_req` 向 MC 提出刷新请求，无需通过 `cmd` 端口向 MC 发出其它命令。发送用户刷新指令时，`ref_req` 需持续一个周期的高电平，完成刷新指令发送后，MC 会反馈 `ref_ack` 信号，持续一个周期的高电平，如图 4-18 所示。

图 4-18 用户刷新时序图



用户刷新操作可能会影响 MC 已经接收的或正在执行的指令。在进行用户刷新操作前，MC 会优先完成正在执行的命令操作。用户应考虑发出用户刷新与各项指令之间的配合，避免造成  $t_{REFI}$  违规。

考虑最坏情况下，用户刷新可参考以下公式进行操作，命令一定时间来完成传输，可大致通过  $t_{RCD}$ 、 $CL$ 、数据传输时间、 $t_{RP}$  等参数计算，且用户刷新应在时间参数  $t_{REFI}$  违规前完成，因此两次用户刷新时间的最大间隔约为：

$$t_{REFI} - (t_{RCD} + (CL + 4) \times t_{CK} + t_{RP}) \times nBA$$

在实际应用中，若启动用户刷新，用户需要在 DDR3 SDRAM 完成初始化后立刻发出一个用户刷新，以确立后续用户刷新请求的时间基准。



# 5 端口列表

Gowin DDR3 Memory Interface IP 的 IO 端口如表 5-1 所示。

表 5-1 Gowin DDR3 Memory Interface IP 的 IO 端口列表

信号	位宽	方向	描述
User Interface			
addr	ADDR_WIDTH	Input	地址输入，信号宽度可以设置为parameter。
cmd	3	Input	命令通道
cmd_en	1	Input	命令与地址使能信号： 0: 无效 1: 有效
cmd_ready	1	Output	高电平时指示Memory Interface可接收命令与地址
rd_data	APP_DATA_WIDTH	Output	读数据通道
rd_data_end	1	Output	高电平时指示当前输出的一组rd_data的结束周期
rd_data_valid	1	Output	rd_data有效信号： 0: 无效 1: 有效
burst	1	Input	OTF控制端口，为1'b1时是BL8模式；为1'b0时是BL4模式。
app_burst_number	[5:0]	Input	仅时钟比例1:4且使用连续突发模式时显示此端口，为连续突发次数输入端口。
wr_data	APP_DATA_WIDTH	Input	写数据通道
wr_data_end	1	Input	高电平指示当前时钟周期是此组数据wr_data的最后一个周期
wr_data_mask	APP_MASK_WIDTH	Input	wr_data掩码，0: 对应wr_data字节无效，1: 对应wr_data字节有效。

信号	位宽	方向	描述
wr_data_rdy	1	Output	高电平时表示MC可以接收用户数据
wr_data_en	1	Input	wr_data写使能信号: 0: 无效 1: 有效
sr_req	1	Input	自刷新请求
sr_ack	1	Output	自刷新应答信号
ref_req	1	Input	用户刷新请求
ref_ack	1	Output	用户刷新应答信号
clk	1	Input	参考输入时钟, 一般为PCB晶振输入, 推荐50M晶振。
memory_clk	1	Input	用户输入颗粒工作时钟, 一般为PLL倍频出来的高速时钟, 也可以不使用PLL
pll_lock	1	Input	如果memory_clk为PLL倍频输入, 此接口接PLL的pll_lock管脚, 如果用户不使用PLL, 此接口接1'b1
rst_n	1	Input	系统复位输入信号: 0: 有效 1: 无效
init_calib_complete	1	Output	初始化完成信号
clk_out	1	Output	用户设计时钟, 频率为Memory Clk的1/2。
ecc_err	APP_DATA_WIDTH/32	Output	ECC指示信号输出
ddr_rst	1	Output	经过IP处理过的复位信号, 供用户设计使用, 高复位。
<b>DDR3 SDRAM Interface</b>			
O_ddr_addr	ROW_WIDTH	Output	Row地址 (激活命令)、Column地址 (读、写命令)
O_ddr_bank	BANK_WIDTH	Output	Bank地址
O_ddr_cs_n	CS_WIDTH	Output	片选, 低有效。
O_ddr_ras_n	1	Output	Row地址选通信号
O_ddr_cas_n	1	Output	Column地址选通信号
O_ddr_we_n	1	Output	Row写使能
O_ddr_ck	CK_WIDTH	Output	提供给DDR3 SDRAM的时钟信号
O_ddr_ck_n	CK_WIDTH	Output	与ddr_ck组成差分信号
O_ddr_cke	CKE_WIDTH	Output	DDR3 SDRAM时钟使能信号

信号	位宽	方向	描述
O_dds_odt	ODT_WIDTH	Output	内存信号端接电阻控制
O_dds_reset_n	1	Output	DDR3 SDRAM复位信号
O_dds_dm	DM_WIDTH	Output	DDR3 SDRAM数据屏蔽信号
IO_dds_dq	DQ_WIDTH	Bidirection	DDR3 SDRAM数据
IO_dds_dqs	DQS_WIDTH	Bidirection	DDR3 SDRAM数据选通信号
IO_dds_dqs_n	DQS_WIDTH	Bidirection	与dds_dqs组成差分信号

# 6 参数配置

Gowin DDR3 Memory Interface IP 可支持 DDR3 SDRAM 器件，用户需根据设计要求配置 Gowin DDR3 Memory Interface 的各个静态参数与时序参数，具体参数分别如表 6-1 和表 6-2 所示。

**表 6-1 Gowin DDR3 Memory Interface 的静态参数选项**

名称	描述	选项
Memory Type	存储器类型	MT41J128M16JT-125k Custom
Memory Clock	颗粒接口时钟频率	根据颗粒工作时钟及需求写入
CLK Ratio	用户接口时钟频率与颗粒接口时钟频率比值	1:4, 1:2
DIMM Type	颗粒DIMM 类型	Components, RDIMMs, UDIMMs, SODIMMs
Burst Number Enable	连续突发模式使能	勾选：使用连续突发模式 取消勾选：不使用连续突发模式
Dq Width	Dq数据位宽	8, 16, 24, 32, 40, 48, 56, 64, 72
Dram Width	单颗粒的数据位宽	4, 8, 16
Rand Address	Rank地址	对于Single与Dual rank器件，此选择为1。
Bank Address	内存BANK地址宽度	根据DDR3 SDRAM芯片选择
Row Address	内存行地址宽度	根据DDR3 SDRAM芯片选择
Column Address	内存列地址宽度	根据DDR3 SDRAM芯片选择。
Burst Mode	颗粒突发模式	“4”、“8”、“OTF”；时钟比例1:2时支持4/OTF，时钟比例1:4时只支持8
Burst Type	颗粒突发类型	“Sequential” “Interleaved”
CAS Latency	CAS延迟时间	5, 6, 7, 8
Additive Latency	附加延迟时间	0, CL-1, CL-2
CW Latency	CWL延迟时间	根据实际选择
RTT NOM	Nominal ODT数值	“OFF”: OFF “20”: 20

名称	描述	选项
		“30”: 30 “40”: 40 “60”: 60 “120”: 120
RTT_WR	Multiple-RANK中用于写端口的Dynamic ODT的数值，对于 Single-Component 设计 RTT_WR无效。	“OFF”: RTT_WR disabled “120”: RZQ/2 “60”: RZQ/4
USER_REFRESH	是否由用户自己控制刷新操作	“ON”, “OFF”

表 6-2 DDR3 时间参数

名称	描述
t <sub>CK</sub>	Memory接口时钟周期(ps)
t <sub>CKE</sub>	CKE信号最小脉冲时间(ps)
t <sub>FAW</sub>	同一rank中允许同时发送大于四个行激活命令的间隔时间，因此最小值应该不小于t <sub>RRD</sub> 的四倍。
t <sub>RAS</sub>	ACTIVE到PRECHARGE时间
t <sub>RCD</sub>	ACTIVE到READ或WRITE时间
t <sub>REFI</sub>	内存刷新时间间隔
t <sub>RFC</sub>	REFRESH到ACTIVE/REFRESH间隔
t <sub>RP</sub>	PRECHARGE周期
t <sub>RRD</sub>	ACTIVE到ACTIVE时间间隔
t <sub>RTP</sub>	READ到PRECHARGE时间间隔
t <sub>WTR</sub>	WRITE到READ时间间隔
AL	Additive Latency
CL	CAS Latency

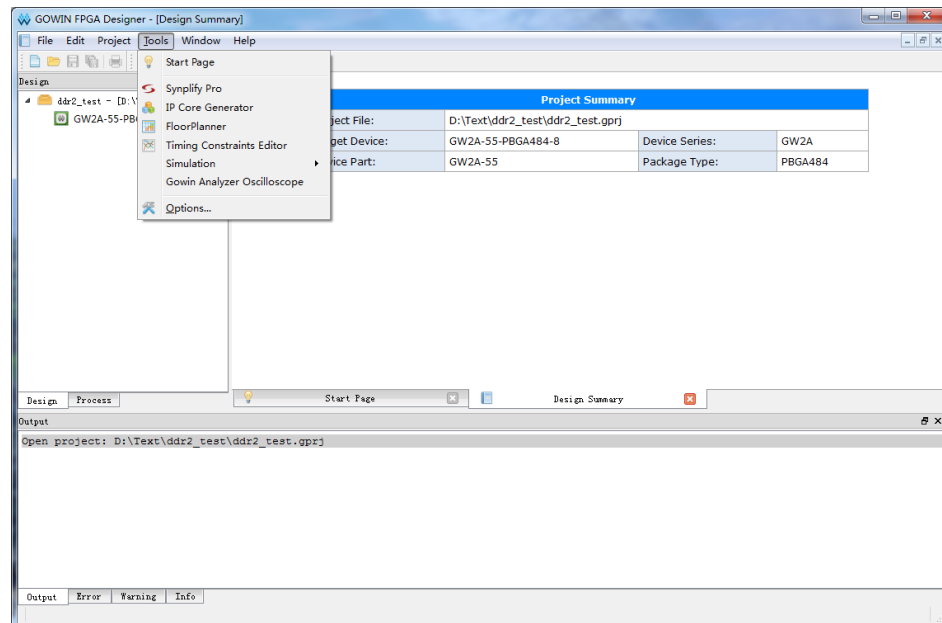
# 7 界面配置

用户可在 IDE 中通过 IP Core Generator 工具调用并配置 Gowin DDR3 Memory Interface IP。本章节以选择使用 AD3U160022G11 内存颗粒为例，介绍了主要配置界面、配置流程以及各配置选项含义（以时钟比例 1:2 为例）。

## 1. 打开 IP Core Generator

用户建立工程后，点击左上角 Tools 选项卡，下拉单击 IP Core Generator 选项，就可打开 Gowin 的 IP 核产生工具，如图 7-1 所示。

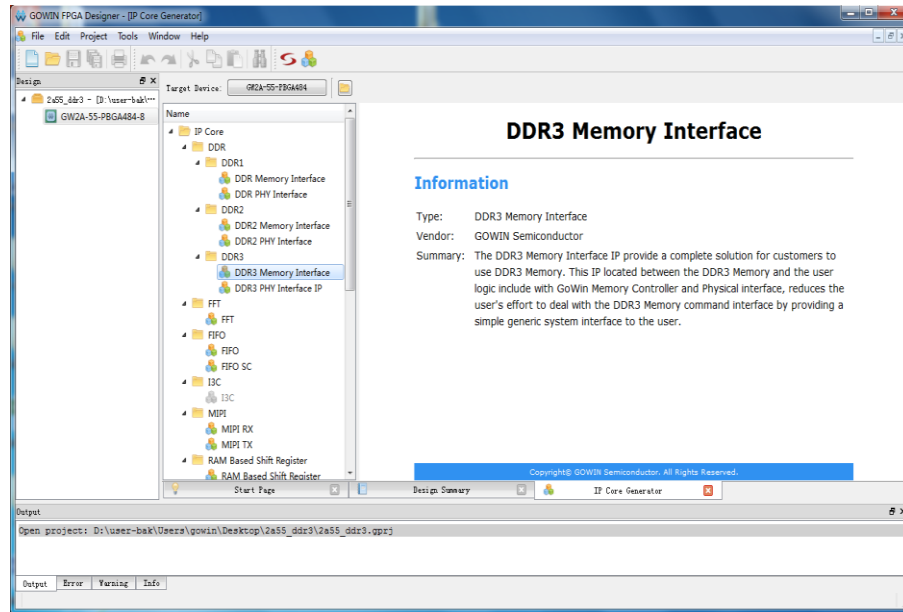
图 7-1 打开 IP Core Generator



## 2. 打开 DDR3 Memory Interface IP 核

点击 DDR 选项，双击 DDR3 Memory Interface，打开 DDR3 Memory Interface IP 核的配置界面，如图 7-2 所示。

图 7-2 打开 DDR3 Memory Interface IP 核

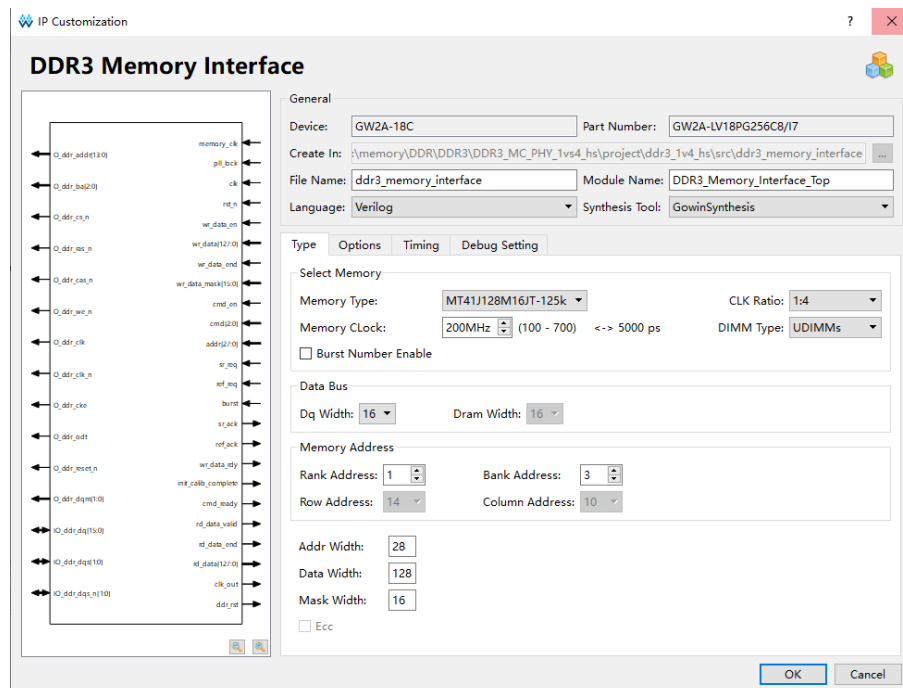


### 3. DDR3 Memory Interface IP 核端口界面

配置界面左端是 DDR3 Memory Interface IP 核的接口示意图，如图 7-3 所示。

接口示意图中左端是 DDR3 Memory Controller 与用户端接口，用户通过将自己的用户设计连接到 DDR3 Memory Interface IP 中实现命令和数据的收发，右端是 PHY（Physical interface）与内存颗粒的接口，用户通过将 DDR3 Memory Interface IP 核与自己所需内存颗粒连接，实现对数据的存取。用户使用不同的配置信息，接口示意图中的信号位宽，信号数量将会随之改变。

图 7-3 IP 核接口示意图



## 4. 打开 Help 文档

在图 7-2 的左下角，有一个 Help 按钮，用户可以点击 Help 按钮查看配置界面中各个选项的简单英文介绍，方便用户快速完成对 IP 核的配置，Help 文档选项介绍顺序和界面顺序一致，如图 7-4 所示。

图 7-4 Help 文档

<b>DDR3 Memory Interface</b>	
<b>Information</b>	
Type:	DDR3 Memory Interface
Vendor:	GOWIN Semiconductor
Summary:	The DDR3 Memory Interface IP provide a complete solution for customers to use DDR3 Memory. This IP located between the DDR3 Memory and the user logic include with GoWin Memory Controller and Physical interface, reduces the user's effort to deal with the DDR3 Memory command interface by providing a simple generic system interface to the user.
<b>Options</b>	
Option	Description
Type	
Memory Type	Choose the type of DDR3 Memory which consumer use
CLK Ratio	This is the Memory Controller clock to DDR3 Memory clock ratio.
Memory Clock	The consumer desire DDR3 Memory working frequency.
Reference Clock	PCB input clock.
DIMM Type	DIMM Type.
Dq Width	This is the memory DQ bus width. This parameter supports DQ widths from 8 to a maximum of 72 in increments of 8. The available maximum DQ width is frequency dependent on the selected memory device.
Dram Width	When Memory Type choose Custom , Dram Width can be modified.
Rank Address	This is the number of bits required to index the RANK bus.
Bank Address	This is the number of memory bank address bits. Memory Type choose Custom , Bank Address can be modified.
Row Address	This is the DRAM component address bus width.Memory Type choose Custom , Row Address can be modified.
Column Address	This is the number of memory column address bits.Memory Type choose Custom , Column Address can be modified.
Addr Width	This is the memory address bus width.It is equal to Rank Width + Bank Width + Row Width+ Column Width.
Data Width	It is equal to 4*Dq.
Mask Width	It is equal to Data Width/Dram Width.
ECC	This is the error correction code, available in 72-bit Dq Width configurations.
Option	
Burst Mode	This is the memory data burst length.
Burst Type	This is an option for the ordering of accesses within a burst.
User Refresh	This parameter indicates if the user manages refresh commands. Can be set for either the User or Native interface.
CAS Latency	This is the read CAS latency.
CW Latency	This is the write CAS latency
Additive Latency	This is the additive latency in memory clock cycles.
Write Recovery	This is Write Recovery.
SLOT_0_CONFIG	SLOT0 configuration.
SLOT_1_CONFIG	SLOT1 configuration.
Rtt Nom	This is the nominal ODT value.
Addr Cmd Mode	This parameter is used by the controller to calculate timing on the memory addr/cmd bus.
OUTPUT DRV	This is the DRAM reduced output drive option.
Timing	
tRTP Period	This is the READ-to-PRECHARGE command delay.
tRP Period	This is the PRECHARGE command period.
tWTR Period	This is the WRITE-to-READ command delay.
tRC Period	This is the ACTIVE-to-ACTIVE command delay.
tRAS Period	This is the minimum ACTIVE-to-PRECHARGE period for memory.
tRCD Period	This is the ACTIVE-to-READ or -WRITE command delay.
tFAW Period	This is the minimum interval of four active commands.
tRRD Period	This is the ACTIVE-to-ACTIVE minimum command period.
tCKE Period	This is the minimum CKE pulse time.
tREFI Period	This is the average periodic refresh interval for memory.
tRFC Period	This is the REFRESH-to-ACTIVE or REFRESH-to-REFRESH command interval.
tDLLK	DLLK cycle number.
Copyright© GOWIN Semiconductor. All Rights Reserved.	

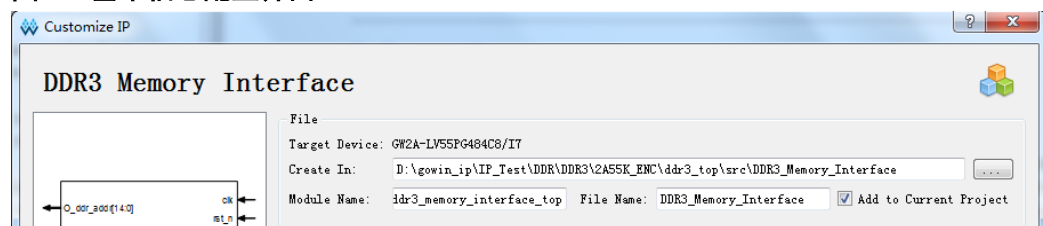


## 5. 配置基本信息

在配置界面的上部分是工程基本信息配置界面，目前 DDR3 Memory Interface IP 核只支持 GW2A-55、GW2A-18、GW2AR-18 三款芯片，本文芯片型号选择 GW2A-55 为例，封装选择 PBGA484。Module Name 选项后面是工程产生后顶层文件的名称，默认为

“ddr3\_memory\_interface\_top”，用户可自行修改。“File Name”是 IP 核文件产生的文件夹，存放 DDR3 Memory Interface IP 核所需文件，默认为“DDR3 Memory\_Interface”，用户可自行修改路径。Create IN 选项是 IP 核文件夹产生路径，默认为“\工程路径\src\DDR3\_Memory\_Interface”，用户可自行修改路径。右下角“Add to Current Project”选项是询问是否产生的 IP 直接添加到你的工程中，默认勾选，如图 7-5 所示。

图 7-5 基本信息配置界面

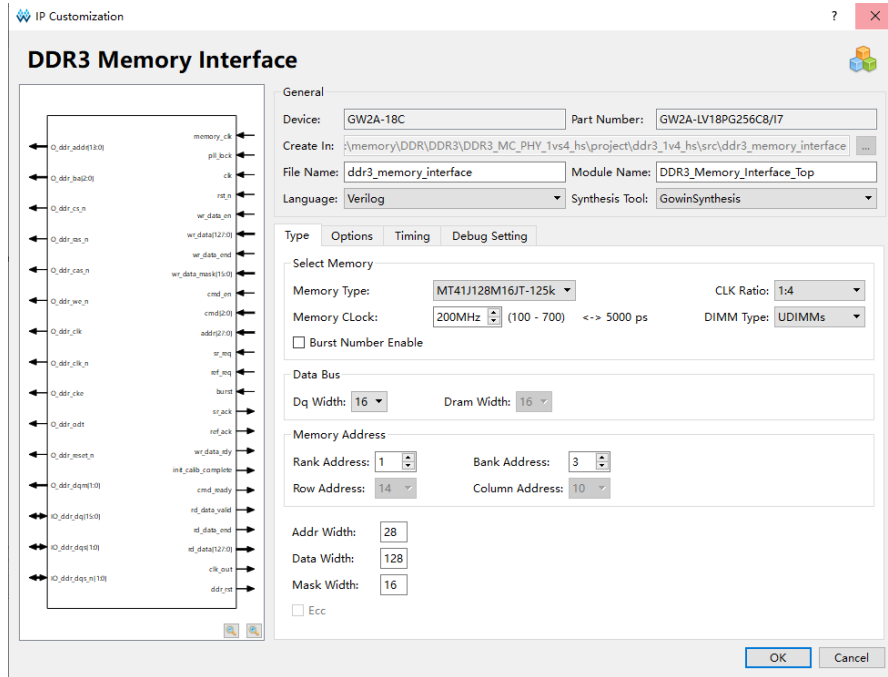


## 6. Type 选项卡

在 Type 选项卡中，用户需要配置所使用的 DDR3 内存芯片的基本信息。

- Select Memory 选项
- Data Bus 选项
- Memory Address 选项: Memory Address 中主要填写 DDR3 内存颗粒的 Rank, Bank, Row, Column 地址信息，当选择好 DDR3 内存颗粒类型后，GUI 会自动填写，如果选择 Custom 则需要用户根据自己使用的 DDR3 内存类型自行选择。
- 不可操作项，置灰。

图 7-6 Type 选项卡

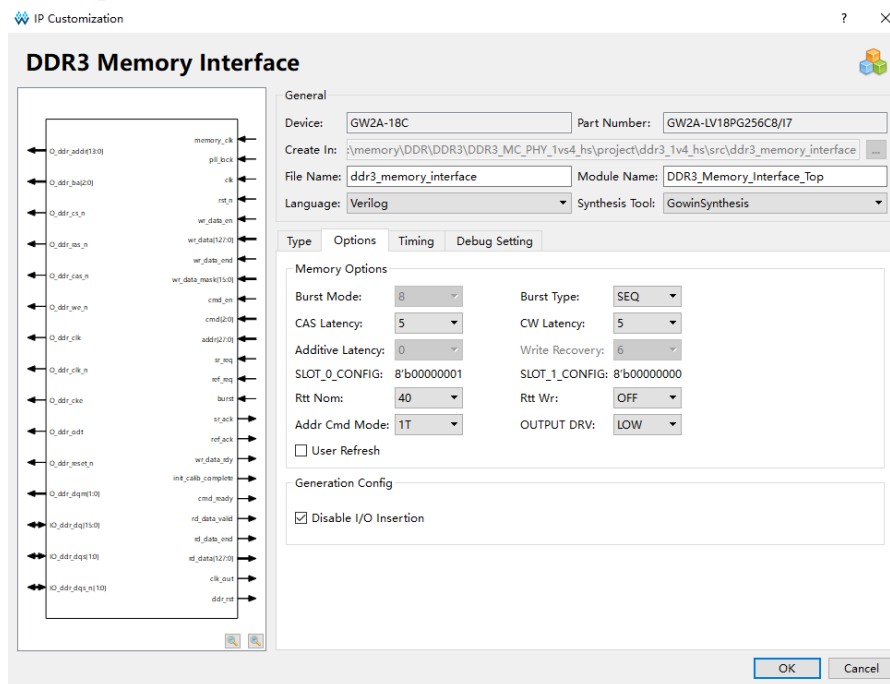


7. Options 选项卡如图 7-7 所示，已选择 AD3U160022G11 内存颗粒为例。

- Memory options 选项
- Generation Config 选项

勾选后产生的 IP 中，没有插入 IBUF、OBUF 等原语，直接使用 port 连接逻辑，默认勾选。

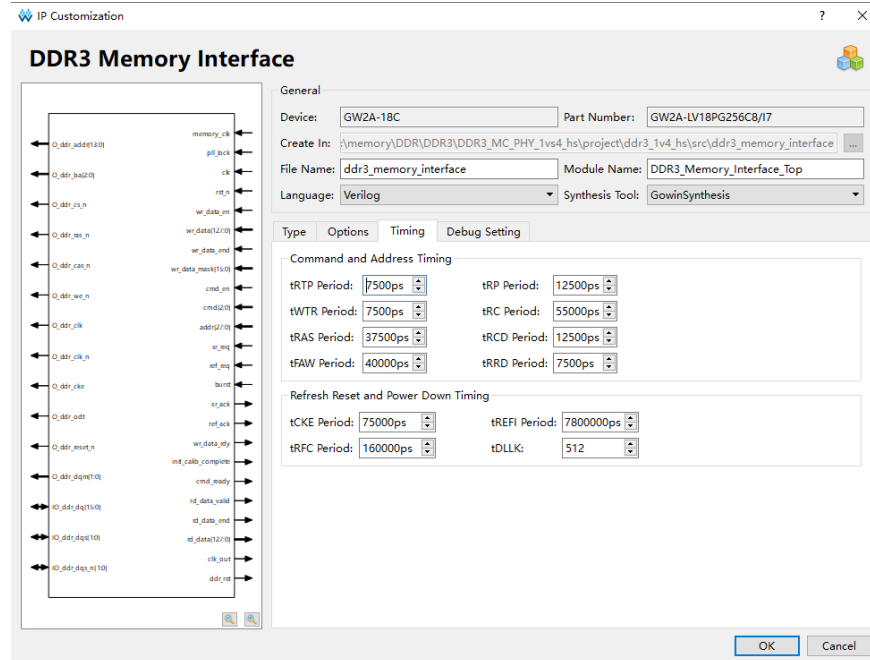
图 7-7 Options 选项卡



## 8. Timing 选项

- Command and Address Timing 选项
- Refresh, Reset and Power Timing 选项

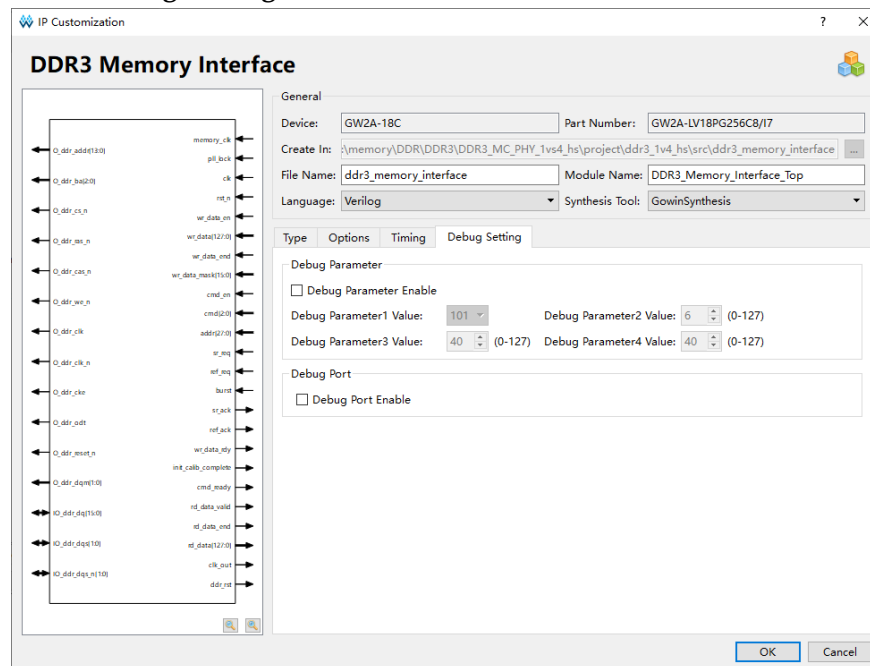
图 7-8 Timing 选项卡



## 9. Debug Setting 选项

此选项是使能 debug 接口和调试参数。

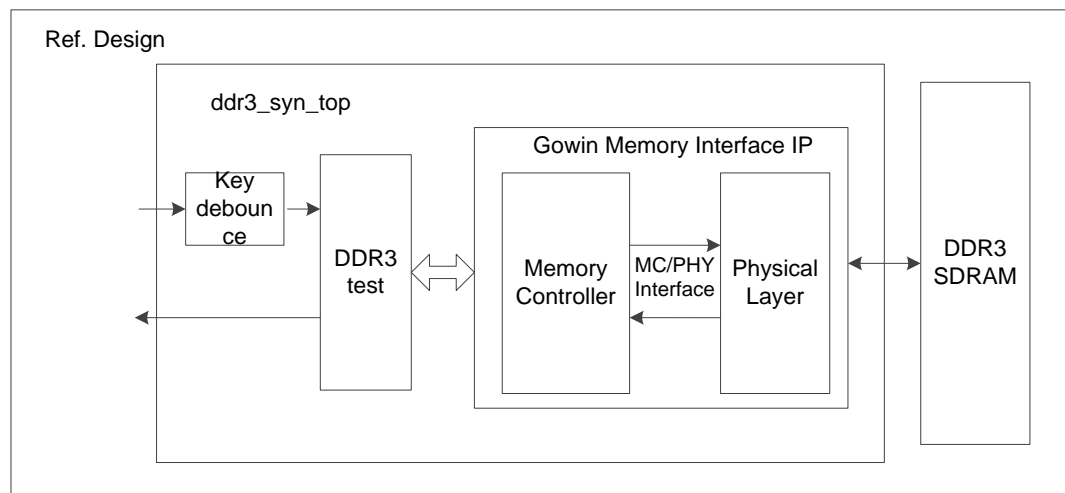
图 7-9 Debug Setting 选项卡



# 8 参考设计

为方便用户快速熟悉并使用 Gowin DDR3 Memory Interface IP，提供了一个简单的[参考设计](#)，参考设计基本结构如图 8-1 所示。

图 8-1 参考设计基本结构框图



在参考设计中，`ddr3_syn_top` 模块是顶层模块单元，其端口连接输入参考时钟、外部复位等信号，端口连接如表 8-1 所示。`DDR3_test_rst` 用于产生 Gowin Memory Interface IP 所需的地址、数据与读写等命令，并且该模块单元可综合。`Key_debounce` 模块是一个消抖模块，用于消除由按键或拨码开关控制外部激励时产生的信号抖动。

表 8-1 `DDR3_syn_top` 模块输入端口列表

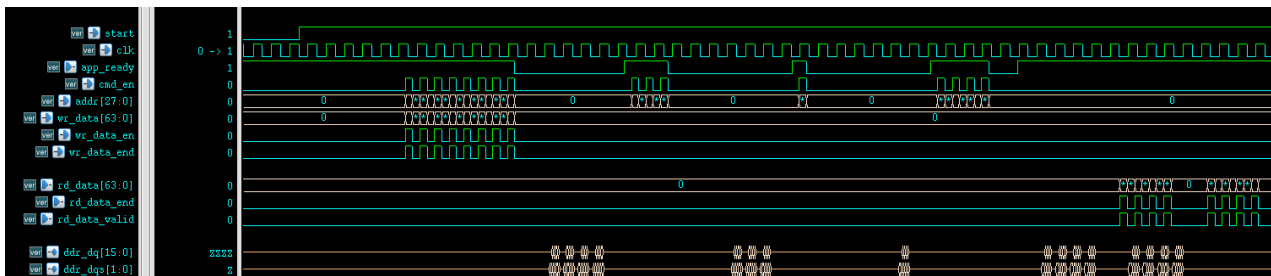
名称	描述
clk	输入参考时钟，默认50MHz
rst_n	输入复位信号
display	切换组间数据
sw	切换组内数据

`DDR3_test` 产生 8 次写命令与 8 次读命令，对不同的地址进行写与读操作。用户可修改写入的地址及数据等，并对 Memory Interface IP 返回的

读数据进行分析验证。在该参考设计中，选择内存条粒型号为威刚 AD3U160022G11，配置 Burst Mode 为 BC4，DQ 宽度为 16 位。

DDR3\_test 与 Memory Interface IP 端口之间部分信号的仿真波形如图 8-2 所示。

图 8-2 DDR3\_test 部分端口信号仿真波形



# 9 文件交付

Ref. Design 文件夹主要包含 Gowin DDR3 Memory Interface IP 的网表文件，用户参考设计，约束文件、消抖模块、顶层文件及工程文件夹等。

**表 9-1 Ref. Design 文件夹内容列表**

名称	描述
ddr3_syn_top.v(top.v)	参考设计的顶层module
key_debounce.v(button.v)	按键消抖模块
DDR3_test_rst.v(ddrtest)	测试激励产生模块
DDR3_Memory_Interface.vo	Gowin DDR3 Memory Interface IP网表文件
ddr3.cst	DDR3工程物理约束文件
ddr3.sdc	DDR3工程时序约束文件
ddr3.gao	抓取DDR3颗粒数据
DDR3_Memory_Interface	DDR3 IP工程文件夹

