




Gowin DDR2 Memory Interace IP 用户指南

IPUG506-1.5, 2023-11-14

版权所有 © 2023 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其所有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2017/08/29	1.0	初始版本。
2018/03/09	1.1	更新 DDR2 SDRAM 数据速率, 更新部分图片和截图, 完善参考设计章节内容。
2018/07/25	1.2	更新端口名称及端口描述。
2019/07/25	1.3	<ul style="list-style-type: none">● 修改地址格式;● 增加读写效率的相关描述。
2022/07/28	1.4	<ul style="list-style-type: none">● 更新用户端接口;● 增加调试参数和端口。
2023/11/14	1.5	<ul style="list-style-type: none">● 支持 GW5A(S)(T)器件, 并增加相关描述;● 新增第 5 IP 使用注意事项。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	2
1.4 技术支持与反馈	2
2 概述	3
3 主要特征与性能	4
3.1 主要特征	4
3.2 工作频率与带宽效率	5
3.3 资源利用	5
4 功能描述	6
4.1 整体结构	6
4.2 Memory Controller	6
4.3 PHY	7
4.3.1 初始化单元	7
4.3.2 数据通路单元	7
4.3.3 控制通路单元	7
4.3.4 I/O 逻辑单元	7
4.4 主要功能	8
4.4.1 初始化	8
4.4.2 发送地址与命令	8
4.4.3 命令与写数据位置关系	9
4.4.4 写数据	10
4.4.5 读数据	12
4.4.6 刷新	14
5 IP 使用注意事项	16

5.1 时钟与复位	16
5.1.1 时钟	16
5.1.2 复位	16
5.2 pll_stop	17
6 端口列表	19
7 参数配置	22
8 界面配置	25
9 参考设计	33
10 文件交付	35
10.1 文档	35
10.2 参考设计	35

图目录

图 4-1 Gowin Memory Interface IP 结构图	6
图 4-2 DDR2 PHY 基本结构图	7
图 4-3 初始化完成信号时序图	8
图 4-4 Rank-Bank-Row-Column 顺序的寻址方案	8
图 4-5 命令、地址与使能信号时序图.....	9
图 4-6 cmd 与数据位置关系图	10
图 4-7 时钟比例 1:2 写时序图.....	11
图 4-8 突发长度为 BL8 时写数据时序图.....	11
图 4-9 时钟比例 1:4 写时序图.....	12
图 4-10 时钟比例 1:2 读数据时序图.....	13
图 4-11 突发长度为 BL8 时读数据时序图	13
图 4-12 时钟比例 1:4 读数据时序图.....	14
图 4-13 用户刷新时序图	14
图 5-1 时钟	16
图 5-2 复位	17
图 5-3 138K pll_stop.....	17
图 5-4 25K pll_stop.....	18
图 8-1 打开 IP Core Generator	25
图 8-2 打开 DDR2 Mememory Interface IP 核.....	26
图 8-3 IP 核接口示意图	27
图 8-4 基本信息配置界面.....	28
图 8-5 Type 选项卡	29
图 8-6 Options 选项卡	30
图 8-7 Timing 选项卡	31
图 8-8 Debug 选项卡	32
图 9-1 参考设计基本结构框图.....	33
图 9-2 DDR2_test 部分端口信号仿真波形.....	34

表目录

表 1-1 术语、缩略语	2
表 2-1 Gowin DDR2 Memory Interface IP	3
表 3-1 资源利用情况	5
表 4-1 cmd 命令	9
表 6-1 Gowin DDR2 Memory Interface IP 的 IO 端口列表	19
表 7-1 Gowin DDR2 Memory Interface 的静态参数选项	22
表 7-2 DDR2 时间参数	23
表 7-3 时钟比例 1:4 参数	23
表 9-1 ddr2_syn_top 模块输入端口列表	33
表 10-1 文档列表	35
表 10-2 Ref. Design 文件夹内容列表	35

1 关于本手册

1.1 手册内容

Gowin DDR2 Memory Interface IP 用户指南主要包括 IP 的结构与功能描述、端口说明、时序说明、配置调用、参考设计等。主要用于帮助用户快速了解 Gowin DDR2 Memory Interface IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 1.9.9 Beta-6 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

注!

- 时钟比例 1:2 时，适用于 GW2A、GW2AN、GW2AR、GW2ANR 器件；
- 时钟比例 1:4 时，适用于 GW5A、GW5AR、GW5AS、GW5AST、GW5AT 器件；
- 如没有特殊说明，则表示“时钟比例 1:2”与“时钟比例 1:4”使用方法一致，不一致将在对应章节描述其特性。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS971, GW2AN-18X & 9X 器件数据手册](#)
- [DS976, GW2AN-55 器件数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS961, GW2ANR 系列 FPGA 产品数据手册](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)
- [DS1108, GW5AR 系列 FPGA 产品数据手册](#)
- [DS1105, GW5AS 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FIFO	First Input First Output	先进先出队列
IP	Intellectual Property	知识产权
RAM	Random Access Memory	随机存取存储器
LUT	Look-up Table	查找表
GSR	Global System Reset	全局系统复位
ECC	Error Correcting Code	错误检查和纠正

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

Gowin DDR2 Memory Interface IP 是一个通用的 DDR2 内存接口 IP，符合 JESD79-2F 标准协议。该 IP 包含 DDR2 内存控制器 (Memory Controller, MC) 与对应的物理层接口 (Physical Interface, PHY) 设计。Gowin DDR2 Memory Interface IP 为用户提供一个通用的命令接口，使其与内存芯片进行互连，完成用户的访存需求。

表 2-1 Gowin DDR2 Memory Interface IP

Gowin DDR2 Memory Interface IP	
逻辑资源	请参见表 3-1。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis®
应用软件	Gowin Software (V1.9.9Beta-6 及以上)

注！

可登录[高云半导体网站](#)查看芯片支持信息。

3 主要特征与性能

3.1 主要特征

- 支持 GW2A-18、GW2AR-18、GW2A-55、GW5AST-138、GW5A-25 等 FPGA 器件等 FPGA 器件
- 能与工业标准的 DDR2 SDRAM 器件和具有 JESD79-2F 规范兼容的模块接口
- GW2A-18、GW2AR-18、GW2A-55 下时钟比例为 1:2；GW5AST-138、GW5A-25 下时钟比例为 1:4
- 支持存储器数据路径宽度为 8、16、24、32、40、48、56、64 和 72 位
- 支持单列 RDIMM、UDIMM 和 SODIMM 内存模块
- 支持 x4、x8 和 x16 三种数据宽度的内存芯片
- 可编程突发长度 4 或 8
- 支持 ECC
- 可配置的 CL
- 可配置的 AL
- 可配置的 t_{FAW}
- 可配置的 t_{RAS}
- 可配置的 t_{RCD}
- 可配置的 t_{RFC}
- 可配置的 t_{RRD}
- 可配置的 t_{RTP}
- 可配置的 t_{WTR}
- 支持动态片上终端 ODT 的控制
- 支持自动刷新和用户启动刷新，自动刷新间隔可配置

3.2 工作频率与带宽效率

Gowin DDR2 Memory Interface IP 支持 DDR2 SDRAM 数据速率为：

- 时钟比例 1:2 模式下支持 533 Mbps
- 时钟比例 1:4 模式下支持 533 Mbps 和 800 Mbps

Gowin DDR2 Memory Interface IP 带宽效率统计如下：

- 时钟比例 1:2 模式下，突发长度为 4，带宽效率为 50%
- 时钟比例 1:2 模式下，突发长度为 8，带宽效率为 90%
- 时钟比例 1:4 模式下，带宽效率为 90%

3.3 资源利用

Gowin DDR2 Memory Interface IP 通过 Verilog 语言实现，应用于高云 GW2A-18、GW2AR-18、GW2A-55、GW5AST-138、GW5A-25 等系列 FPGA，其资源利用情况如表 3-1 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

表 3-1 资源利用情况

DQ_WIDTH	LUTs	REGs	I/O	f _{MAX} (MHz)	器件系列	速度等级
8(x8)	1061	1009	151	266MHz (533Mbps)	GW2A-55 GW2A-18	-6 -7 -8
16(x8)	1312	1365	231			
24(x8)	1557	1721	311			
32(x8)	1639	2077	391			
40(x8)	1845	2433	471			
48(x8)	2060	2789	551			
56(x8)	2271	3145	631			
64(x8)	2483	3501	711			
72(x8)	2694	3857	791			

注！

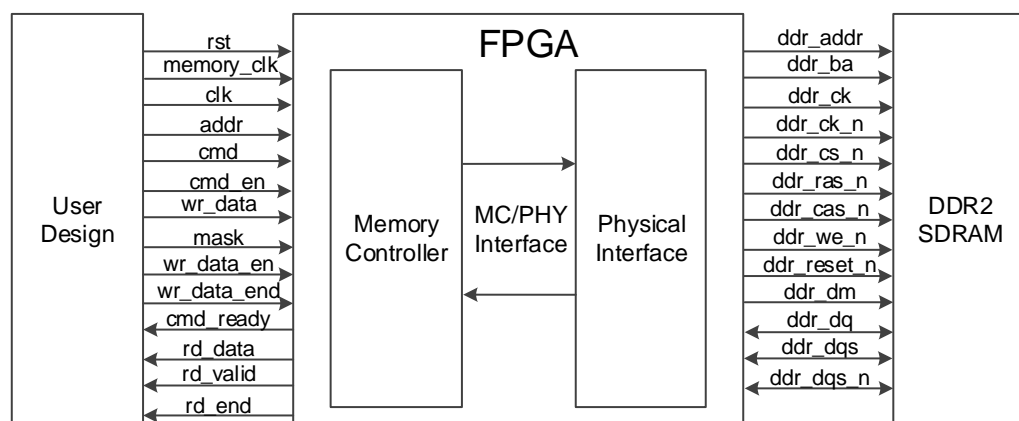
在表 3-1 中，Gowin DDR2 Memory Interface 配置用户地址宽度为 27 位，DRAM WITDH 为 x8。

4 功能描述

4.1 整体结构

Gowin DDR2 Memory Interface IP 基本结构如表 4-1 所示，主要包含 Memory Controller、Physical Interface 等模块。图 4-1 中的 User Design 是 FPGA 中需要与外部 DDR2 SDRAM 芯片所连接的用户设计。

图 4-1 Gowin Memory Interface IP 结构图



4.2 Memory Controller

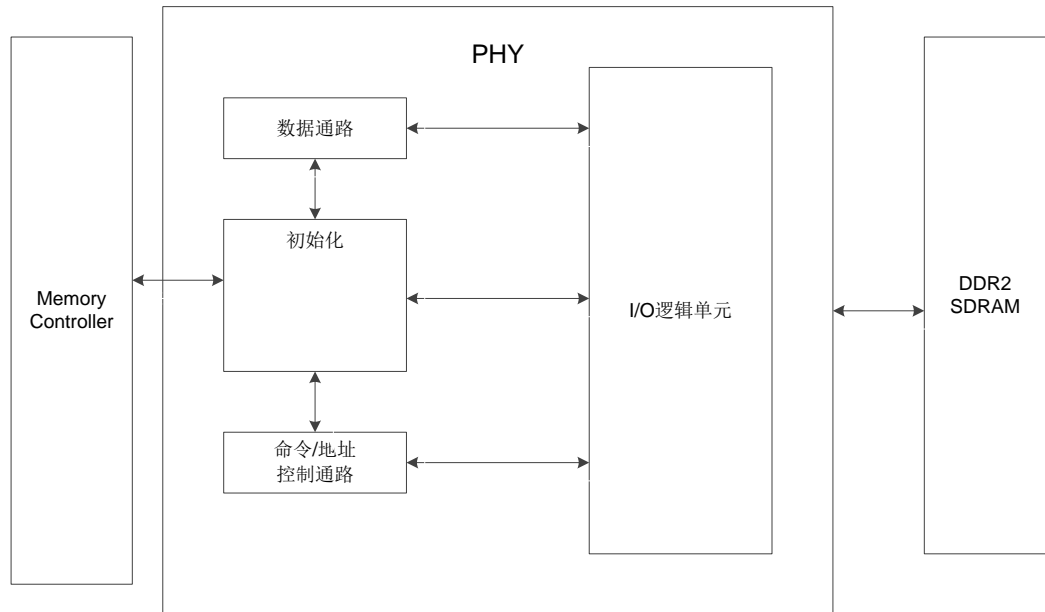
Memory Controller 是属 MC 层，实现协议层功能，内部状态机进行 BANK、ROW、COL 及刷新控制。Memory Controller 接收用户侧读写命令，内部以 FIFO 逻辑存储，将读写命令转化为 PHY 侧可识别的接口时序，输入到 PHY 侧。

4.3 PHY

PHY 提供了 MC 与外部 DDR2 SDRAM 之间的物理层定义与接口，接收来自 MC 内存控制器的命令，并向 DDR2 SDRAM 颗粒提供接口时序。

PHY 的基本结构如图 4-2 所示，主要包括四个模块，分别为初始化模块、数据通路、命令地址控制通路和 I/O 逻辑模块。

图 4-2 DDR2 PHY 基本结构图



4.3.1 初始化单元

初始化模块主要完成 DDR2 SDRAM 上电后的初始化和读校准。在完成所有初始化与读校准之后，信号“init_calib_complete”会由低变高，指示整个初始化完成。

注!

init_calib_complete 信号被拉高之前，不允许执行读/写操作。

上电初始化

按照 JESD79-2F 协议标准，上电后需对 DDR2 SDRAM(颗粒或 DIMM) 进行初始化，包括复位、时钟使能、模式寄存器的配置及 ZQ 校准等过程。

4.3.2 数据通路单元

数据通路包括写数据和读数据过程。

4.3.3 控制通路单元

命令/地址控制通路为单向通路，接收 MC 发送的命令与地址信号，并与数据通路配合，处理写、读数据时延参数，并将命令发送到 I/O 逻辑模块。

4.3.4 I/O 逻辑单元

I/O 逻辑模块主要是对数据通路和命令/地址通路传递过来的数据、命令、

地址信号进行时钟域的转换。

4.4 主要功能

Memory Interface IP 可实现以下功能：

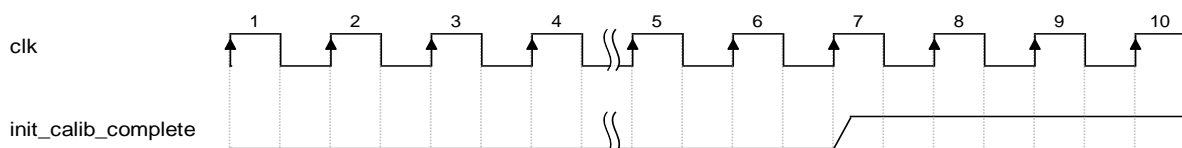
- DDR2 SDRAM 初始化
- 发送地址、命令
- 写数据
- 读数据
- 刷新

4.4.1 初始化

DDR2 SDRAM 必须经过校准操作才能进行正常的写、读操作。因此上电后 PHY 会对 DDR2 SDRAM 进行初始化校准操作，初始化完成后返回初始化完成标志 `init_calib_complete`。

初始化完成后向用户返回操作完成信号，如图 4-3 所示。

图 4-3 初始化完成信号时序图



4.4.2 发送地址与命令

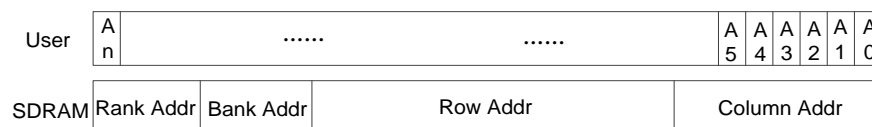
地址

`addr` 是用户侧地址总线，与 `cmd` 一同写入控制器，当 `cmd_en` 有效时，`addr` 有效。

- `addr`：地址数据端口

在应用中，用户接口的地址总线与物理内存的 Rank、Bank、Row、Column 之间存在一定的映射关系，在本设计中，按照 Rank-Bank-Row-Column 的顺序进行依次排列，其寻址方案如图 4-4 所示。用户在应用中，应注意提供的地址顺序。

图 4-4 Rank-Bank-Row-Column 顺序的寻址方案



命令

用户可通过 `cmd` 及 `cmd_en` 向 IP 写入命令，控制器根据写入命令的先后顺序，向 DDR2 颗粒发起读写事务。

- cmd: 命令数据端口;
- cmd_en: 地址与命令使能信号, 高电平有效。

cmd 含义如表 4-1 所示:

表 4-1 cmd 命令

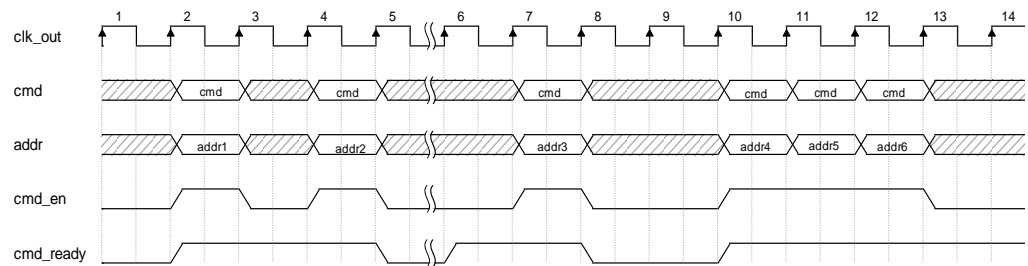
命令	cmd[2:0]
Read	3'b001
Write	3'b000

地址与命令时序

在用户接口端, 命令、地址及使能信号之间的时序如图 4-5 所示, cmd_ready 为高电平, 表示 MC 可以接收命令, 命令可以存入 MC FIFO 中; 若 cmd_ready 为低电平, 将 MC 此时无法接收命令。

cmd_en 为 1 且 cmd_ready 为 1 时将 cmd 及 addr 写入 IP, addr 之间相互独立, 即 addr1 和 addr2 无任何关系, 不必是相邻地址。

图 4-5 命令、地址与使能信号时序图

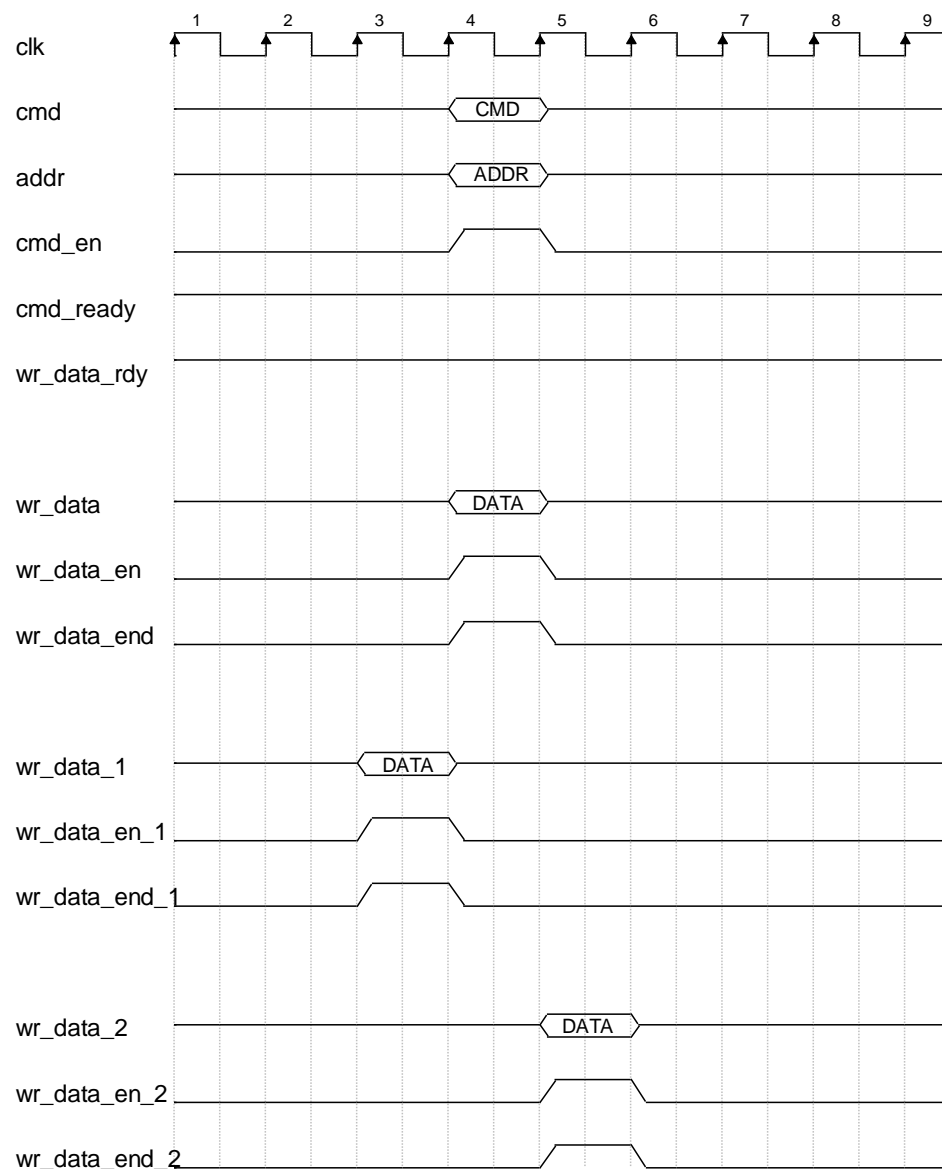


4.4.3 命令与写数据位置关系

cmd 与数据位置关系, 如图 4-6 所示:

- 写数据与写命令同时发送;
- 写数据在对应的写命令之前发送;
- 写数据在对应的写命令之后发送, 但写数据的延迟周期数不能 2 个周期。

图 4-6 cmd 与数据位置关系图



4.4.4 写数据

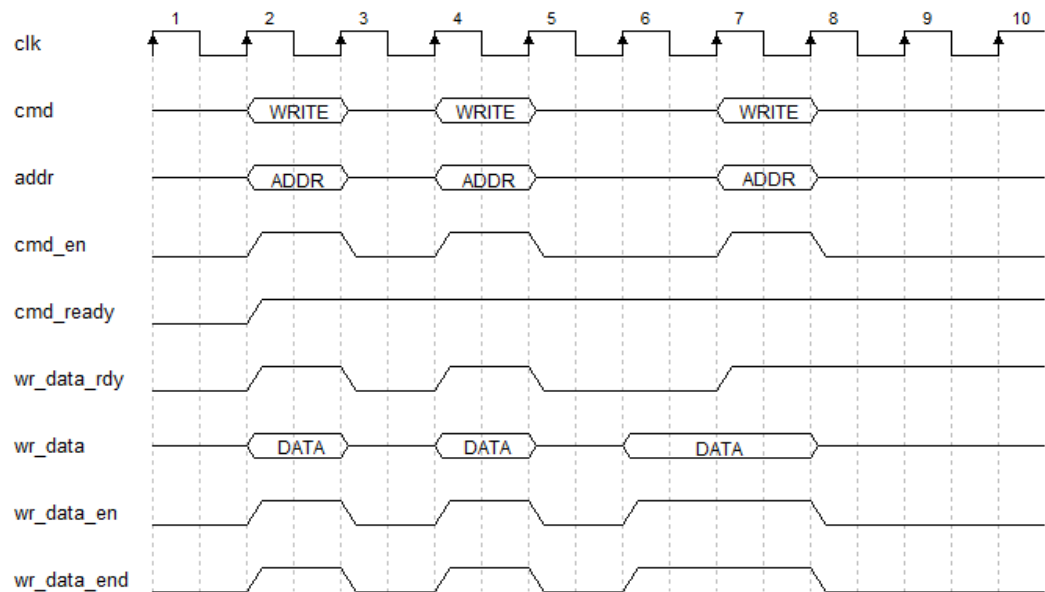
用户可通过用户接口 `wr_data`、`wr_data_wren` 与 `wr_data_end` 等端口将写数据发送给 Gowin DDR2 Memory Interface IP，写数据经过处理后会发送给 DDR2 SDRAM。

时钟比例 1:2 写数据

- `wr_data` 为写数据端口
- `wr_data_en` 为写数据使能端口，当其为高电平时表示写数据有效
- `wr_data_end` 指示在当前突发长度下，写入的此组数据的所需占用的最后一个周期
- 在写数据通道中，当 `wr_data_rdy` 为高电平时，表示 MC 可以接收写数据
- 若在 `wr_data_rdy` 为低电平时，用户发送了写数据，应将 `wr_data`、

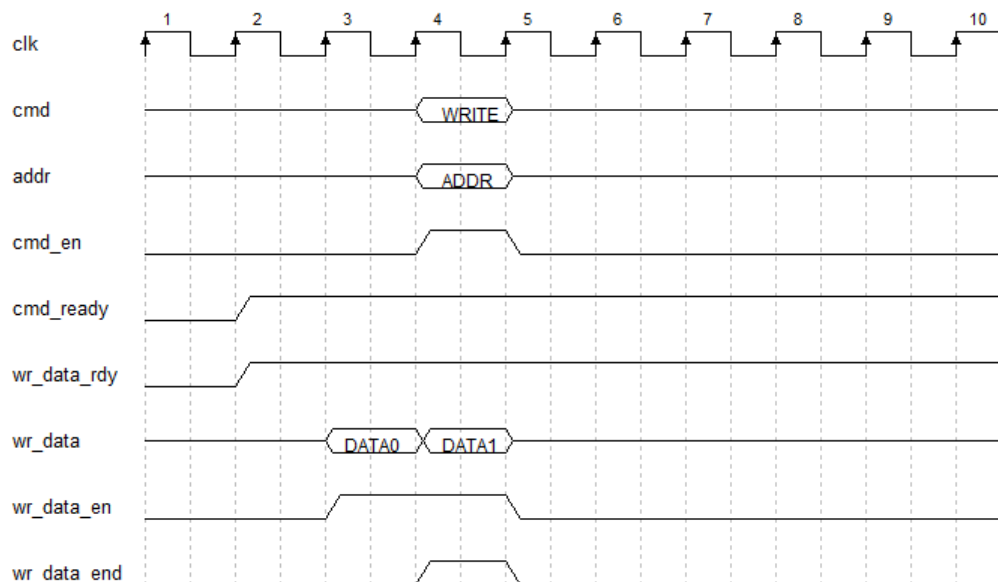
wr_data_en 与 wr_data_end 等信号维持，直至 wr_data_rdy 为高电平，如图 4-7 所示

图 4-7 时钟比例 1:2 写时序图



由于 MC 与 PHY 的时钟比例为 1:2，当用户配置突发长度为 BL8 时，写数据占用两个 clk 周期，如图 4-8 所示，且 wr_data_end 需在写数据的第二个周期变高，以指示写数据结束。

图 4-8 突发长度为 BL8 时写数据时序图

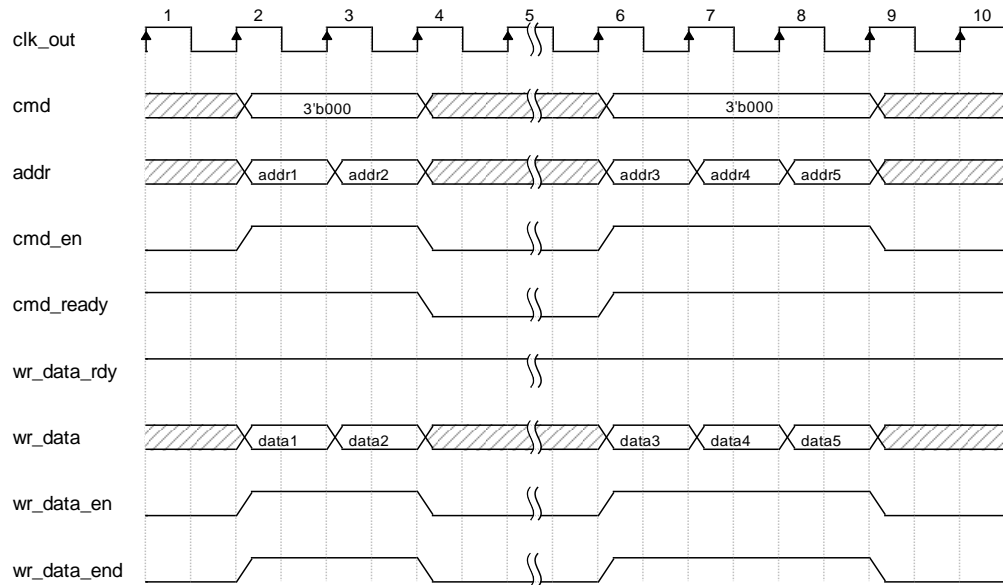


时钟比例 1:4 写数据

- wr_data: 数据总线端口，用户可通过此端口写入需要存储 DDR 内的数据
- wr_data_en: 数据写入使能端口，高电平时 wr_data 有效

- **wr_data_end**: 当时钟比例 1:4 时, 保持与 **wr_data_en** 信号一致
- **wr_data_rdy**: 当 **wr_data_rdy** 为高电平时, 表示控制器可以接收 user 数据, 用户可通过端口 **wr_data**、**wr_data_en** 与 **wr_data_end** 将数据写入控制器

图 4-9 时钟比例 1:4 写时序图



4.4.5 读数据

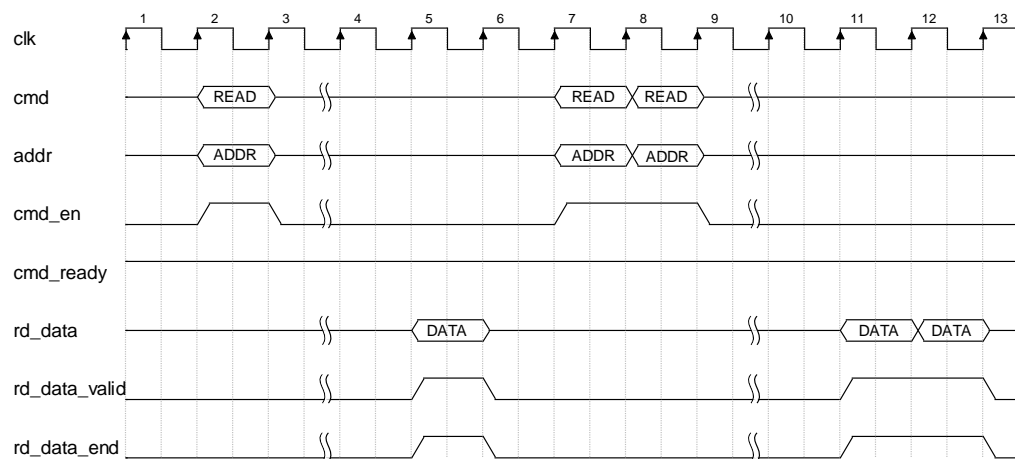
用户可通过 **rd_data**、**rd_data_valid** 与 **rd_data_end** 读取 DDR2 SDRAM 返回的数据。

时钟比例 1:2 读数据

- **rd_data**: 返回的读数据端口
- **rd_data_valid**: 读数据有效端口, 当其为高电平时, 指示此时返回的 **rd_data** 有效
- **rd_data_end**: 指示在当前突发长度下所返回的最后一组数据, 高电平时有效

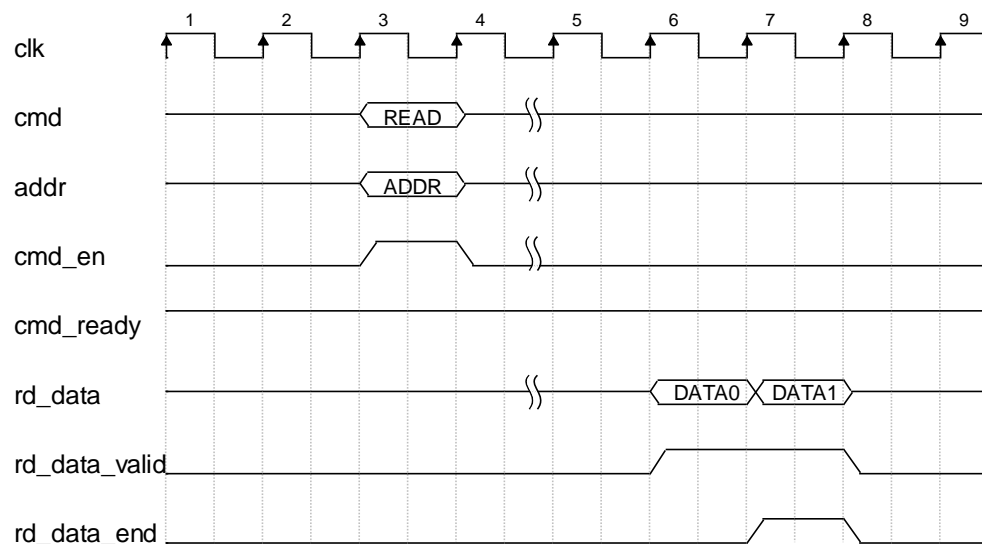
当用户连续读多个地址时, 将按照发送读命令时的地址顺序依次返回相应的数据。

图 4-10 时钟比例 1:2 读数据时序图



与写操作时类似，由于 MC 与 PHY 的时钟比例为 1: 2，当用户配置突发长度为 BL8 时，读数据占用两个 clk 周期，如图 4-11 所示：

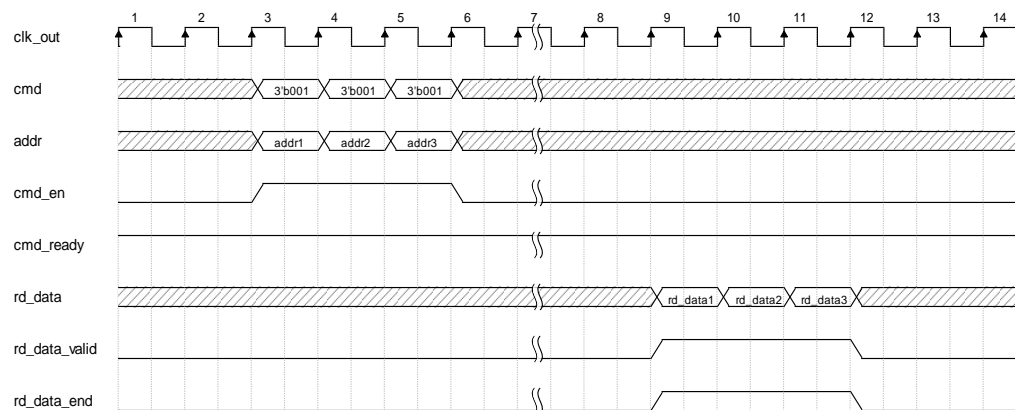
图 4-11 突发长度为 BL8 时读数据时序图



时钟比例 1:4 读数据

- rd_data: 返回的读数据端口
- rd_data_valid: 读数据有效端口，当其为高电平时，指示此时返回的 rd_data 有效
- rd_data_end: 时钟比例 1:4 时，与 rd_data_valid 一致

图 4-12 时钟比例 1:4 读数据时序图



4.4.6 刷新

刷新

在 DDR2 SDRAM 存储阵列需要不断的刷新来保证数据不丢失，因此需要 Gowin DDR2 Memory Interface IP 周期性的向 DDR2 SDRAM 发送刷新指令。Gowin DDR2 Memory Interface IP 间隔 t_{REFI} 时间产生刷新命令，刷新命令产生后，MC 执行完最后一条读写命令后，会 PreCharge 所有 Bank，然后执行 Refresh 命令，刷新操作具有较高优先级。

自刷新

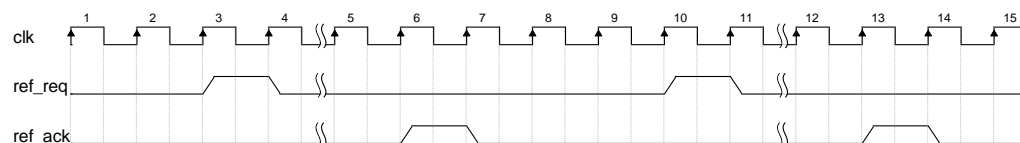
用户可通过端口 `sr_req` 发送自刷新（self refresh）请求，配置 DDR2 SDRAM 进入自刷新模式。在自刷新模式下，DDR2 SDRAM 会自动刷新存储阵列，无需 Gowin DDR2 Memory Interface IP 发送刷新指令。

Gowin DDR2 Memory Interface IP 在完成对 DDR2 SDRAM 的自刷新配置后，会向用户返回信号 `sr_ack`，表示 DDR2 SDRAM 已进入自刷新模式。

用户刷新

用户可以通过选项配置刷新模式为用户刷新，需将“USER_REFRESH”设置为“ON”。用户可在任意时刻通过端口 `ref_req` 向 MC 提出刷新请求，无需通过 `cmd` 端口向 MC 发出其它命令。发送用户刷新指令时，`ref_req` 需持续一个周期的高电平，完成刷新指令发送后，MC 会反馈 `ref_ack` 信号，持续一个周期的高电平，如图 4-13 所示。

图 4-13 用户刷新时序图



用户刷新操作可能会影响 MC 已经接收的或正在执行的指令。在进行用户刷新操作前，MC 会优先完成正在执行的命令操作。用户应考虑发出用户刷新与各项指令之间的配合，避免造成 t_{REFI} 违规。

考虑最坏情况下，用户刷新可参考以下公式进行操作，命令一定时间来

完成传输，可大致通过 t_{RCD} 、 CL 、数据传输时间、 t_{RP} 等参数计算，且用户刷新应在时间参数 t_{REFI} 违规前完成，因此两次用户刷新时间的最大间隔约为：

$$t_{REFI} - (t_{RCD} + (CL + 4) \times t_{CK} + t_{RP}) \times nBA$$

在实际应用中，若启动用户刷新，用户需要在 **DDR2 SDRAM** 完成初始化后立刻发出一个用户刷新，以确立后续用户刷新请求的时间基准。

5 IP 使用注意事项

5.1 时钟与复位

5.1.1 时钟

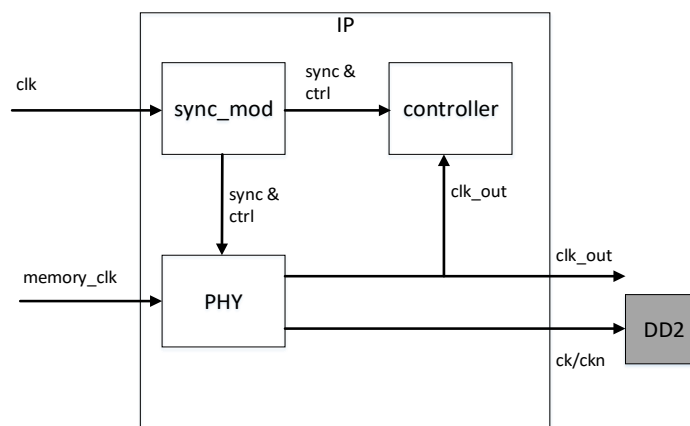
IP 有三个时钟，两个输入时钟 `clk` 和 `memory_clk`，一个输出时钟 `clk_out`，如图 5-1 所示。

`clk` 是低速的连续时钟。用于产生一些同步及控制信号，这些同步及控制信号作用于 IP 的主体逻辑(PHY 层和 Memory controller)，推荐值为 50MHz，可将板载晶振的输入连接到 `clk`。

`memory_clk` 是高速时钟，使用 HCLK 资源，驱动 PHY 并向外输出送到 DDR2 颗粒。

`clk_out` 是 `memory_clk` 的分频时钟。当 CLK Ratio 为 1:4 时，`clk_out` 是 `memory_clk` 的四分频时钟，使用 PCLK 资源，`clk_out` 作为 IP 的逻辑处理时钟，并向外输出到 user 逻辑，user 对 IP 的接口操作应该与 `clk_out` 同步。

图 5-1 时钟



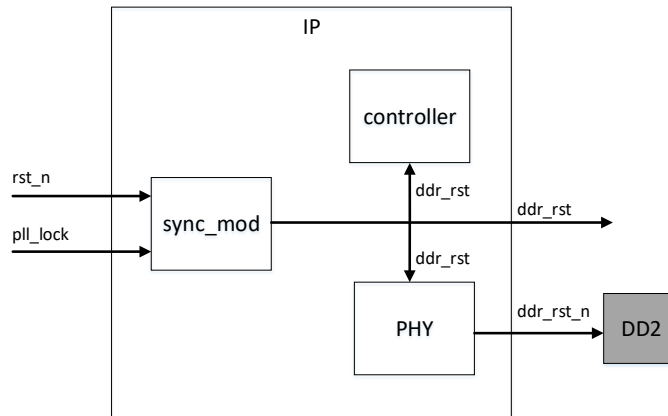
5.1.2 复位

IP 有输入信号 `rst_n` 和 `pll_lock`，输出信号 `ddr_rst`。如图 5-2 所示，`rst_n` 和 `pll_lock` 进行或运算产生 `ddr_rst`，作为 IP 的全局复位，并向外输出到 user。

任何复位逻辑都可以接入 `rst_n`。`pll_lock` 只能接入 PLL 的 LOCK 信号，

如果 pll_lock 未接入 PLL 的 LOCK 信号，IP 将不能检测时钟是否稳定，此时容易出现 DDR 初始化失败。

图 5-2 复位



5.2 pll_stop

pll_stop 是在 GW5A(S)(T)器件环境下存在的控制信号，是控制 memory_clk 的开关，低电平有效。

使用 138K 器件时，pll_stop 直接接入 PLL 的 enclk2，如图 5-3 所示。

使用 25K 器件时，pll_stop 需要接入转接模块 pll_mDRP_intf，间接控制 PLL 的 clkout2 输出，pll_mDRP_intf 模块的 clk 与 PLL 的 mdclk 和 clkin 相同，如图 5-4 所示。

图 5-3 138K pll_stop

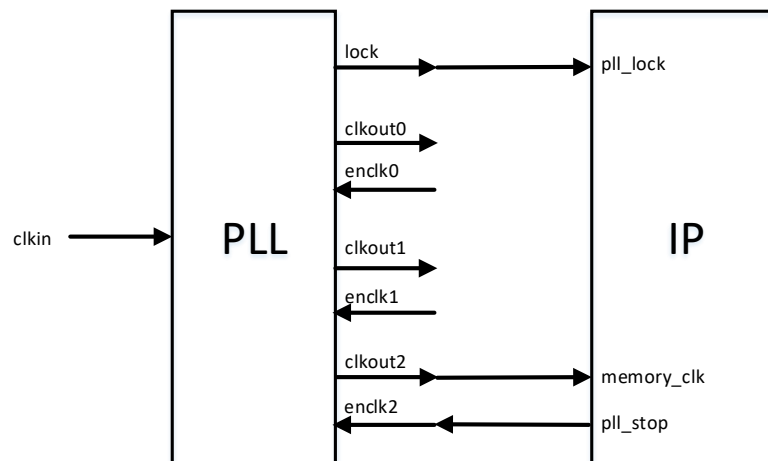
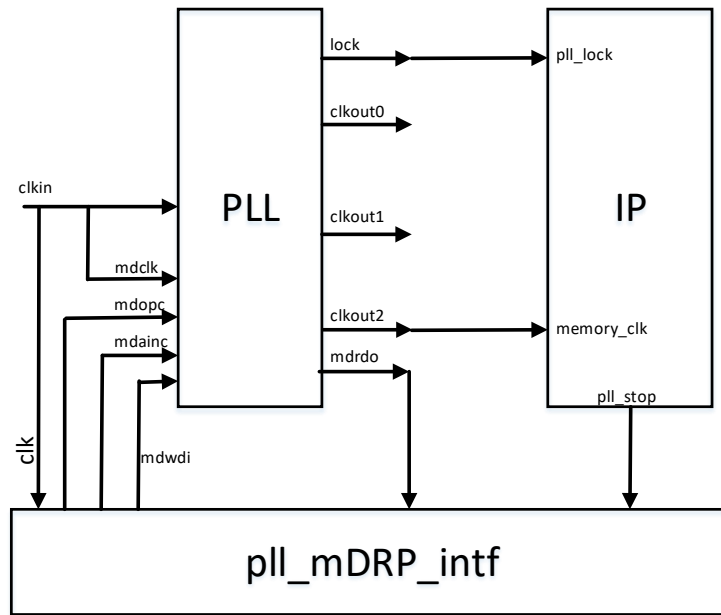


图 5-4 25K pll_stop



6 端口列表

Gowin DDR2 Memory Interface IP 的 IO 端口如表 6-1 所示。

表 6-1 Gowin DDR2 Memory Interface IP 的 IO 端口列表

信号	位宽	方向	描述
User Interface			
addr	ADDR_WIDTH	Input	地址信号宽度
cmd	3	Input	命令通道
cmd_en	1	Input	命令与地址使能信号： 0: 无效 1: 有效
cmd_ready	1	Output	高电平时指示Memroy Interface可接收命令与地址
rd_data	APP_DATA_WIDTH	Output	读数据通道
rd_data_end	1	Output	高电平时指示当前输出的一组rd_data的结束周期
rd_data_valid	1	Output	rd_data有效信号： 0: 无效 1: 有效
burst	1	Input	保留，输入固定0
wr_data	APP_DATA_WIDTH	Input	写数据通道
wr_data_end	1	Input	高电平指示当前时钟周期是此组数据wr_data的最后一个周期
wr_data_mask	APP_MASK_WIDTH	Input	为wr_data提供遮挡信号
wr_data_rdy	1	Output	高电平时表示MC可以接收用户数据
wr_data_en	1	Input	wr_data使能信号： 0: 无效 1: 有效
sr_req	1	Input	自刷新请求
sr_ack	1	Output	自刷新应答信号
ref_req	1	Input	用户刷新请求

信号	位宽	方向	描述
ref_ack	1	Output	用户刷新应答信号
clk	1	Input	参考输入时钟，一般为PCB晶振输入，推荐50M晶振
memory_clk	1	Input	用户输入颗粒工作时钟，一般为PLL倍频出来的高速时钟。使用GW2A器件时，该时钟可以是pll的输出时钟或其他时钟；使用GW5A器件时，此时钟必须由PLL的clkout2输出
pll_stop	1	Output	此端口用法参考5.2 pll_stop
pll_lock	1	Input	如果memory_clk为PLL倍频输入，此端口接PLL的pll_lock管脚，如果用户不使用PLL，此端口接1'b1
rst_n	1	Input	复位端输入，低复位
ddr_rst	1	Output	经过IP处理过的复位信号，供用户设计使用，高复位
init_calib_complete	1	Output	初始化完成信号
clk_out	1	Output	用户设计时钟 时钟比例1:2时，频率为Memory Clk的1/2； 时钟比例1:4时，频率为Memory Clk的1/4
ecc_err	APP_DATA_WIDTH/32	Output	ECC指示信号输出
dbg_vector1_out	3*DQS_WIDTH	Output	调试端口，仅在调试端口使能时启用
dbg_vector2_out	2*DQS_WIDTH	Output	调试端口，仅在调试端口使能时启用
dbg_vector3_out	8	Output	调试端口，仅在调试端口使能时启用
DDR2 SDRAM Interface			
O_ddr_addr	ROW_WIDTH	Output	Row地址(激活命令)、Column地址(读、写命令)
O_ddr_ba	BANK_WIDTH	Output	Bank地址
O_ddr_cs_n	CS_WIDTH	Output	片选，低有效。
O_ddr_ras_n	1	Output	Row地址选通信号
O_ddr_cas_n	1	Output	Column地址选通信号
O_ddr_we_n	1	Output	Row写使能
O_ddr_clk	CK_WIDTH	Output	提供给DDR2 SDRAM的时钟信号
O_ddr_clk_n	CK_WIDTH	Output	与ddr_ck组成差分信号
O_ddr_cke	CKE_WIDTH	Output	DDR2 SDRAM时钟使能信号
O_ddr_dqm	DM_WIDTH	Output	DDR2 SDRAM数据屏蔽信号
O_ddr_odt	ODT_WIDTH	Output	内存信号端接电阻控制
O_ddr_reset_n	1	Output	DDR2 SDRAM复位信号
IO_ddr_dq	DQ_WIDTH	Bidirection	DDR2 SDRAM数据

信号	位宽	方向	描述
IO_dds_dqs	DQS_WIDTH	Bidirection	DDR2 SDRAM数据选通信号
IO_dds_dqs_n	DQS_WIDTH	Bidirection	与dds_dqs组成差分信号

7 参数配置

Gowin DDR2 Memory Interface IP 可支持 DDR2 SDRAM 器件，用户需根据设计要求配置 Gowin DDR2 Memory Interface 的各个静态参数与时序参数，具体参数分别如表 7-1 和表 7-2 所示。

时钟比例 1:2 参数

表 7-1 Gowin DDR2 Memory Interface 的静态参数选项

名称	描述	选项
DRAM_TYPE	存储器类型	DDR2
DRAM_WIDTH	DDR2颗粒DQ宽度	4, 8, 16
ADDR_CMD_MODE	地址命令模式	1T, 2T
nCK_PER_CLK	PHY与MC接口之间时钟比例	2
nCS_PER_RANK	每个Rank CS的数量	1
APP_ADDR_WIDTH	地址位宽	RANK_WIDTH + BANK_WIDTH + ROW_WIDTH + COL_WIDTH
BANK_WIDTH	内存BANK地址宽度	根据DDR2 SDRAM芯片选择
CS_WIDTH	CS位宽	根据DDR2 SDRAM芯片选择
RANK_WIDTH	RANK地址宽度	对于Single与Dual rank器件，此选择为1
ROW_WIDTH	DRAM ROW地址宽度	根据DDR2 SDRAM芯片选择
DM_WIDTH	数据遮挡位宽	DQ_WIDTH/ DRAM_WIDTH
DQ_WIDTH	DQ信号宽度	DQ_WIDTH=DRAM_WIDTH * DQS_WIDTH
DQS_WIDTH	DQS信号宽度	DQ_WIDTH/8
BURST_MODE	突发长度	“4”、“8”
BURST_TYPE	突发时数据读写	“Sequential” “Interleaved”
RTT_NOM	Nominal ODT数值	“150”: 150 “75”: 75 “50”: 50
RTT_WR	Multiple-RANK中用于写端口的Dynamic ODT的数值；对于Single-Component设计，RTT_WR无效	“OFF”: RTT_WR disabled. “120”: RZQ/2 “60”: RZQ/4

名称	描述	选项
APP_DATA_WIDTH	用户接口数据信号宽度	APP_DATA_WIDTH = 2 * nCK_PER_CLK * DQ_WIDTH
APP_MASK_WIDTH	用户接口Mask信号宽度	APP_DATA_WIDTH/DRAM_WIDTH
USER_REFRESH	是否由用户自己控制刷新操作	“ON”, “OFF”
DBG_PARAMETER1	调试参数	000/001/010/011/100/101/110/111, 仅在调试参数使能时启用
DBG_PARAMETER2	调试参数	0~127, 仅在调试参数使能时启用
DBG_PARAMETER3	调试参数	0~127, 仅在调试参数使能时启用
DBG_PARAMETER4	调试参数	0~127, 仅在调试参数使能时启用

表 7-2 DDR2 时间参数

名称	描述
t _{CK}	Memory接口时钟周期(ps)
t _{CKE}	CKE信号最小脉冲时间(ps)
t _{FAW}	同一rank中允许同时发送大于四个行激活命令的间隔时间, 因此最小值应该不小于t _{RRD} 的四倍
t _{RAS}	ACTIVE到PRECHARGE时间
t _{RCD}	ACTIVE到READ或WRITE时间
t _{REFI}	内存刷新时间间隔
t _{RFC}	REFRESH到ACTIVE/REFRESH间隔
t _{RP}	PRECHARGE周期
t _{RRD}	ACTIVE到ACTIVE时间间隔
t _{RTP}	READ到PRECHARGE时间间隔
t _{WTR}	WRITE到READ时间间隔
AL	Additive Latency
CL	CAS Latency
WR_CYC	Write recovery for autoprecharge

时钟比例 1:4 参数

表 7-3 时钟比例 1:4 参数

名称	描述	选项
Memory Type	存储器类型	M14D2561616A-2.5BG2E Custom
Memory Clock	颗粒接口时钟频率	根据颗粒工作时钟及需求写入
CLK Ratio	用户接口时钟频率与颗粒接口时钟频率比值	1:4
DIMM Type	颗粒DIMM类型	Components、RDIMMs、 UDIMMs、SODIMMs

名称	描述	选项
Dq Width	Dq数据位宽	8、16、24、32、40、48、56、64
Dram Width	单颗粒的数据位宽	8、16
Rank Address	Rank地址	对于Single与Dual rank器件，此选择为1
Bank Address	内存BANK地址宽度	根据DDR2 SDRAM芯片选择
Row Address	内存行地址宽度	根据DDR2 SDRAM芯片选择
Column Address	内存列地址宽度	根据DDR2 SDRAM芯片选择
Burst Mode	颗粒突发模式	8
Burst Type	颗粒突发类型	SEQ: Sequential INT: Interleaved
CAS Latency	CAS延迟时间	2、3、4、5、6
Additive Latency	附加延迟时间	0、1、2、3、4、5
Write Recovery	CWL延迟时间	2、3、4、5、6
RTT NOM	Nominal ODT数值	OFF、150、75、50
Addr Cmd Mode	地址命令模式	1T、2T
USER REFRESH	用户自己控制刷新操作	勾选: 打开 不勾选: 关闭

时间参数请参考表 7-2。

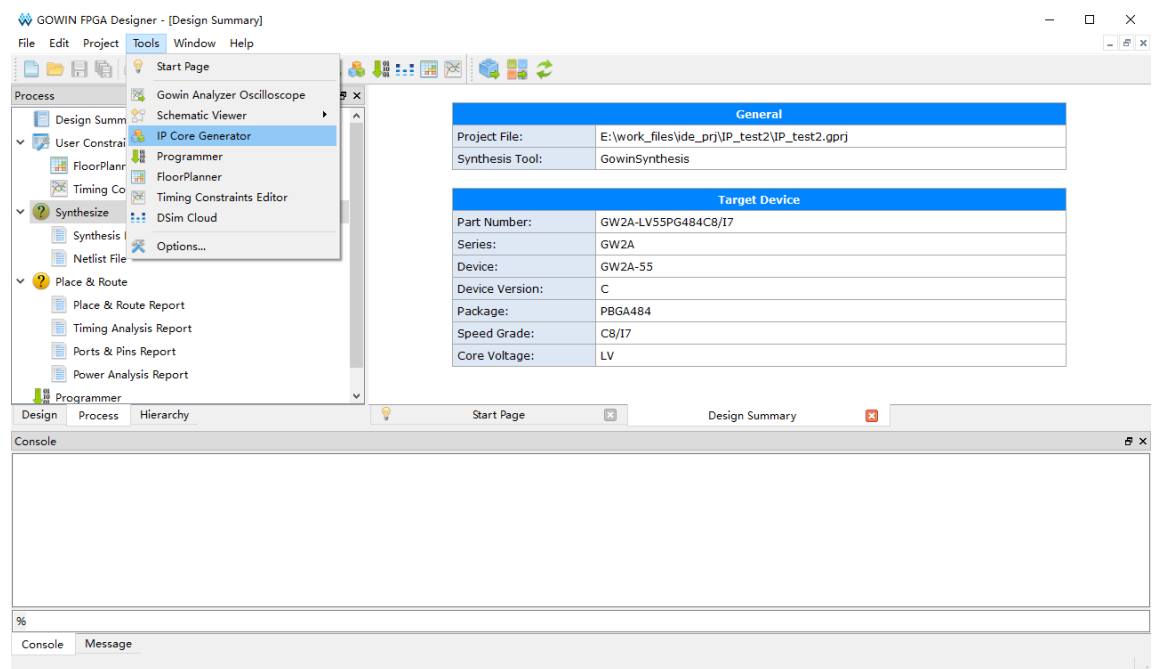
8 界面配置

用户可在 IDE 中通过 IP Core Generator 工具调用并配置 Gowin DDR2 Memory Interface IP。本章节以选择使用 MT47H64M16-3 内存颗粒为例，介绍了主要配置界面、配置流程以及各配置选项含义。

1. 打开 IP Core Generator

用户建立工程后，点击左上角 Tools 选项卡，下拉单击 IP Core Generator 选项，就可打开 GOWIN 的 IP 核产生工具，如图 8-1 所示。

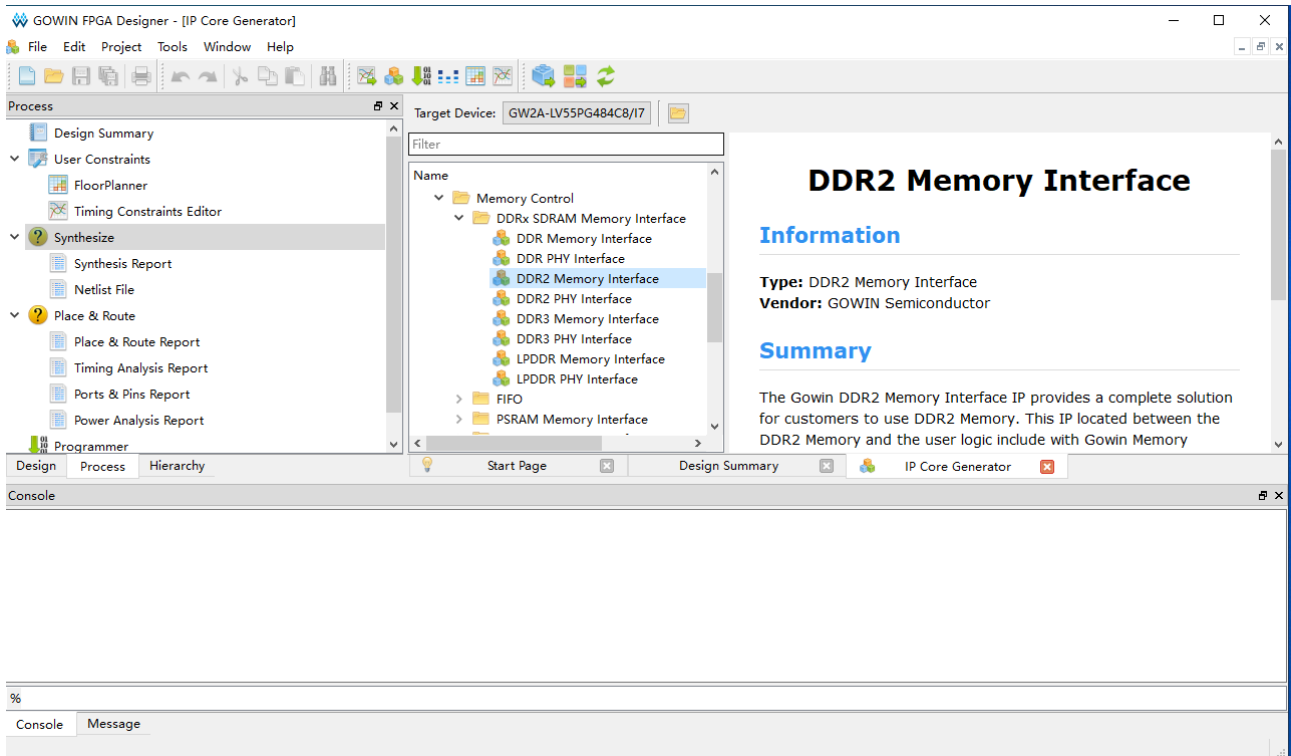
图 8-1 打开 IP Core Generator



2. 打开 DDR2 Memory Interface IP 核

点击“DDR_x SDRAM Memory Interface”选项，双击 DDR2 Memory Interface，打开 DDR2 Memory Interface IP 核的配置界面，如图 8-2 所示。

图 8-2 打开 DDR2 Memory Interface IP 核

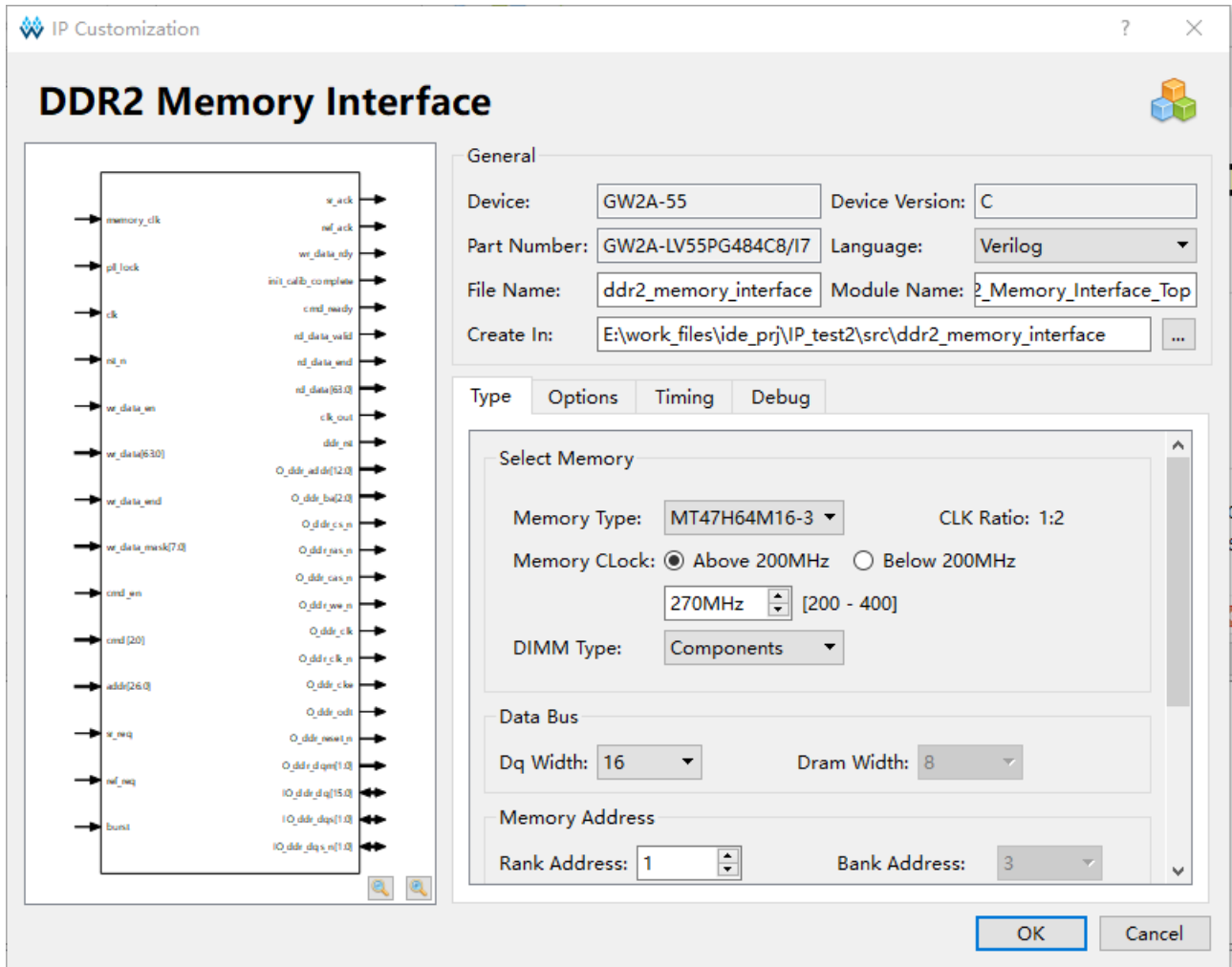


3. DDR2 Memory Interface IP 核端口界面

配置界面左端是 DDR2 Memory Interface IP 核的接口示意图,如图 8-3 所示。

接口示意图中左端是 DDR2 Memory Controller 与用户端接口,用户通过将自己的用户设计连接到 DDR2 Memory Interface IP 中实现命令和数据的收发,右端是 PHY (Physical interface) 与内存颗粒的接口,用户通过将 DDR2 Memory Interface IP 核与自己所需内存颗粒连接,实现对数据的存取。用户使用不同的配置信息,接口示意图中的信号位宽,信号数量将会随之改变。

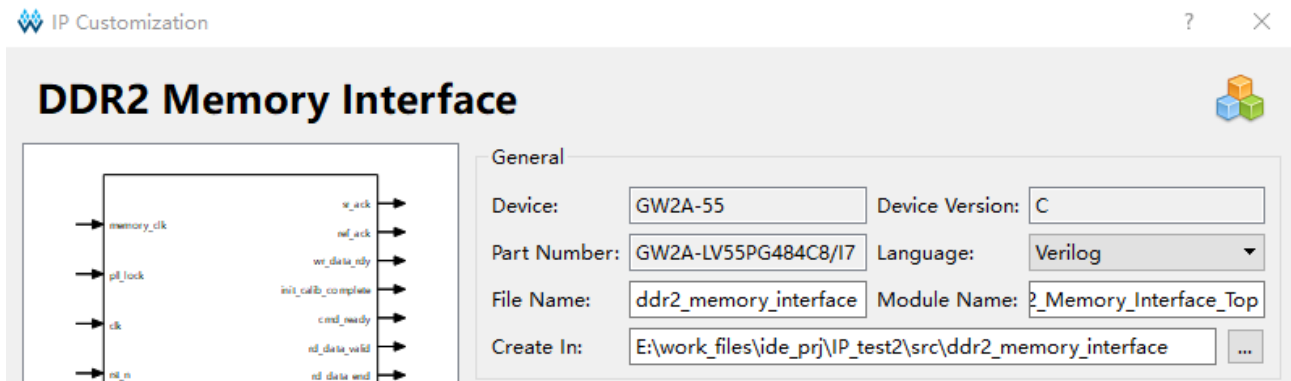
图 8-3 IP 核接口示意图



4. 配置基本信息

配置界面的上部分为工程基本信息配置界面，本文芯片型号选择 GW2A-55C 为例，封装为 PBGA484。Module Name 选项后面是工程产生后顶层文件的名称，默认为“DDR2_Memory_Interface_Top”，用户可自行修改。“File Name”是 IP 核文件产生的文件夹，存放 DDR2 Memory Interface IP 核所需文件，默认为“ddr2_memory_interface”，用户可自行修改路径。Creat In 选项是 IP 核文件夹产生路径，默认为“\工程路径\src\ddr2_memory_interface”，用户可自行修改路径。

图 8-4 基本信息配置界面



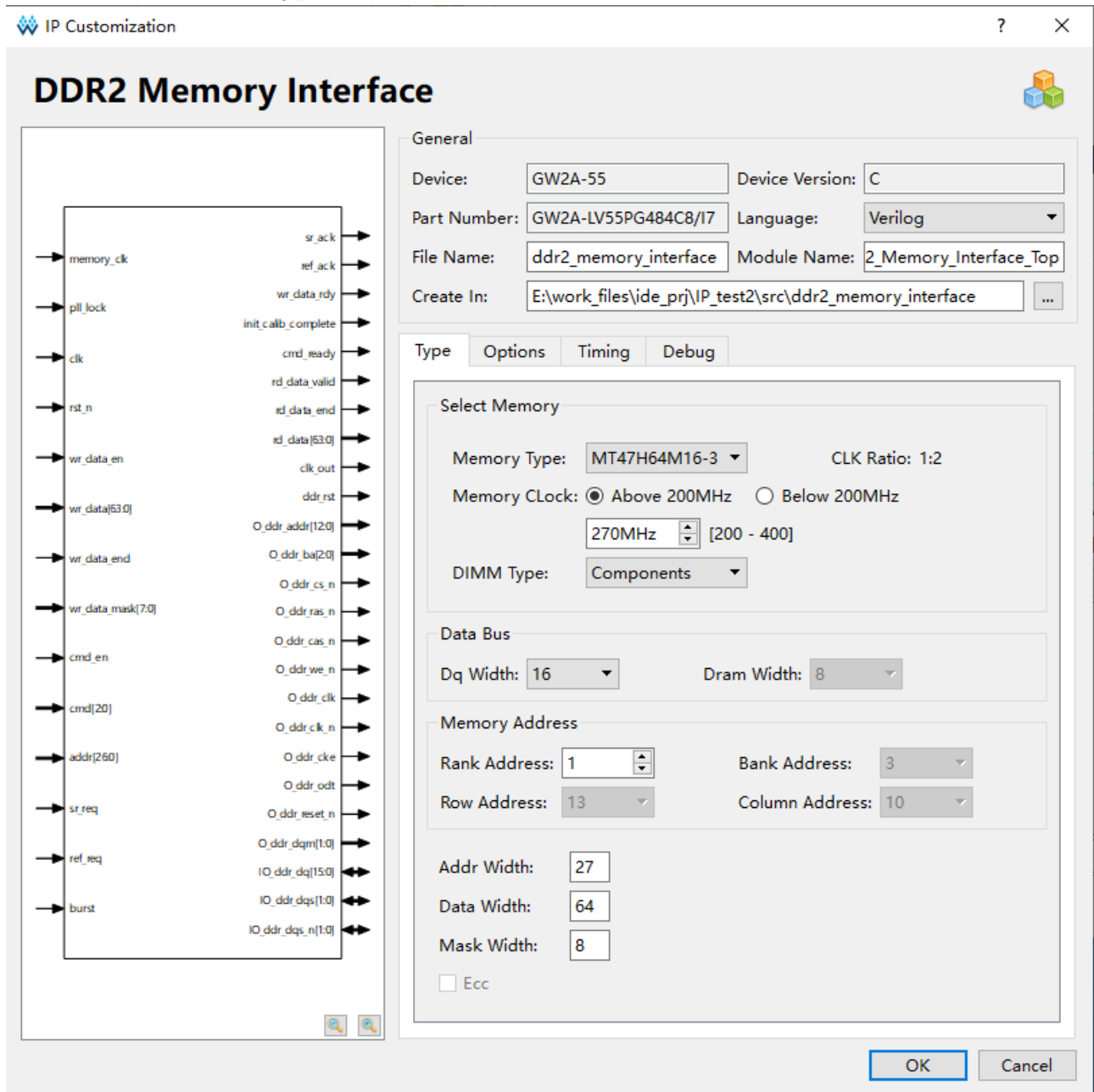
5. Type 选项卡

在 Type 选项卡中, 用户需要配置所使用的 DDR2 内存芯片的基本信息。

- Select Memory 选项
- Data Bus 选项
- Memory Address 选项

Memory Address 中主要填写 DDR2 内存颗粒的 Rank, Bank, Row, Column 地址信息, 当选择好 DDR2 内存颗粒类型后, GUI 会自动填写, 如果选择 Custom 则需要用户根据自己使用的 DDR2 内存类型自行选择

图 8-5 Type 选项卡

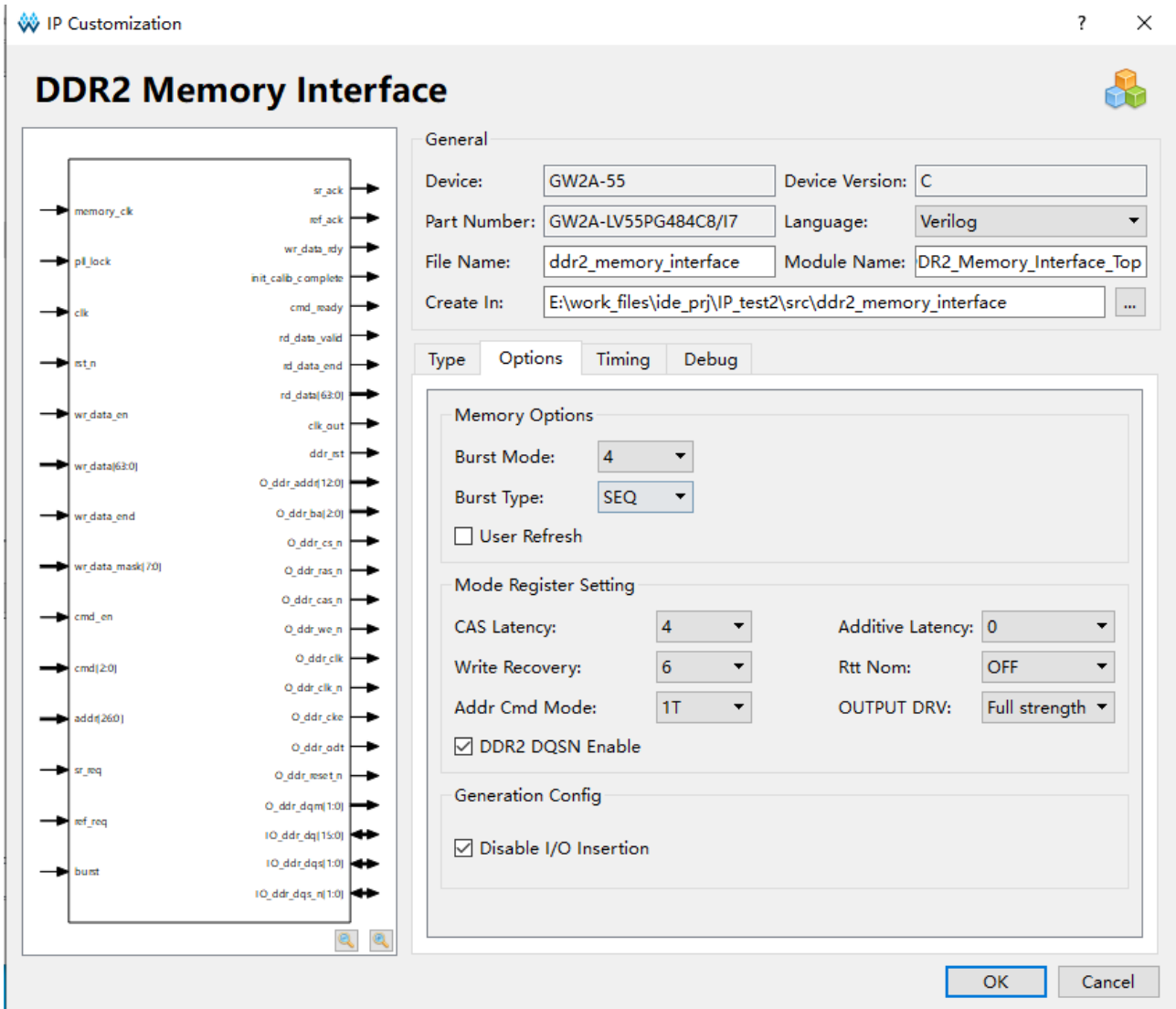


6. Options 选项卡

- Memory options 选项
- Mode Register Setting 选项
- Generation Config 选项

勾选后产生的 IP 中，没有插入 IBUF、OBUF 等原语，直接使用 port 连接逻辑，默认勾选。

图 8-6 Options 选项卡



7. Timing 选项

- Command and Address Timing 选项
- Refresh, Reset and Power Timing 选项

图 8-7 Timing 选项卡

IP Customization ? X

DDR2 Memory Interface

The diagram shows the following signals:

- Inputs: memory_ck, pll_lock, clk, rst_n, wr_data_en, wr_data[63:0], wr_data_end, wr_data_mask[7:0], cmd_en, cmd[2:0], add[26:0], sr_req, ref_req, burst.
- Outputs: sr_ack, ref_ack, wr_data_stb, init_calb_complete, cmd_ready, rd_data_valid, rd_data_end, rd_data[63:0], clk_out, ddr_mt, O_ddr_add[12:0], O_ddr_ba[2:0], O_ddr_cs_n, O_ddr_ras_n, O_ddr_cas_n, O_ddr_we_n, O_ddr_clk, O_ddr_clk_n, O_ddr_cke, O_ddr_odt, O_ddr_reset_n, O_ddr_dqm[1:0], IO_ddr_dq[15:0], IO_ddr_dqs[1:0].

General

Device: GW2A-55 Device Version: C

Part Number: GW2A-LV55PG484C8/I7 Language: Verilog

File Name: ddr2_memory_interface Module Name: DR2_Memory_Interface_Top

Create In: E:\work_files\ide_prj\IP_test2\src\ddr2_memory_interface

Timing

Command and Address Timing

tRTP Period: 7500ps	tRP Period: 12500ps
tWTR Period: 7500ps	tRC Period: 55000ps
tRAS Period: 37500ps	tRCD Period: 12500ps
tFAW Period: 40000ps	tRRD Period: 7500ps

Refresh Reset and Power Down Timing

tCKE Period: 75000ps	tREFI Period: 7800000ps
tRFC Period: 160000ps	tDLLK: 512

OK Cancel

8. Debug 选项卡

Debug 选项卡如图 8-8 所示，勾选后可打开调试参数和调试端口。

图 8-8 Debug 选项卡

IP Customization

DDR2 Memory Interface

General

Device: GW2A-55 Device Version: C

Part Number: GW2A-LV55PG484C8/I7 Language: Verilog

File Name: ddr2_memory_interface Module Name: DR2_Memory_Interface_Top

Create In: E:\work_files\ide_prj\IP_test2\src\ddr2_memory_interface

Debug

Debug Parameter Enable

Debug Parameter1 Value: 101

Debug Parameter2 Value: 0 (0-127)

Debug Parameter3 Value: 0 (0-127)

Debug Parameter4 Value: 0 (0-127)

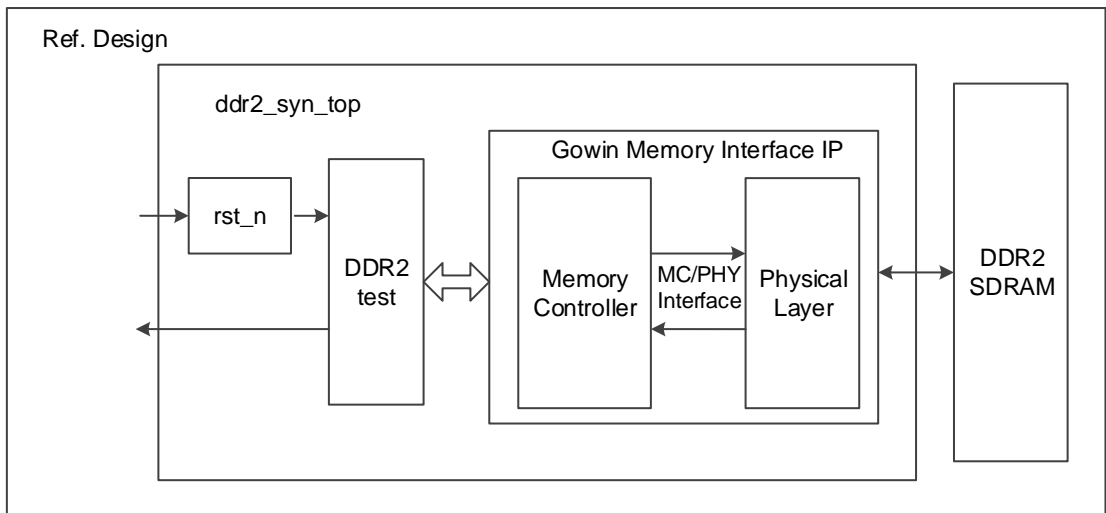
Debug Port Enable

OK Cancel

9 参考设计

为方便用户快速熟悉并使用 Gowin DDR2 Memory Interface IP，提供了一个简单的[参考设计](#)，参考设计基本结构如图 9-1 所示。

图 9-1 参考设计基本结构框图



在参考设计中，`ddr2_syn_top` 模块是顶层模块单元，其端口连接输入参考时钟、外部复位等信号，端口连接如表 9-1 所示。`DDR2_test` 用于产生 Gowin Memory Interface IP 所需的地址、数据与读写等命令，并且该模块单元可综合。

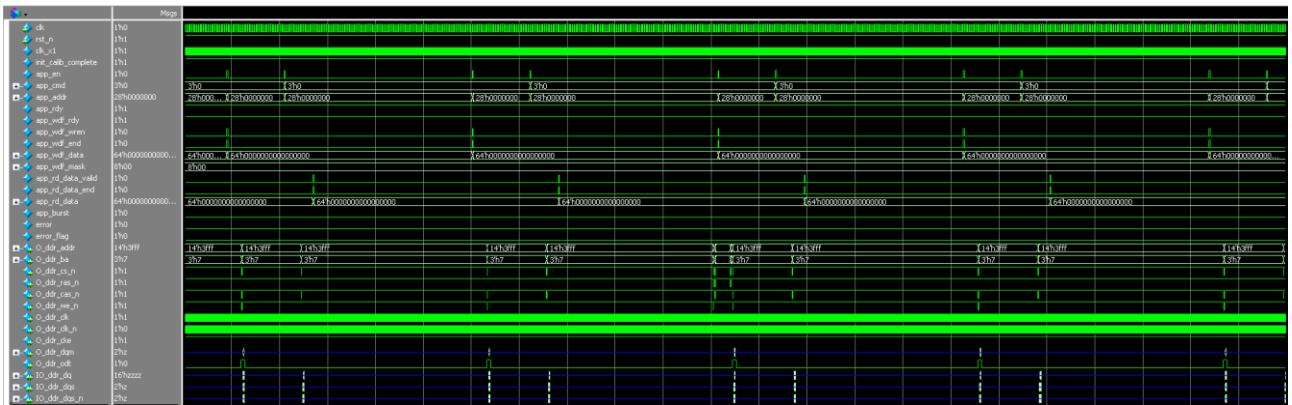
表 9-1 `ddr2_syn_top` 模块输入端口列表

名称	描述
clk	输入参考时钟，默认 50MHz。
rst_n	输入复位信号

`DDR2_test` 对不同的地址进行写与读操作。用户可修改写入的地址及数据等，并对 Memory Interface IP 返回的读数据进行分析验证。在该参考设计中，选择内存颗粒型号为 MT47H64M16-3，配置 Burst Mode 为 BC4，DQ 宽度为 16 位。

DDR2_test 与 Memory Interface IP 端口之间部分信号的仿真波形如图 9-2 所示。

图 9-2 DDR2_test 部分端口信号仿真波形



10 文件交付

Gowin DDR2 Memory Interface IP 交付文件主要包含三个部分，分别为：文档和参考设计。

10.1 文档

文件夹主要包含用户指南 PDF 文档。

表 10-1 文档列表

名称	描述
IPUG506, Gowin DDR2 Memory Interface IP用户指南	高云半导体DDR2内存接口IP用户手册，即本手册。

10.2 参考设计

Ref. Design 文件夹主要包含 Gowin DDR2 Memory Interface IP 的网表文件，用户参考设计，约束文件、消抖模块、顶层文件及工程文件夹等。

表 10-2 Ref. Design 文件夹内容列表

名称	描述
ddr2_syn_top.v	参考设计的顶层module
DDR2_test.v	测试激励产生模块
DDR2_Memory_Interface.vo	Gowin DDR2 Memory Interface IP网表文件
ddr2.cst	DDR2工程物理约束文件
ddr2.sdc	DDR2工程时序约束文件
DDR2_Memory_Interface	DDR2 IP工程文件夹

