



Gowin DDR Memory Interface IP 用户指南

IPUG507-1.2,2018-08-25

版权所有©2018 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2017/12/18	1.0	初始版本。
2018/03/06	1.1	完善手册内容，增加功能描述、端口列表、参数配置、参考设计、界面配置及文件交付等说明。
2018/08/25	1.2	更新读写时序图及用户端接口。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语	1
1.5 技术支持与反馈	2
2 概述	3
3 主要特征与性能	4
3.1 主要特征	4
3.2 工作频率	4
3.3 资源利用	5
4 功能描述	6
4.1 整体结构	6
4.2 Memory Controller	6
4.2.1 GW_CMD 单元	7
4.2.2 GW_WR_Data 单元	7
4.2.3 GW_RD_Data 单元	7
4.2.4 GW_Rank_Ctrl 单元	7
4.2.5 GW_Bank_Ctrl 单元	8
4.2.6 GW_Time_Ctrl 单元	8
4.3 PHY	8
4.3.1 初始化单元	9
4.3.2 数据通路单元	9
4.3.3 控制通路单元	9
4.3.4 I/O 逻辑单元	10
4.4 主要功能	11

4.4.1 初始化	11
4.4.2 发送地址与命令	11
4.4.3 写数据	12
4.4.4 读数据	17
4.4.5 刷新	20
5 端口列表	22
6 参数配置	24
7 参考设计	26
8 界面配置	28
9 文件交付	36
9.1 文档	36
9.2 设计源代码（加密）	36
9.3 参考设计	37

图目录

图 4-1 Gowin Memory Interface IP 结构图	6
图 4-2 DDR Memory Controller 基本结构图	7
图 4-3 DDR PHY 基本结构图	8
图 4-4 数据通路单元与控制通路单元整体结构框图	9
图 4-5 IO 逻辑单元基本结构框图	10
图 4-6 初始化完成信号时序图	11
图 4-7 Rank-Bank-Row-Column 顺序的寻址方案	11
图 4-8 命令、地址与使能信号时序图	12
图 4-9 写数据端口时序图	13
图 4-10 不同情况下写数据通道与命令通道时序图	14
图 4-11 突发长度为 BL8 时写数据时序图	15
图 7-1 参考设计基本结构框图	26
图 7-2 DDR1_test 部分端口信号仿真波形	27
图 8-1 打开 IP Core Generate	28
图 8-2 打开 DDR Memeory Interface IP 核	29
图 8-3 IP 核接口示意图	29
图 8-4 Help 文档	30
图 8-5 基本信息配置界面	31
图 8-6 Type 选项卡	33
图 8-7 Options 选项卡	34
图 8-8 Timing 选项卡	35

表目录

表 1-1 术语、缩略语	1
表 2-1 Gowin DDR Memory Interface IP	3
表 3-1 资源利用情况	5
表 4-1 cmd 命令	11
表 5-1 Memory Interface IP 的 IO 端口列表	22
表 6-1 Gowin DDR Memory Interface 的静态参数选项	24
表 6-2 DDR 时间参数	25
表 7-1 ddr1_syn_top 模块输入端口列表	26
表 8-1 文档列表	36
表 8-2 设计源代码列表	36
表 8-3 example_design 文件夹内容列表	37

1 关于本手册

1.1 手册内容

Gowin DDR Memory Interace IP 用户指南主要内容包括 IP 的结构与功能描述、端口说明、时序说明、配置调用、参考设计等。主要用于帮助用户快速了解 Gowin DDR Memory Interace IP 的产品特性、特点及使用方法。

1.2 适用产品

本手册中描述的信息适用于以下产品：

GW2A 系列 FPGA 产品：GW2A-18、GW2AR-18、GW2A-55

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. GW2A 系列 FPGA 产品数据手册
2. GW2AR 系列 FPGA 产品数据手册
3. Gowin 云源软件用户指南

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FIFO	First Input First Output	先进先出队列
IP	Intellectual Property	知识产权
RAM	Random Access Memory	随机存取存储器
LUT	Look-up Table	查找表
GSR	Global System Reset	全局系统复位
ECC	Error Correcting Code	错误检查和纠正

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

Gowin DDR Memory Interface IP 是一个通用的 DDR 内存接口 IP，符合 JESD79-F 标准协议。该 IP 包含 DDR 内存控制器（Memory Controller, MC）与对应的物理层接口（Physical Interface, PHY）设计。Gowin DDR Memory Interface IP 为用户提供一个通用的命令接口，使其与内存芯片进行互连，完成用户的访存需求。

表 2-1 Gowin DDR Memory Interface IP

Gowin DDR Memory Interface IP	
芯片支持	GW2A-18、GW2AR-18、GW2A-55
逻辑资源	请参见表3-1
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	Synplify_Pro
应用软件	GoWinYunYuan

3 主要特征与性能

3.1 主要特征

- 支持 GW2A-18、GW2AR-18、GW2A-55 等 FPGA 器件；
- 支持工业标准的 DDR SDRAM 器件和具有 JESD79-F 规范兼容的模块；
- 可选择 DDR MC 与 PHY 的时钟比例为 1:1/1:2；
- 支持存储器数据路径宽度为 8、16、24、32、40、48、56、64 和 72 位；
- 支持单列 RDIMM、UDIMM 和 SODIMM 内存模块；
- 支持 x4、x8 和 x16 两种数据宽度的内存芯片；
- 1:1 可编程突发长度 2/4/8，1:2 可编程突发长度 4/8；
- 支持 ECC；
- 可配置的 CL；
- 可配置的 AL；
- 可配置的 t_{FAW} ；
- 可配置的 t_{RAS} ；
- 可配置的 t_{RCD} ；
- 可配置的 t_{RFC} ；
- 可配置的 t_{RRD} ；
- 可配置的 t_{RTP} ；
- 可配置的 t_{WTR} ；
- 支持自动刷新和用户启动刷新，自动刷新闻隔可配置。

3.2 工作频率

Gowin DDR Memory Interface IP 时钟比例 1:1 模式可支持的 DDR SDRAM 数据速率 200Mbps, 266Mbps, 333Mbps; 时钟比例 1:2 模式可支持的 DDR SDRAM 数据速 200Mbps, 266Mbps, 333Mbps, 400Mbps;

3.3 资源利用

Gowin DDR Memory Interace IP 通过 Verilog 语言实现，应用于高云 GW2A-55、GW2AR-18、GW2A-18 等系列 FPGA，其资源利用情况如表 3-1 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

表 3-1 资源利用情况

DDR项目资源利用率统计								
IP名称	LUT	ALU	SSRAM	Register	BSRAM	PLL	DLL	DQCE
DDR 1:1 MC+PHY	1061	95	44	883	0	1	1	1
DDR 1:1 PHY	411	40	21	339	0	1	1	1
DDR 1:2 MC+PHY	1122	84	83	1229	0	1	1	1
DDR 1:2 PHY	442	48	43	417	0	1	1	1

注!

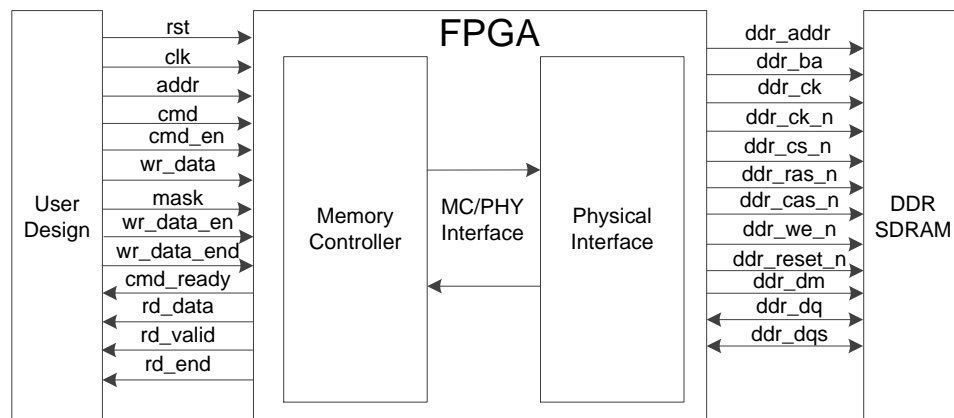
在表 3-1 中，Gowin DDR Memory Interace 配置用户地址宽度为 25 位，DRAM WITDH 为 x8。

4 功能描述

4.1 整体结构

Gowin DDR Memory Interface IP 基本结构如表 4-1 所示，主要包含 Memory Controller、Physical Interface 等模块。图 4-1 中的 User Design 是 FPGA 中需要与外部 DDR SDRAM 芯片所连接的用户设计。

图 4-1 Gowin Memory Interface IP 结构图



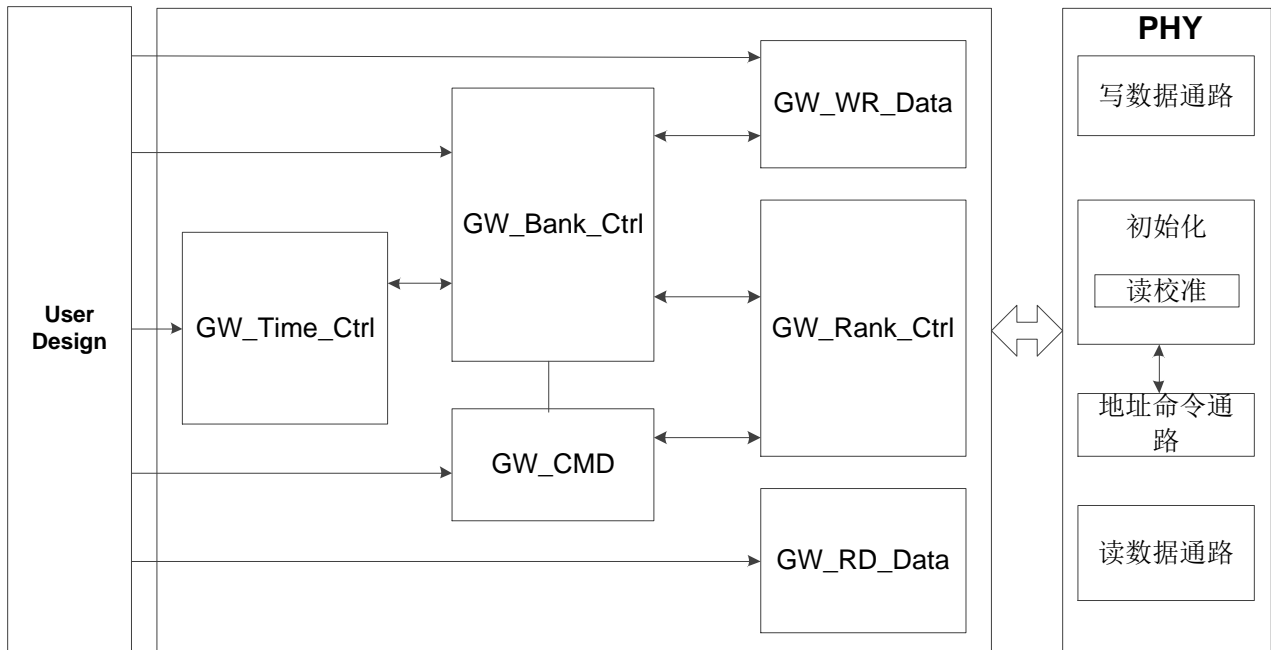
4.2 Memory Controller

Memory Controller 是 Gowin DDR Memory Interface IP 的主要逻辑模块，位于 User Design 与 PHY 之间。Memory Controller 接收来自用户接口的命令、地址与数据，并按照一定逻辑顺序进行存储。

用户发送的写、读等命令在 Memory Controller 中进行排序，以满足数据吞吐速率及相关时间参数延迟。Memory Controller 控制地址与数据的发送，并通过 PHY 接收 DDR SDRAM 返回的数据，完成写或读操作。

DDR Memory Controller 主要由以下几个模块组成：GW_CMD 单元、GW_WR_Data 单元、GW_RD_Data 单元、GW_Rank_Ctrl 单元、GW_Bank_Ctrl 单元与 GW_Time_Ctrl 单元等，主要结构如图 4-2 所示。

图 4-2 DDR Memory Controller 基本结构图



4.2.1 GW_CMD 单元

GW_CMD 单元主要功能是接收并存储用户发送的地址与指令，当 MC 可接收命令与指令时，将向用户发送 `cmd_ready` 信号。

GW_CMD 单元对用户发送的地址进行转换，映射为 DDR SDRAM 对应的 Rank 地址、Bank 地址、Row 地址和 Column 地址，并对用户发送的命令进行解析，拆分写、读等命令，判断当前 MC 是否可以继续接收命令。

4.2.2 GW_WR_Data 单元

GW_WR_Data 单元主要功能是接收并存储用户发送的写数据 `wr_data` 与写遮挡信号 `wr_data_mask`，当 MC 可接收数据时，向用户发 `wr_data_rdy` 信号。

同时在 GW_WR_Data 单元中，根据目前存储的写数据与 MC 接收到写命令，配置的突发长度与时钟比例等，为 PHY 提供写数据使能信号 `mc_wrd_data_en`，并向 PHY 传送写数据 `wr_data` 与写遮挡信号 `wr_data_mask`。

4.2.3 GW_RD_Data 单元

GW_RD_Data 单元主要功能是接收 PHY 返回的读数据，并将其发送给用户；

PHY 在返回读数据时，会提供的相应的读有效信号，GW_RD_Data 单元在读有效时接收读数据，并将数据整理后发送给用户 `rd_data`，并为用户产生合适的读有效信号 `rd_data_valid` 与读结束信号 `rd_data_end`。

4.2.4 GW_Rank_Ctrl 单元

GW_Rank_Ctrl 单元对 GW_CMD 单元接收到地址、命令等进行处理，将地址转换为 PHY 需要的 `mc_bank`、`mc_address` 等信号，将命令转换为 PHY 需要的的控制信号 `mc_ras_n`、`mc_csa_n`、`mc_we_n` 等，并生成 `mc_cke` 等信号。

由于 MC 与 PHY 设计的时钟比例为 1: 1 或 1:2 可选，GW_RANK_Ctrl

单元需控制向 PHY 发出写、读、刷新等指令的时刻，以满足 WL，RL 等时间参数。

4.2.5 GW_Bank_Ctrl 单元

GW_Bank_Ctrl 单元是 MC 中的重要模块，主要负责完成对读、写、刷新等指令的解析处理，并将写、读等命令补全，增加 DDR SDRAM 中必须的激活 (Active)、预充电 (PreCharge) 等操作命令。

在 GW_Bank_Ctrl 中，将对各指令之间时序参数，如 t_{RAS} 、 t_{RCD} 等，进行检查校准，以满足 DDR SDRAM 协议标准。

4.2.6 GW_Time_Ctrl 单元

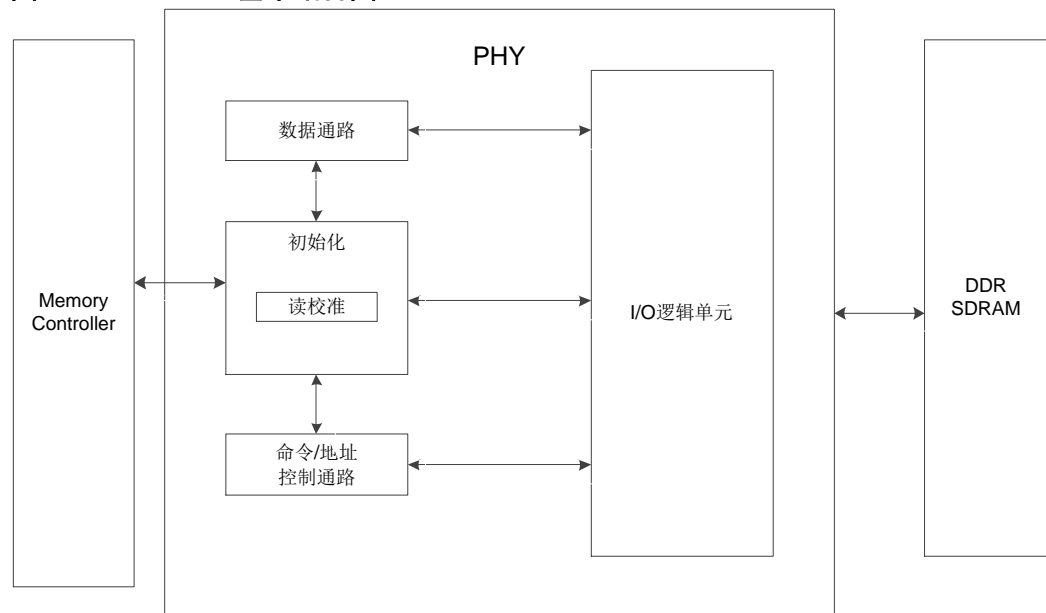
GW_Time_Ctrl 单元对用户发送的自刷新，用户刷新等指令进行处理，并对刷新指令的时间进行计算，以发送合适的刷新命令，避免刷新指令的时序违规，造成数据丢失。

4.3 PHY

PHY 提供了 MC 与外部 DDR SDRAM 之间的物理层定义与接口，接收来自 MC 内存控制器的命令，并向 DDR SDRAM 接口提供满足时序与顺序要求的信号。

PHY 的基本结构如图 4-3 所示，主要包括四个模块，分别为初始化模块、数据通路、命令地址控制通路和 I/O 逻辑模块。

图 4-3 DDR PHY 基本结构图



4.3.1 初始化单元

初始化模块主要完成 DDR SDRAM 上电后的初始化和读校准。在完成所有初始化与读校准之后，信号“init_calib_complete”会由低变高，指示整个初始化完成。

上电初始化

按照 JESD79-F 协议标准，上电后需对 DDR SDRAM（颗粒或 DIMM）进行初始化，包括复位、时钟使能、模式寄存器的配置等过程。

读校准

读校准的目的是恢复出正确的读数据时钟 DQSR90。DQSR90 是 DQSIN 经过 90 度相位延迟之后的信号，保证 DQSR90 的边沿位于 DQ 数据的中间，以采样到准确的 DQ 数据。

在读校准过程中，稳定 DQSR90 信号后，PHY 会向 SDRAM 某一地址写一串固定数据，并验证从 SDRAM 中读回的数据是否符合预期，并完成对接收数据的正确排序。

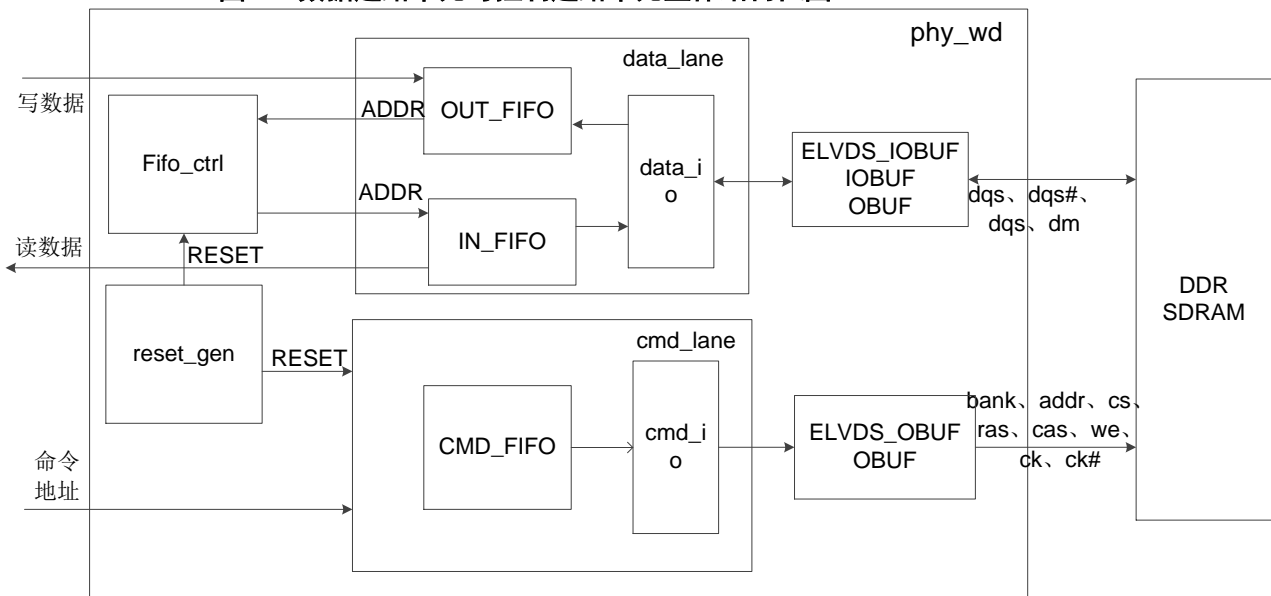
4.3.2 数据通路单元

数据通路包括写数据和读数据过程，模块结构为图 4-4 中 data_lane 模块。

在写数据时，PHY 接收来自 MC 的数据和数据使能信号，并根据写延时参数 CWL 和 AL 对数据进行缓存处理，然后将数据和数据使能信号发送到 I/O 逻辑模块。

在读数据时，PHY 根据 I/O 逻辑模块发送过来的 Rvalid 信号来选择其传递过来的数据，并将该数据发送给 MC。

图 4-4 数据通路单元与控制通路单元整体结构框图



4.3.3 控制通路单元

命令/地址控制通路为单向通路，接收 MC 发送的命令与地址信号，并与数据通路配合，处理写、读数据时延参数，并将命令发送到 I/O 逻辑模块，结构为图 4-4 中 cmd_lane 模块

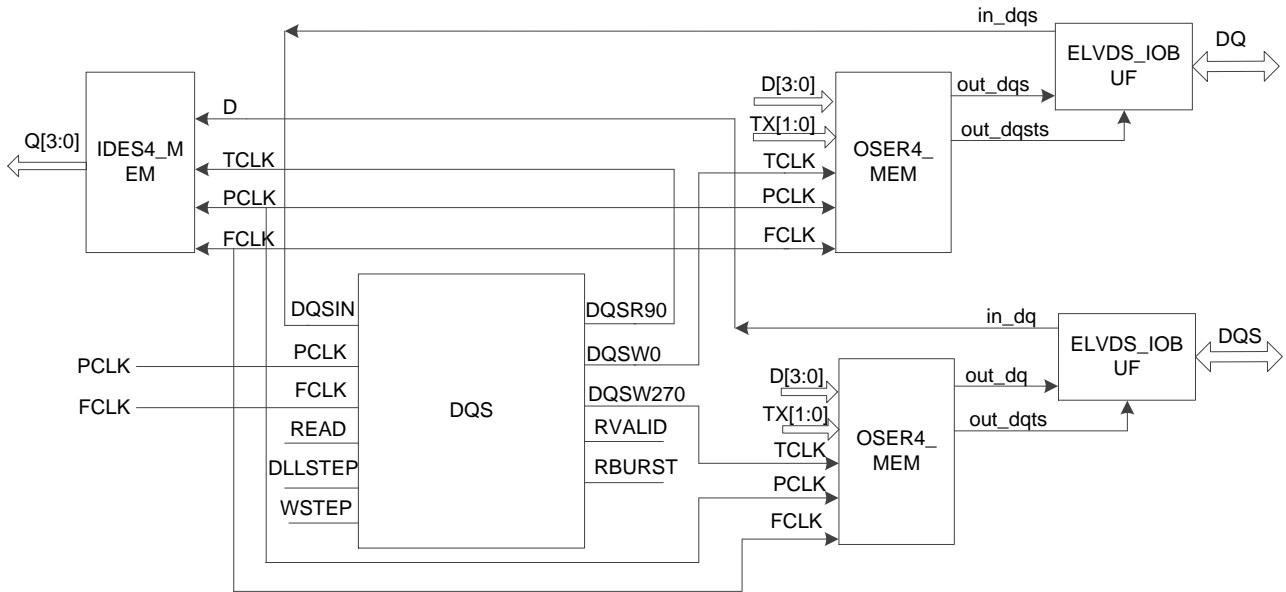
系统上电后首先对对控制通路单元同时进行复位。系统稳定工作后，根

据 MC 传来的命令产生读写使能，读写地址，时给出 cmd_fifo 所需的读写指令，按照用户配置的 CL 和 AL 控制缓存时序，完成对数据通路的控制。

4.3.4 I/O 逻辑单元

I/O 逻辑模块主要是对数据通路和命令/地址通路传递过来的数据、命令、地址信号进行时钟域的转换，时钟比例选择 1:2 时从 clk_x1 时钟域转换到 clk_x2 时钟域，从而产生 DDR SDRAM 需要的信号，基本结构如图 4-5 所示，时钟比例为 1:1 时使用 IDDR 和 ODDR 硬核。

图 4-5 IO 逻辑单元基本结构框图



4.4 主要功能

Memory Interface IP 可实现以下功能：

- DDR SDRAM 初始化；
- 发送地址、命令；
- 写数据；
- 读数据；
- 刷新；

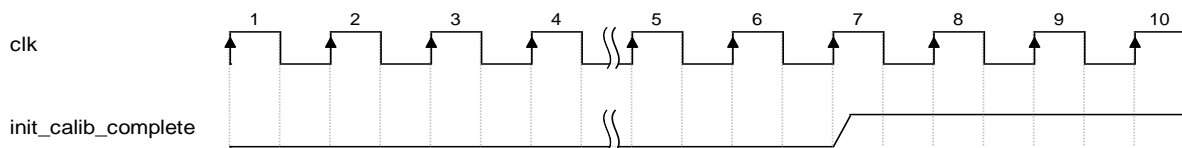
4.4.1 初始化

DDR SDRAM 必须经过校准操作才能进行正常的写、读操作。因此上电后 PHY 会对 DDR SDRAM 进行初始化校准操作，初始化完成后返回初始化完成标志 `init_calib_complete`。

初始化操作包括上电复位、时钟使能、配置模式寄存器、读校准等，对 DDR SDRAM 初始化过程具体可见 4.3.1 章节中初始化模块部分。

初始化完成后向用户返回操作完成信号，如图 4-6 所示。

图 4-6 初始化完成信号时序图



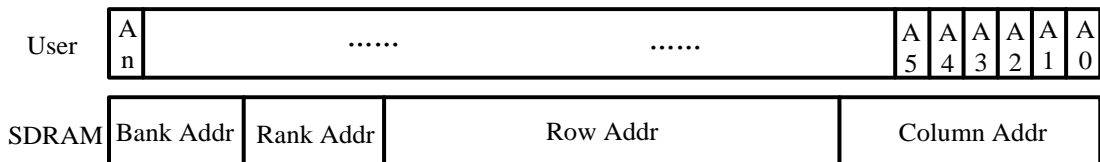
4.4.2 发送地址与命令

用户可通过 `addr`、`cmd`、`cmd_en` 等用户接口发送操作命令与地址。

- `addr` 为地址数据端口；
- `cmd` 为命令数据端口；
- `cmd_en` 为地址与命令使能信号，高电平有效。

在应用中，用户接口的地址总线与物理内存的 Bank、Rank、Row、Column 之间存在一定的映射关系，在本设计中，按照 Bank-Rank-Row-Column 的顺序进行依次排列，其寻址方案如图 4-7 所示。用户在应用中，应注意提供的地址顺序。

图 4-7 Rank-Bank-Row-Column 顺序的寻址方案



用户通过 `cmd` 端口可发送的命令如表 4-1 所示：

表 4-1 `cmd` 命令

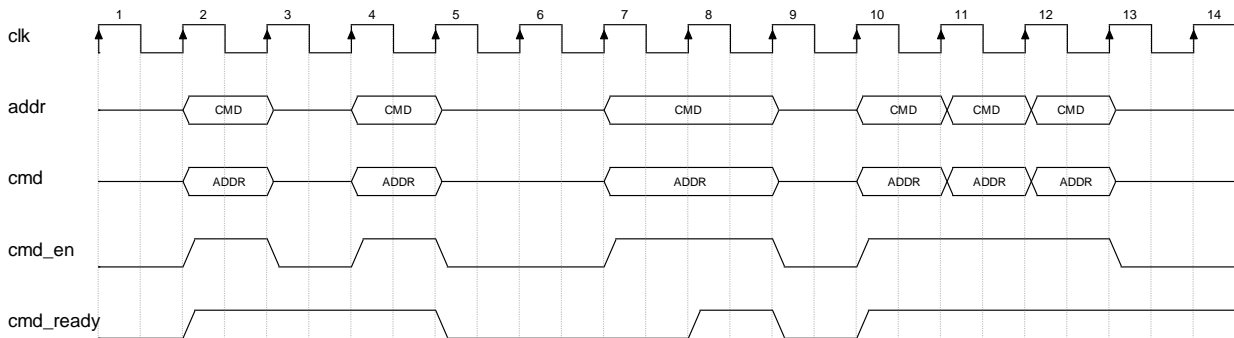
命令	<code>cmd[2:0]</code>
Read	3'b001
Write	3'b000

在用户接口端，命令、地址及使能信号之间的时序如图 4-8 所示，

cmd_ready 为高电平，表示 MC 可以接收命令，命令可以存入 MC FIFO 中；若 cmd_ready 为低电平，将 MC 此时无法接收命令。

当 cmd_en 为高时，此时的 cmd 与 addr 有效，若在 cmd_ready 在低电平时 cmd_en 变为高，则 cmd_en、cmd 与 addr 需继续保持直至 cmd_ready 为高，才能够将命令正常存入 MC。

图 4-8 命令、地址与使能信号时序图

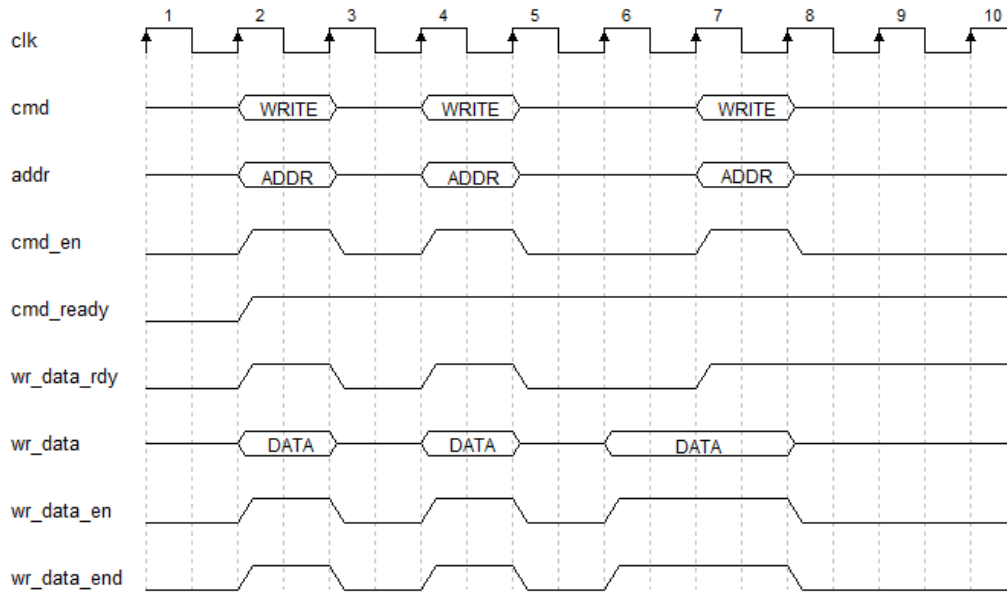


4.4.3 写数据

用户可通过用户接口 wr_data、wr_data_wren 与 wr_data_end 等端口将写数据发送给 Gowin DDR Memory Interface IP，写数据经过处理后会发送给 DDR SDRAM。

- wr_data 为写数据端口；
- wr_data_en 为写数据使能端口，当其为高电平时表示写数据有效；
- wr_data_end 指示在当前突发长度下，写入的此组数据的所需占用的最后一个周期；
- 在写数据通道中，当 wr_data_rdy 为高电平时，表示 MC 可以接收写数据；
- 若在 wr_data_rdy 为低电平时，用户发送了写数据，应将 wr_data、wr_data_en 与 wr_data_end 等信号维持，直至 wr_data_rdy 为高电平，如图 4-9 所示。

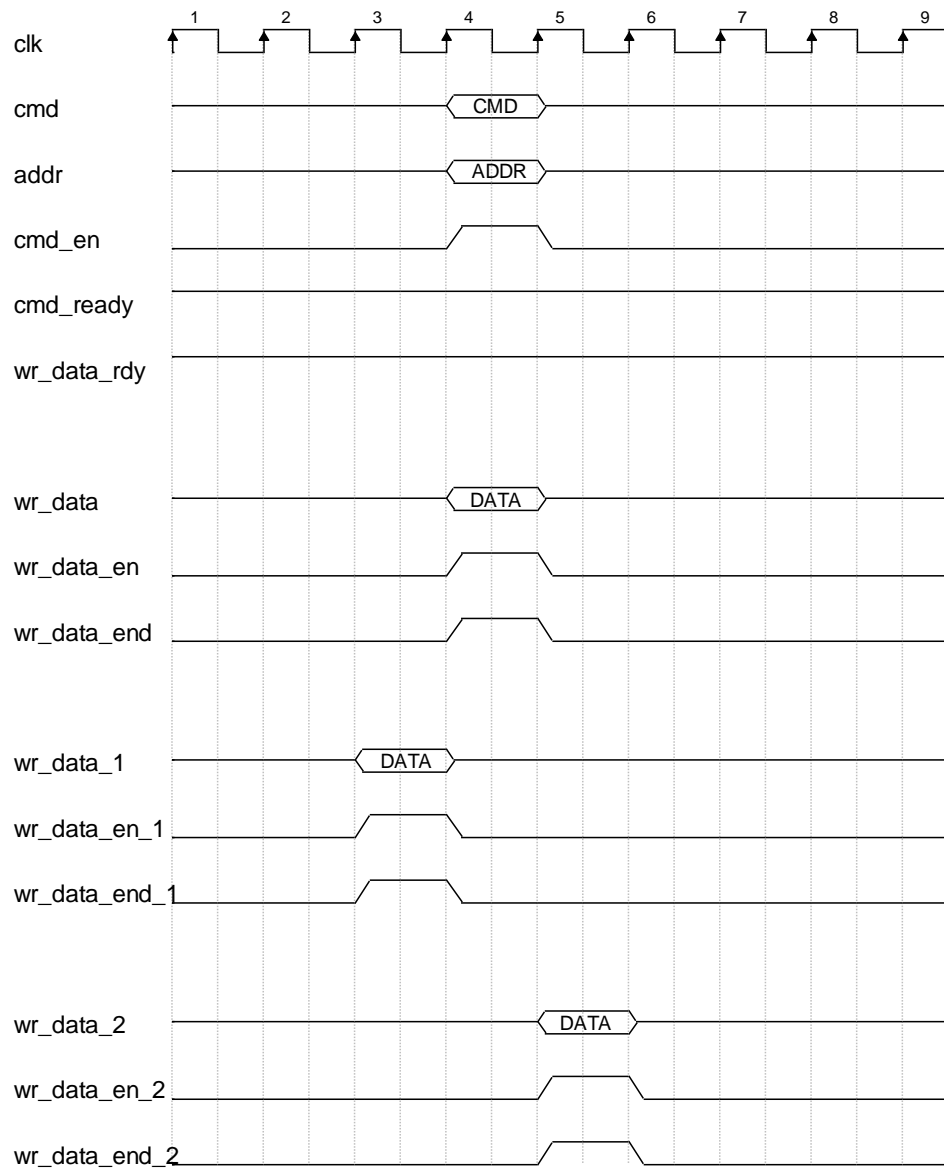
图 4-9 写数据端口时序图



写数据通道与命令通道之间存在多种时序情况，如图 4-10 所示：

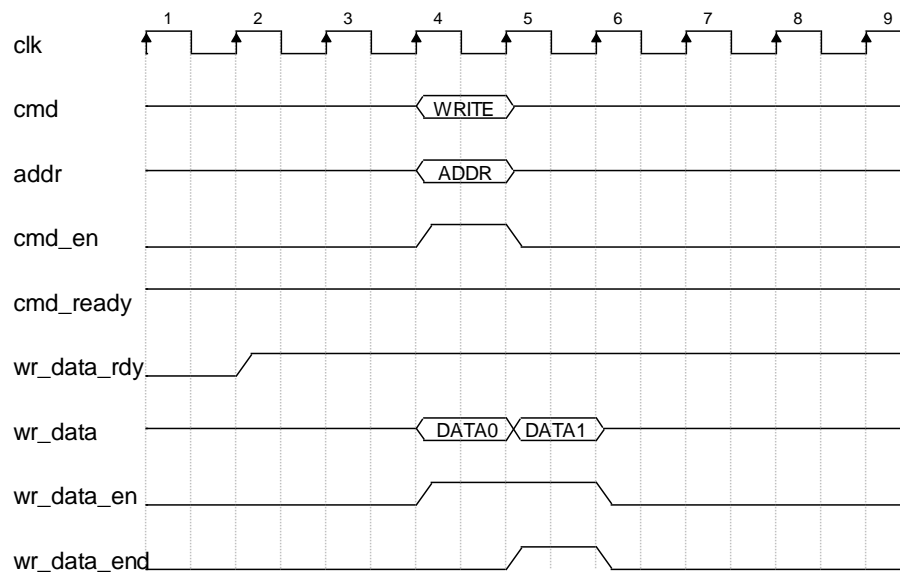
- 写数据与写命令同时发送；
- 写数据在对应的写命令之前发送；
- 写数据在对应的写命令之后发送，但写数据的延迟周期数不能 2 个周期。

图 4-10 不同情况下写数据通道与命令通道时序图



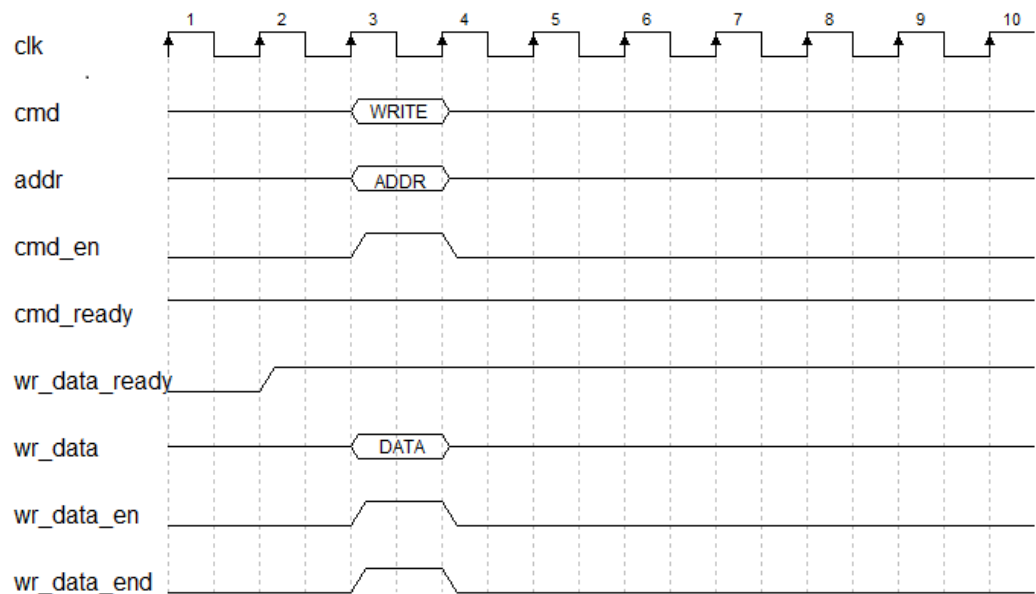
当选择 MC 与 PHY 的时钟比例为 1:2, 当用户配置突发长度为 BL8 时, 写数据占用两个 clk 周期, 如图 4-11 所示, 且 `wr_data_end` 需在写数据的第二个周期变高, 以指示写数据结束。

图 4-11 突发长度为 BL8 时写数据时序图



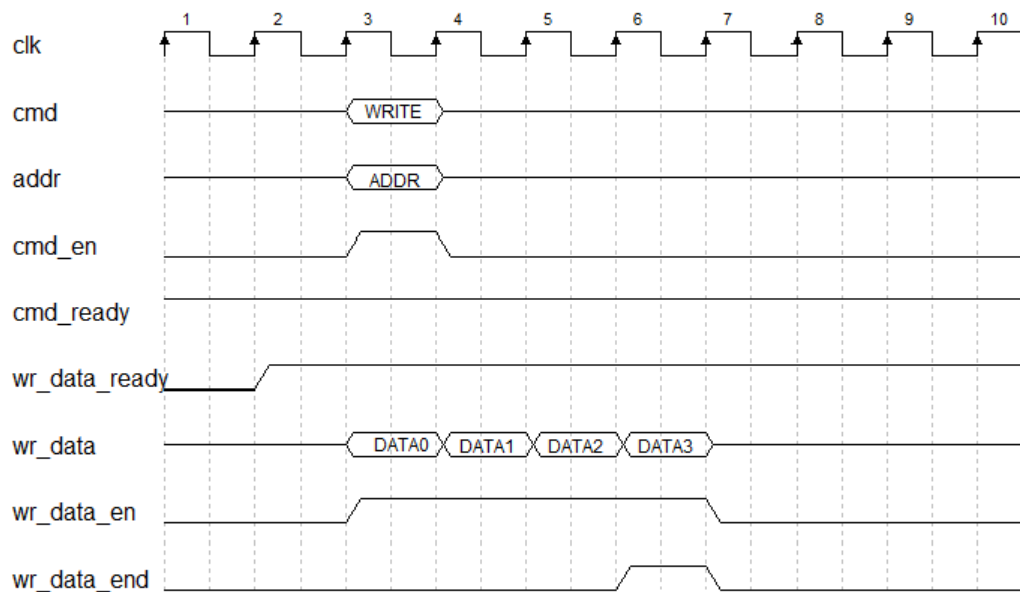
当选择 MC 与 PHY 的时钟比例为 1:2, 当用户配置突发长度为 BL4 时, 写数据占 1 个 clk 周期, 如图 4-12 所示。

图 4-12 突发长度为 BL4 时写数据时序图



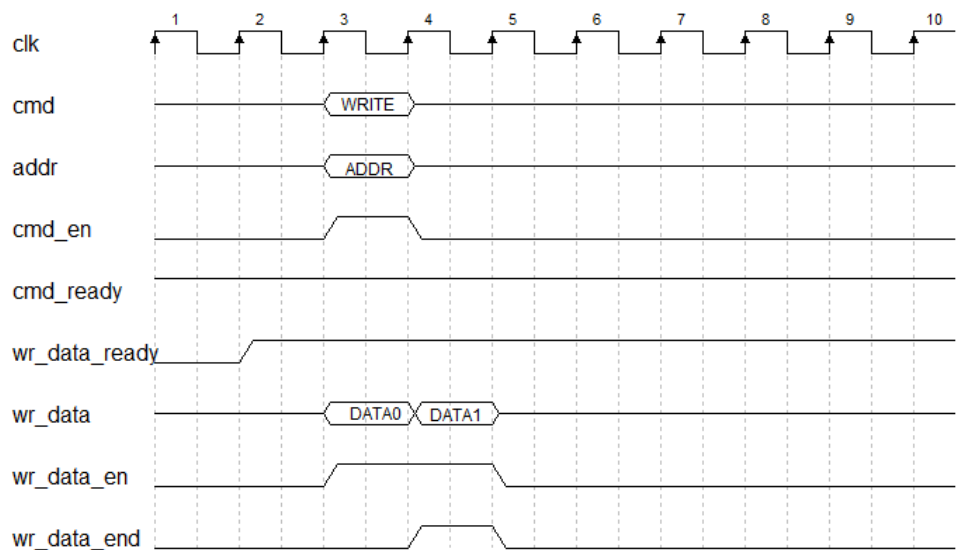
当选择 MC 与 PHY 的时钟比例为 1:1, 当用户配置突发长度为 BL8 时, 写数据占用四个 clk 周期, 如图 4-13 所示, 且 wr_data_end 需在写数据的第四个周期变高, 以指示写数据结束。

图 4-13 突发长度为 BL8 时写数据时序图



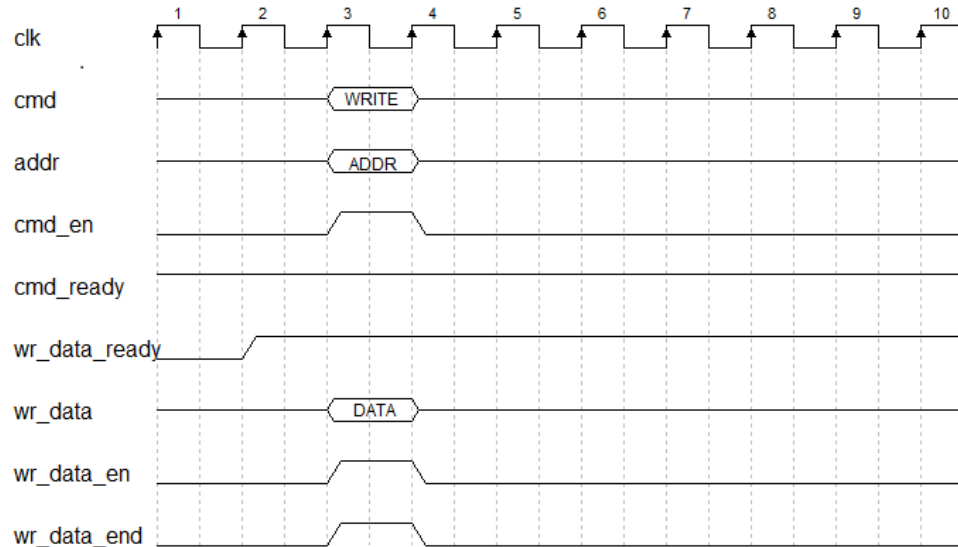
当选择 MC 与 PHY 的时钟比例为 1:1, 当用户配置突发长度为 BL4 时, 写数据占用二个 clk 周期, 如图 4-14 所示, 且 wr_data_end 需在写数据的第二个周期变高, 以指示写数据结束。

图 4-14 突发长度为 BL4 时写数据时序图



当选择 MC 与 PHY 的时钟比例为 1:1, 当用户配置突发长度为 BL2 时, 写数据占用 1 个 clk 周期, 如图 4-15 所示。

图 4-15 突发长度为 BL2 时写数据时序图



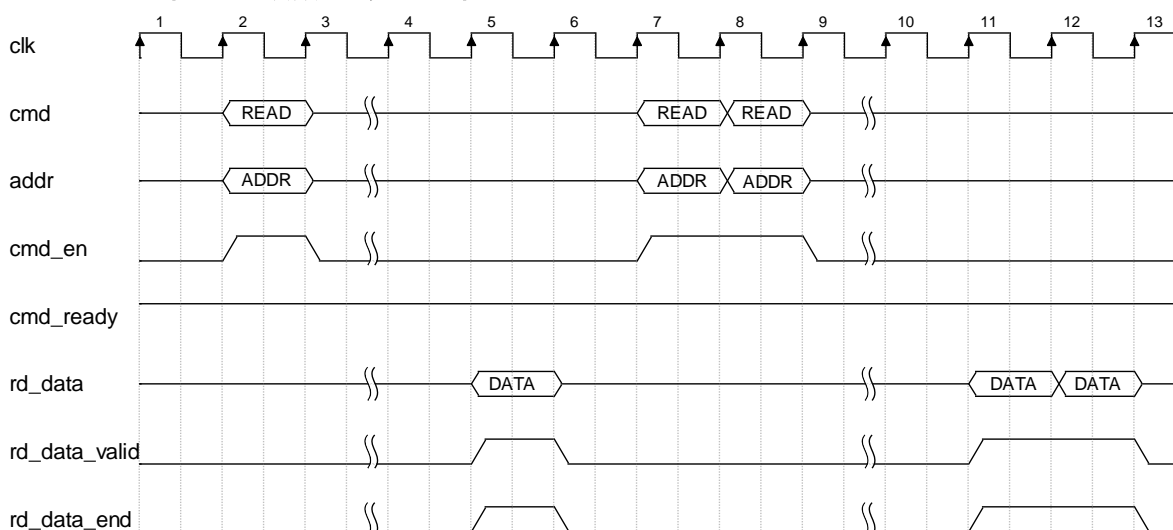
4.4.4 读数据

用户可通过用户接口 rd_data、rd_data_valid 与 rd_data_end 读取 DDR SDRAM 返回的数据。

- 端口 rd_data 为返回的读数据端口；
- 端口信号 rd_data_valid 为读数据有效端口，当其为高电平时，指示此时返回的 rd_data 有效；
- 端口 rd_data_end 指示在当前突发长度下所返回的最后一组数据，高电平时有效。

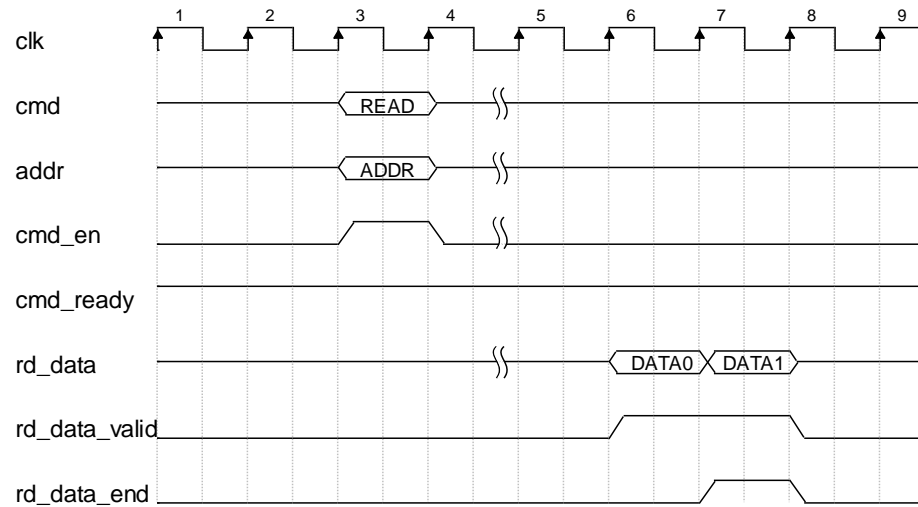
当用户连续读多个地址时，将按照发送读命令时的地址顺序依次返回相应的数据。

图 4-16 读数据端口时序图



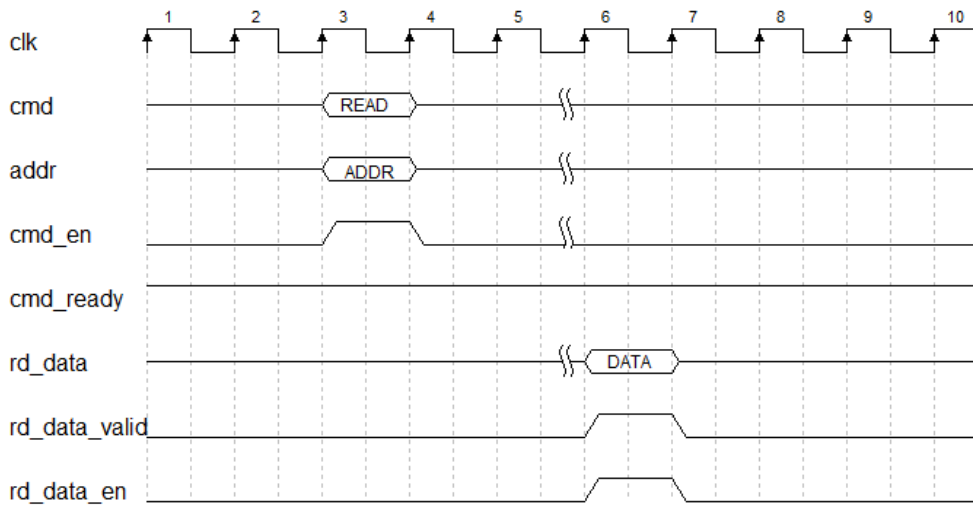
与写操作时类似，当选择 MC 与 PHY 的时钟比例为 1: 2，当用户配置突发长度为 BL8 时，读数据占用两个 clk 周期，如图 4-17 所示：

图 4-17 突发长度为 BL8 时读数据时序图



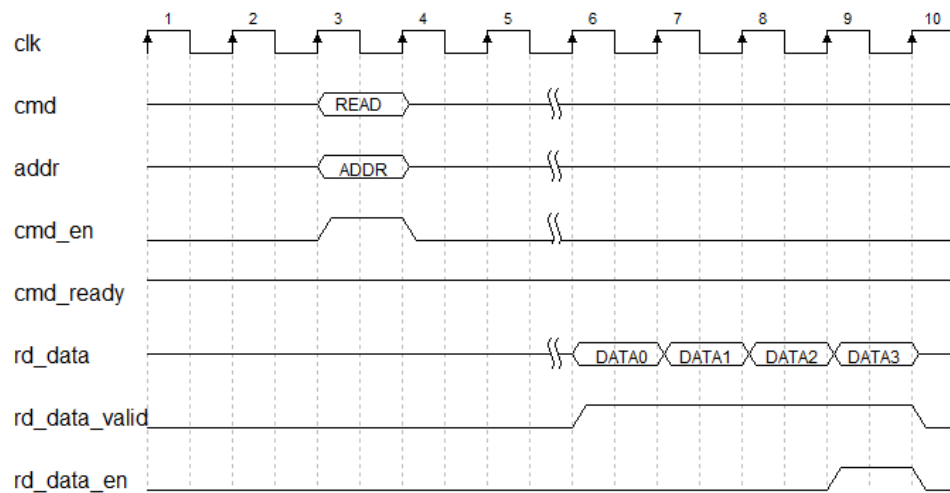
当选择 MC 与 PHY 的时钟比例为 1:2, 当用户配置突发长度为 BL4 时, 读数据占用 1 个 clk 周期, 如图 4-18 所示:

图 4-18 突发长度为 BL4 时读数据时序图



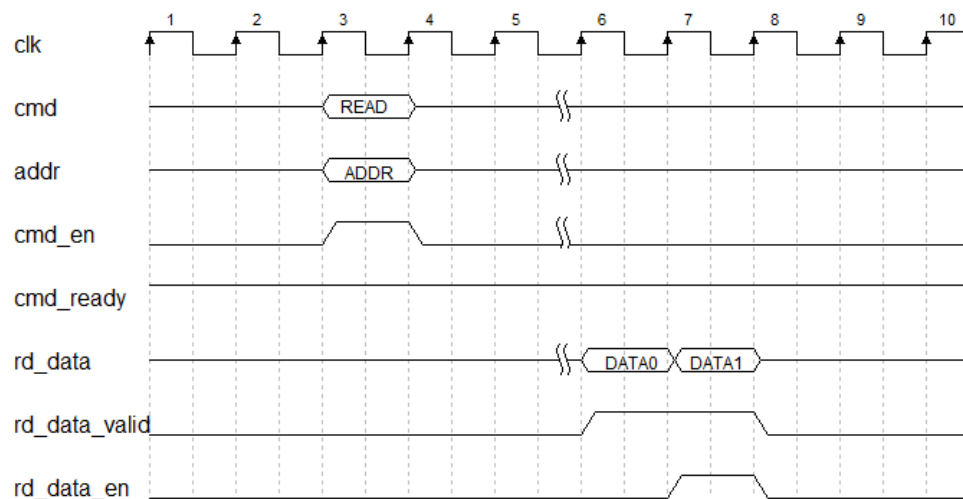
当选择 MC 与 PHY 的时钟比例为 1:1, 当用户配置突发长度为 BL8 时, 读数据占用四个 clk 周期, 如图 4-19 所示:

图 4-19 突发长度为 BL8 时读数据时序图



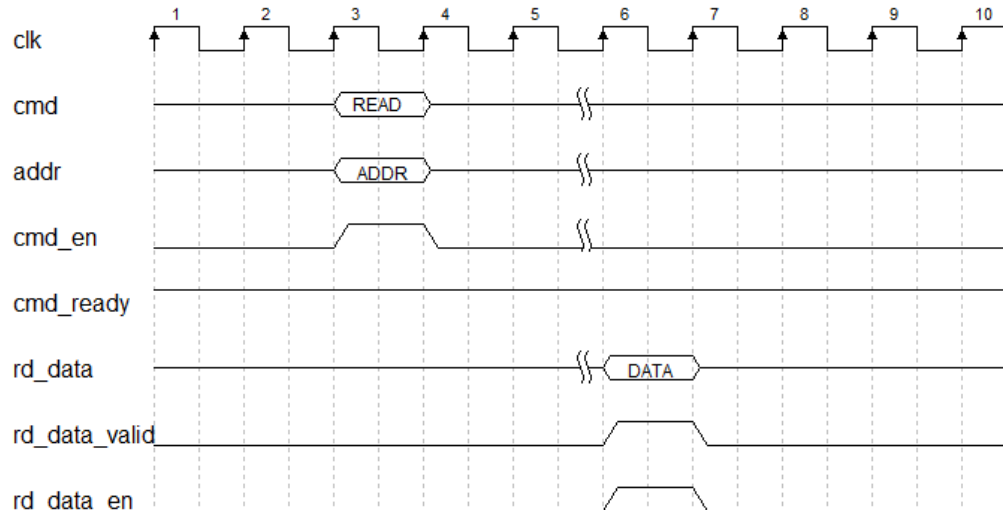
当选择 MC 与 PHY 的时钟比例为 1:1, 当用户配置突发长度为 BL4 时, 读数据占用两个 clk 周期, 如图 4-20 所示:

图 4-20 突发长度为 BL4 时读数据时序图



当选择 MC 与 PHY 的时钟比例为 1:1, 当用户配置突发长度为 BL2 时, 读数据占用 1 个 clk 周期, 如图 4-21 所示:

图 4-21 突发长度为 BL2 时读数据时序图



4.4.5 刷新

刷新

在 DDR SDRAM 存储阵列需要不断的刷新来保证数据不丢失，因此需要 Gowin DDR Memory Interface IP 周期性的向 DDR SDRAM 发送刷新指令。Gowin DDR Memory Interface IP 间隔 t_{REFI} 时间产生刷新命令，刷新命令产生后，MC 执行完最后一条读写命令后，会 PreCharge 所有 Bank，然后执行 Refresh 命令，刷新操作具有较高优先级。

自刷新

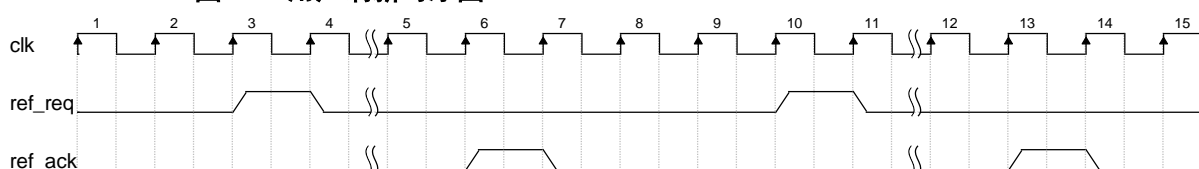
用户可通过端口 `sr_req` 发送自刷新（self refresh）请求，配置 DDR SDRAM 进入自刷新模式。在自刷新模式下，DDR SDRAM 会自动刷新存储阵列，无需 Gowin DDR Memory Interface IP 发送刷新指令。

Gowin DDR Memory Interface IP 在完成对 DDR SDRAM 的自刷新配置后，会向用户返回信号 `sr_ack`，表示 DDR SDRAM 已进入自刷新模式。

用户刷新

用户可以通过选项配置刷新模式为用户刷新，需将“USER_REFRESH”设置为“ON”。用户可在任意时刻通过端口 `ref_req` 向 MC 提出刷新请求，无需通过 `cmd` 端口向 MC 发出其它命令。发送用户刷新指令时，`ref_req` 需持续一个周期的高电平，完成刷新指令发送后，MC 会反馈 `ref_ack` 信号，持续一个周期的高电平，如图 4-22 所示。

图 4-22 用户刷新时序图



用户刷新操作可能会影响 MC 已经接收的或正在执行的指令。在进行用户刷新操作前，MC 会优先完成正在执行的命令操作。用户应考虑发出用户刷新与各项指令之间的配合，避免造成 t_{REFI} 违规。

考虑最坏情况下，用户刷新可参考以下公式进行操作，命令一定时间来

完成传输，可大致通过 t_{RCD} 、 CL 、数据传输时间、 t_{RP} 等参数计算，且用户刷新应在时间参数 t_{REFI} 违规前完成，因此两次用户刷新时间的最大间隔约为：

$$t_{REFI} - (t_{RCD} + (CL + 4) \times t_{CK} + t_{RP}) \times nBA$$

在实际应用中，若启动用户刷新，用户需要在 **DDR SDRAM** 完成初始化后立刻发出一个用户刷新，以确立后续用户刷新请求的时间基准。

5 端口列表

Gowin DDR Memory Interface IP 的 IO 端口如表 5-1 所示。

表 5-1 Gowin DDR Memory Interface IP 的 IO 端口列表

信号	位宽	方向	描述
User Interface			
addr	ADDR_WIDTH	Input	地址输入，信号宽度可以设置parameter
cmd	3	Input	命令通道
cmd_en	1	Input	命令与地址使能信号： 0: 无效 1: 有效
cmd_ready	1	Output	高电平时指示Memroy Interface可接收命令与地址
rd_data	APP_DATA_WIDTH	Output	读数据通道
rd_data_end	1	Output	高电平时指示当前输出的一组rd_data的结束周期
rd_data_valid	1	Output	rd_data有效信号： 0: 无效 1: 有效
burst	1	Input	保留，输入固定0；
wr_data	APP_DATA_WIDTH	Input	写数据通道
wr_data_end	1	Input	高电平指示当前时钟周期是此组数据wr_data的最后一个周期
wr_data_mask	APP_MASK_WIDTH	Input	为wr_data提供遮挡信号
wr_data_rdy	1	Output	高电平时表示MC可以接收用户数据
wr_data_en	1	Input	wr_data使能信号：

信号	位宽	方向	描述
			0: 无效 1: 有效
sr_req	1	Input	自刷新请求
sr_ack	1	Output	自刷新应答信号
ref_req	1	Input	用户刷新请求
ref_ack	1	Output	用户刷新应答信号
clk	1	Input	参考输入时钟
init_calib_complete	1	Output	初始化完成信号
clk_out	1	Output	用户设计时钟, 频率为Memory Clk的1/2或1/1
ecc_err	APP_DATA_WIDTH/32	Output	ECC指示信号输出
ddr_rst	1	Output	经过IP处理过的复位信号, 供用户设计使用, 高复位
DDR SDRAM Interface			
O_dds_addr	ROW_WIDTH	Output	Row地址 (激活命令)、Column地址 (读、写命令)
O_dds_ba	BANK_WIDTH	Output	Bank地址
O_dds_cs_n	CS_WIDTH	Output	片选, 低有效
O_dds_ras_n	1	Output	Row地址选通信号
O_dds_cas_n	1	Output	Column地址选通信号
O_dds_we_n	1	Output	Row写使能
O_dds_ck	CK_WIDTH	Output	提供给DDR SDRAM的时钟信号
O_dds_ck_n	CK_WIDTH	Output	与dds_ck组成差分信号
O_dds_cke	CKE_WIDTH	Output	DDR SDRAM时钟使能信号
O_dds_reset_n	1	Output	DDR SDRAM复位信号
O_dds_dqm	DM_WIDTH	Output	DDR SDRAM数据屏蔽信号
IO_dds_dq	DQ_WIDTH	Bidirection	DDR SDRAM数据
IO_dds_dqs	DQS_WIDTH	Bidirection	DDR SDRAM数据选通信号

6 参数配置

Gowin DDR Memory Interface IP 可支持 DDR SDRAM 器件，用户需根据设计要求配置 Gowin DDR Memory Interface 的各个静态参数与时序参数，具体参数分别如表 6-1 和表 6-2 所示。

表 6-1 Gowin DDR Memory Interface 的静态参数选项

名称	描述	选项
DRAM_TYPE	存储器类型	DDR;
DRAM_WIDTH	DDR颗粒DQ宽度	4, 8, 16;
ADDR_CMD_MODE	地址命令模式	1T, 2T;
nCK_PER_CLK	PHY与MC接口之间时钟比例	1:1/1:2;
nCS_PER_RANK	每个Rank CS的数量	1;
APP_ADDR_WIDTH	地址位宽	RANK_WIDTH + BANK_WIDTH + ROW_WIDTH + COL_WIDTH;
BANK_WIDTH	内存BANK地址宽度	根据DDR SDRAM芯片选择
CS_WIDTH	CS位宽	根据DDR SDRAM芯片选择
RANK_WIDTH	RANK地址宽度	对于Single与Dual rank器件，此选择为1;
ROW_WIDTH	DRAM ROW地址宽度	根据DDR SDRAM芯片选择
DM_WIDTH	数据遮挡位宽	DQ_WIDTH/ DRAM_WIDTH
DQ_WIDTH	DQ信号宽度	DQ_WIDTH=DRAM_WIDTH * DQS_WIDTH
DQS_WIDTH	DQS信号宽度	DQ_WIDTH/8
BURST_MODE	突发长度	“2”、“4”、“8”
BURST_TYPE	突发时数据读写数据	“Sequential” “Interleaved”
RTT_NOM	Nominal ODT数值	“150”: 150 “75”: 75

名称	描述	选项
		“50”: 50
RTT_WR	Multiple-RANK中用于写端口的Dynamic ODT的数值 对于Single-Component 设计 RTT_WR无效;	“OFF”: RTT_WR disabled. “120”: RZQ/2 “60”: RZQ/4
APP_DATA_WIDTH	用户接口数据信号宽度	$APP_DATA_WIDTH = 2 * nCK_PER_CLK * DQ_WIDTH$
APP_MASK_WIDTH	用户接口Mask信号宽度	$APP_DATA_WIDTH/DRAM_WIDTH$
USER_REFRESH	是否由用户自己控制刷新操作	“ON”, “OFF”

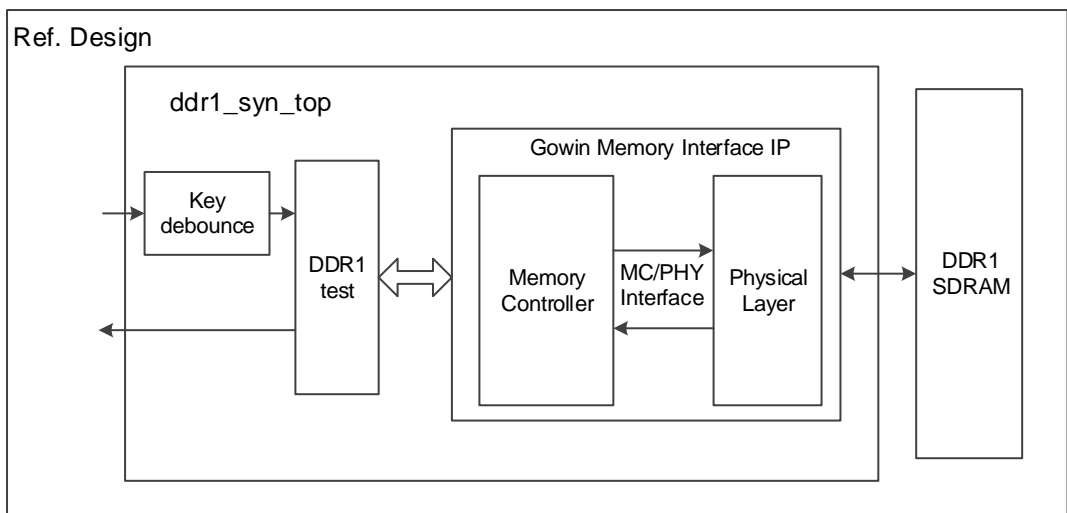
表 6-2 DDR 时间参数

名称	描述
t _{CK}	Memory接口时钟周期(ps)
t _{CKE}	CKE信号最小脉冲时间(ps)
t _{FAW}	同一rank中允许同时发送大于四个行激活命令的间隔时间, 因此最小值应该不小于t _{RRD} 的四倍
t _{RAS}	ACTIVE到PRECHARGE时间
t _{RCD}	ACTIVE到READ或WRITE时间
t _{REFI}	内存刷新时间间隔
t _{RFC}	REFRESH到 ACTIVE/REFRESH间隔
t _{RP}	PRECHARGE周期
t _{RRD}	ACTIVE到ACTIVE时间间隔
t _{RTP}	READ到PRECHARGE时间间隔
t _{WTR}	WRITE到READ时间间隔
AL	Additive Latency
CL	CAS Latency
WR_CYC	Write recovery for autoprecharge

7 参考设计

为方便用户快速熟悉并使用 Gowin DDR Memory Interface IP，提供了一个简单的参考设计，参考设计基本结构如图 7-1 所示。

图 7-1 参考设计基本结构框图



在参考设计中，`ddr1_syn_top` 模块是顶层模块单元，其端口连接输入参考时钟、外部复位等信号，端口连接如表 7-1 所示。`DDR1_test` 用于产生 Gowin Memory Interface IP 所需的地址、数据与读写等命令，并且该模块单元可综合。`Key_debounce` 模块是一个消抖模块，用于消除由按键或拨码开关控制外部激励时产生的信号抖动。

表 7-1 `ddr_syn_top` 模块输入端口列表

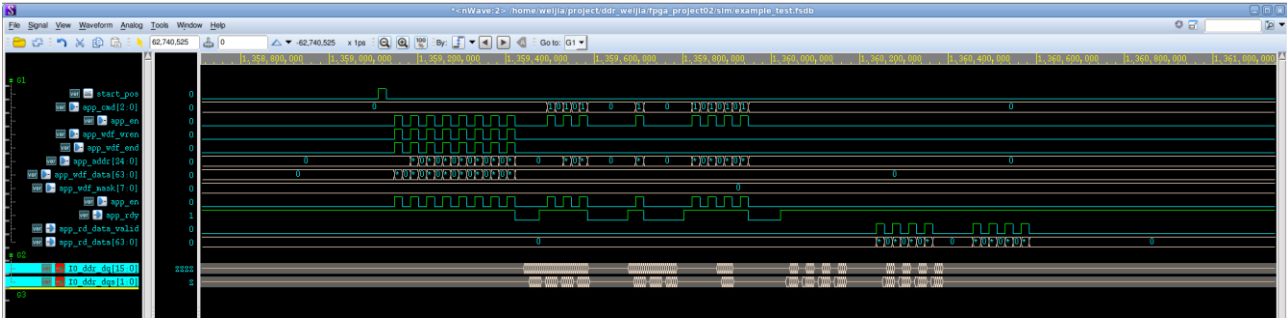
名称	描述
clk	输入参考时钟，默认50MHz
rst_n	输入复位信号
display	切换组间数据
sw	切换组内数据

`DDR1_test` 产生 8 次写命令与 8 次读命令，对不同的地址进行写与读操作。用户可修改写入的地址及数据等，并对 Gowin Memory Interface IP 返

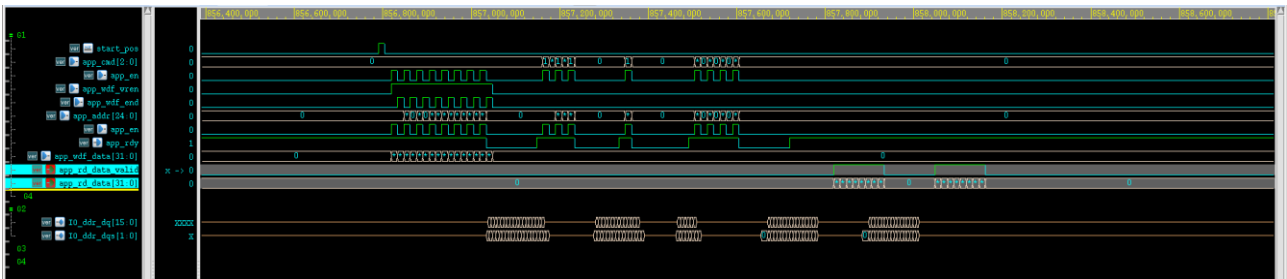
回的读数据进行分析验证。在该参考设计中，选择内存颗粒型号为 EM6A8160BKC-4，配置 Burst Mode 为 BC4，DQ 宽度为 16 位。

DDR1_test 与 Memory Interface IP 端口之间部分信号的仿真波形如图 7-2 所示。

图 7-2 DDR1_test 部分端口信号仿真波形
时钟比例 1:2



时钟比例 1:1



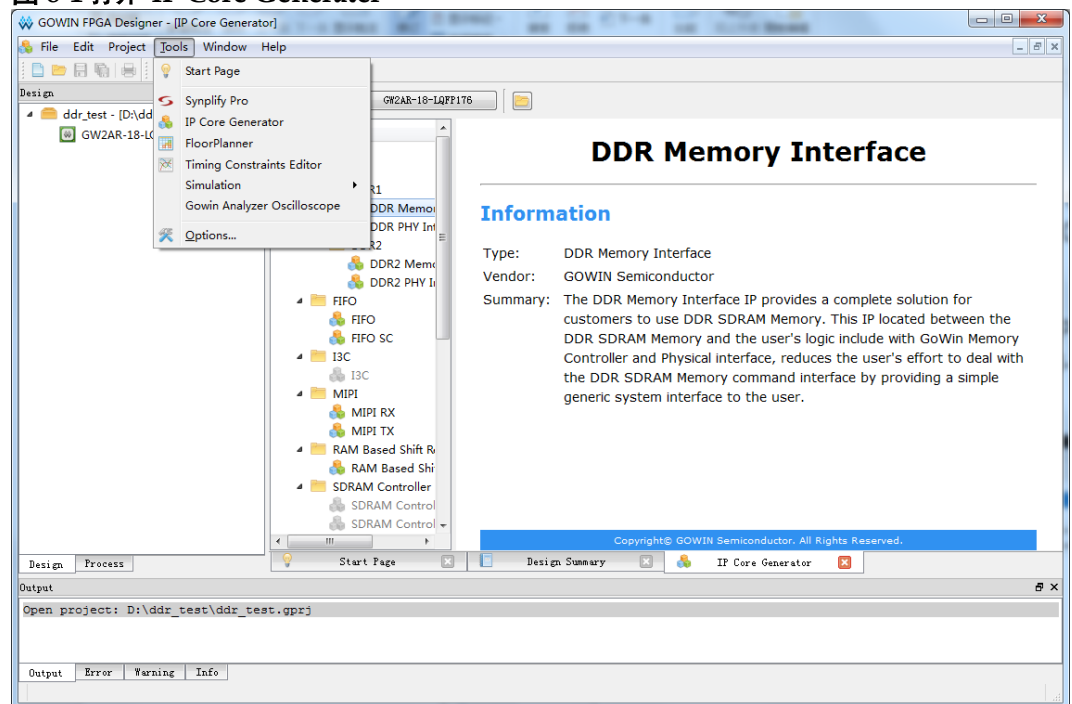
8 界面配置

用户可在 IDE 中通过 IP Core Generate 工具调用并配置 Gowin Memory Interface IP。本章节以选择使用钰创 EM6A8160BKC-4 内存颗粒为例，介绍了主要配置界面、配置流程以及各配置选项含义。

1. 打开 IP Core Generate

用户建立工程后，点击左上角 Tools 选项卡，下拉单击 IP Core Generate 选项，就可打开 GOWIN 的 IP 核产生工具，如图 8-1 所示。

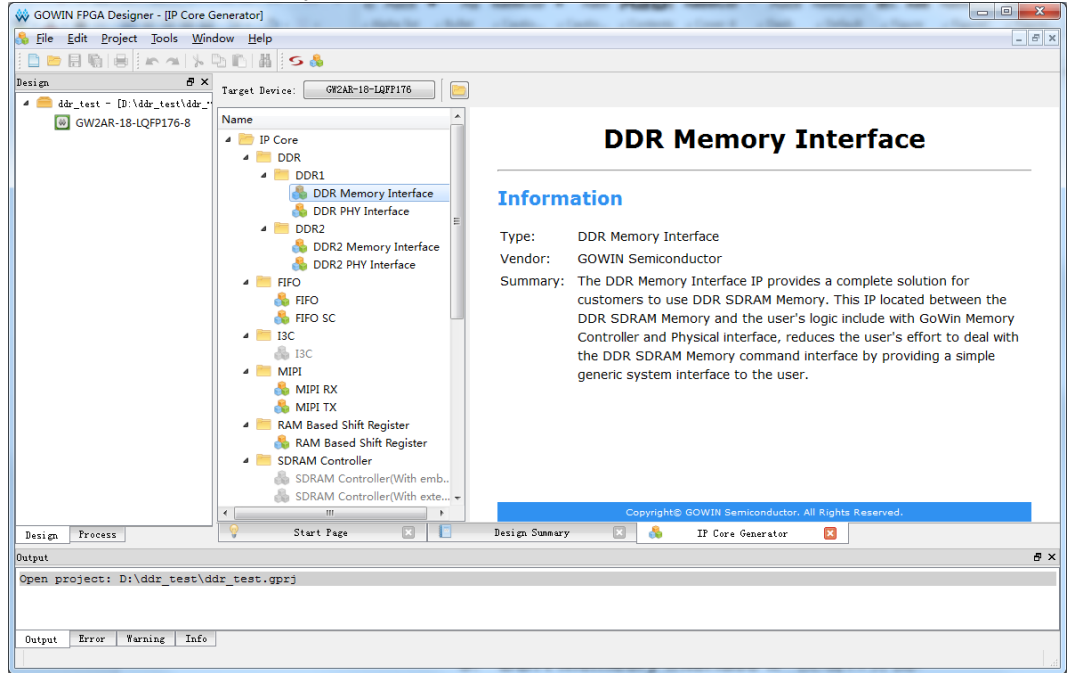
图 8-1 打开 IP Core Generator



2. 打开 DDR Memory Interface IP 核

点击 DDR Memory Interface 选项，双击 DDR Memory Interface，打开 DDR Memory Interface IP 核的配置界面，如图 8-2 所示。

图 8-2 打开 DDR Memory Interface IP 核

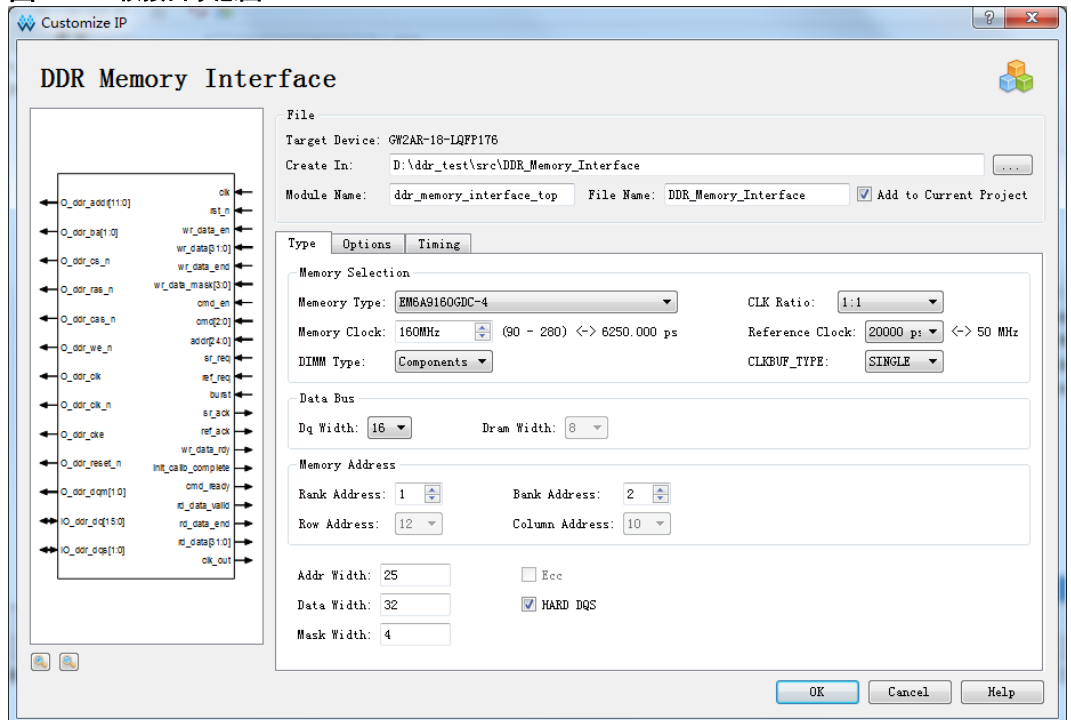


3. DDR Memory Interface IP 核端口界面

配置界面左端是 DDR Memory Interface IP 核的接口示意图, 如图 8-3 所示。

接口示意图中左端是 DDR Memory Controller 与用户端接口, 用户通过将自己的用户设计连接到 DDR Memory Interface IP 中实现命令和数据的收发, 右端是 PHY (Physical interface) 与内存颗粒的接口, 用户通过将 DDR Memory Interface IP 核与自己所需内存颗粒连接, 实现对数据的存取。用户使用不同的配置信息, 接口示意图中的信号位宽, 信号数量将会随之改变。

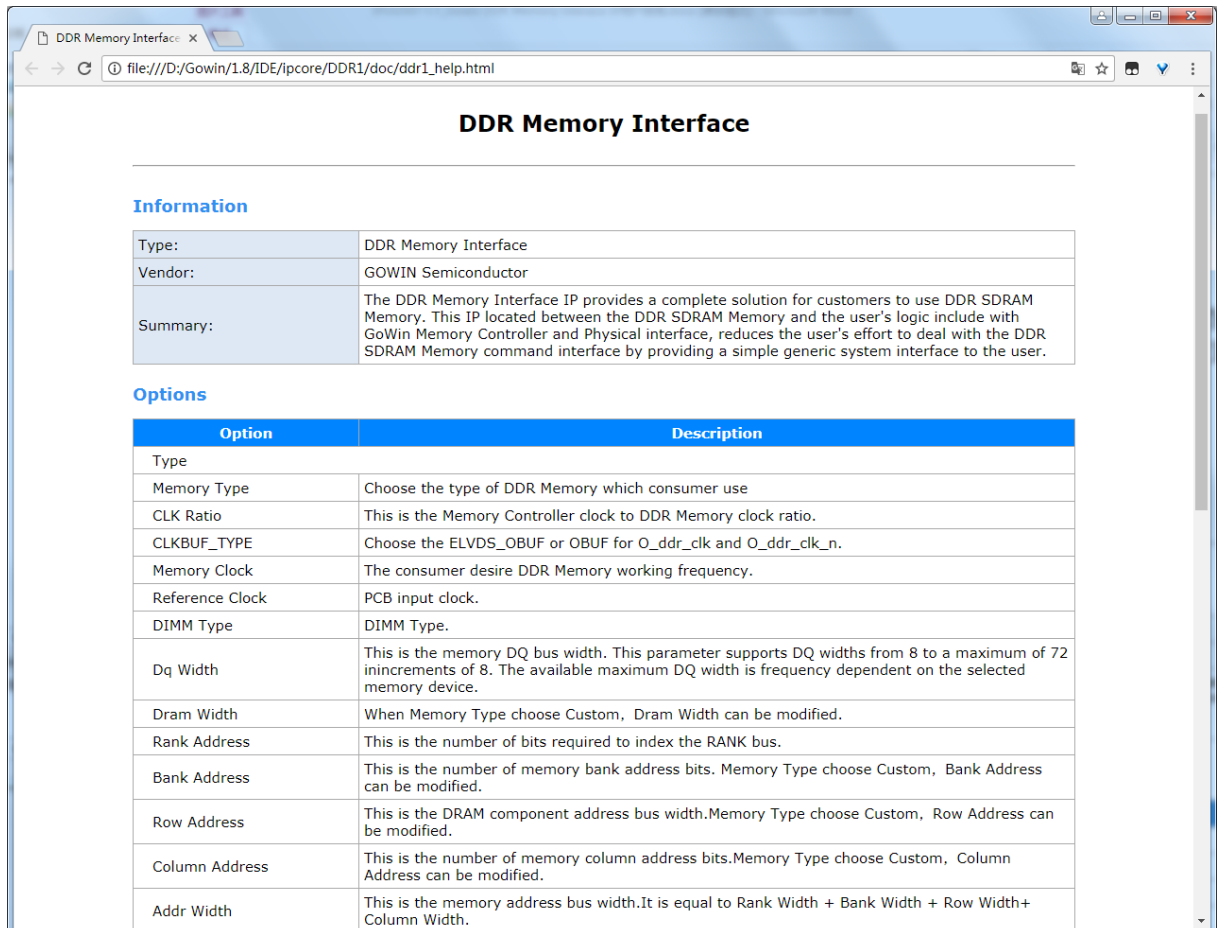
图 8-3 IP 核接口示意图

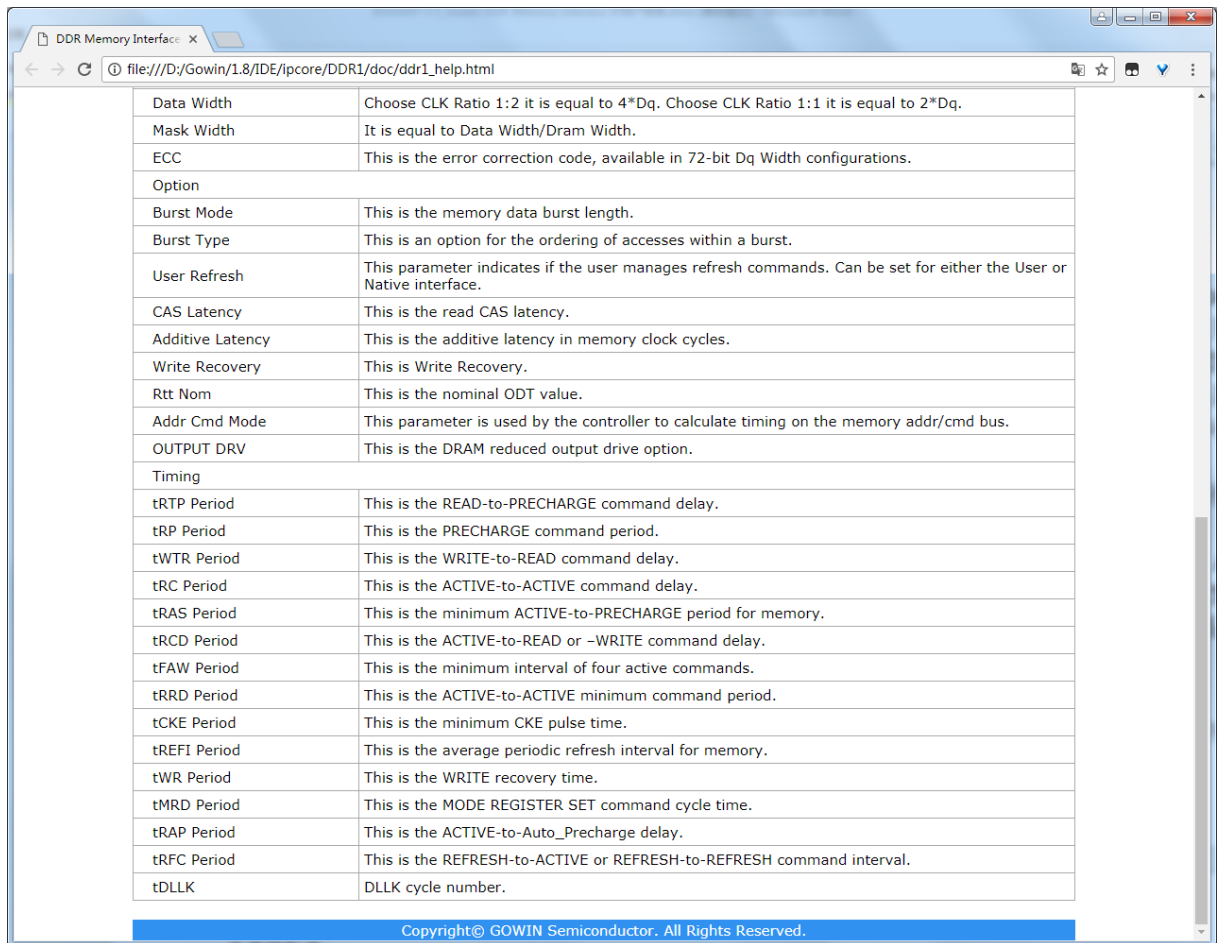


4. 打开 Help 文档

在图 8-2 的左下角，有一个 Help 按钮，用户可以点击 Help 按钮查看配置界面中各个选项的简单英文介绍，方便用户快速完成对 IP 核的配置，Help 文档选项介绍顺序和界面顺序一致，如图 8-4。

图 8-4 Help 文档

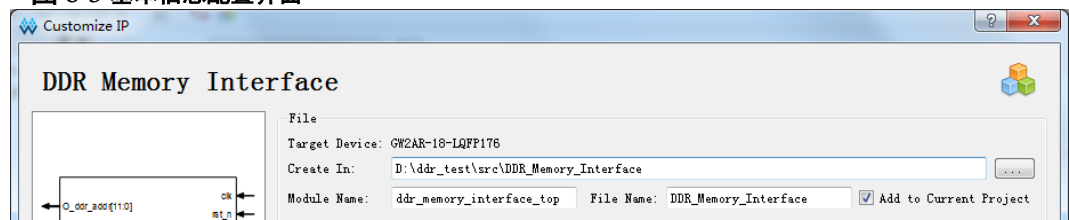




5. 配置基本信息

在配置界面的上部分是工程基本信息配置界面，目前 DDR Memory Interface IP 核只支持 GW2A-55 GW2A-18 GW2AR-18 GW1NR-9 四款芯片，本文芯片型号选择 GW2AR-18 为例，封装选择 LQFP-176。Module Name 选项后面是工程产生后顶层文件的名称，默认为 ddr_memory_interface_top，用户可自行修改。File Name 是 IP 核文件产生的文件夹，存放 DDR Memory Interface IP 核所需文件，默认为 DDR_Memory_Interface，用户可自行修改。Creat IN 选项是 IP 核文件产生路径，默认为 \工程路径\src\DDR_Memory_Interface，用户可自行修改路径。右下角 Add to Current Project 选项是询问是否产生的 IP 直接添加到你的工程中，默认勾选，如图 8-5。

图 8-5 基本信息配置界面



6. Type 选项卡

在 Type 选项卡中，用户需要配置所使用的 DDR 内存芯片的基本信息。

● Select Memory 选项

a). 在 Memory Type 选项中首先选择使用内存颗粒型号，以钰创

EM6A8160GDC-4 内存颗粒为例，选择内存颗粒型号后，与其相关的参数会根据内存颗粒型号默认生成，用户也可以根据自己需求进行修改，如果用户选择 Custom（自定义）选项，则相关参数需自己手动修改生成。

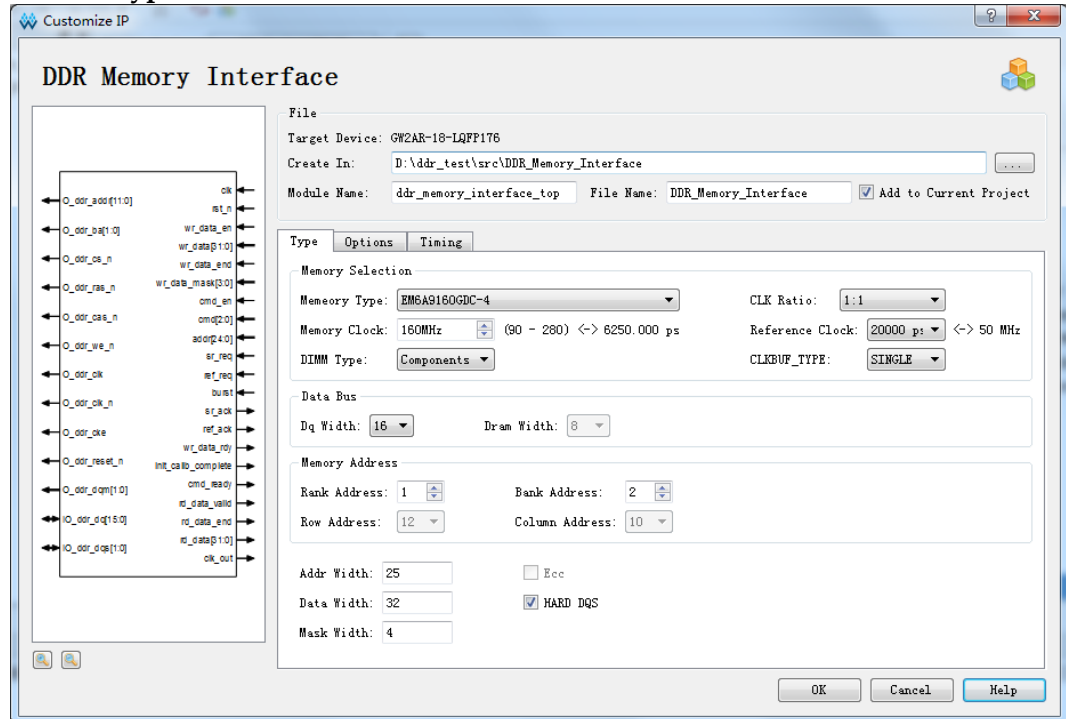
- b). CLK Ratio 选项为 GOWIN 内存控制器和物理接口的时钟比例，支持 1:1/1:2，用户可选择。
- c). Memory Clock 是 GOWIN 内存控制器的时钟频率，范围 90~250MHz 内用户可任意选择，后面选项会自动换算成周期，单元 ps，默认 160MHz 即 6250ps，数据速率为 Memory Clock 的 2 倍。
- d). Reference Clock 是用户使用的板载时钟，即输入芯片的 PCB Clock，由于范围过大，只提供时间选项，不可随意填写，默认 20000ps，后面自动换算成频率，即默认 50MHZ。
- e). DIMM Type 用户选择 DIMM 槽类型，可选择 RDIMMS,UDIMMS, SoDIMMS 和 Componets
- Data Bus 选项
 - a). Dq Width 是内存颗粒的数据位宽可以选择 8、16、24、32、40、48、56、64、72，当选择 72 时，可勾选或不勾选 ECC 选项，其他情况 ECC 不开放选择。
 - b). Dram Width 是 DDR 颗粒 DQ 宽度，当 DDR 内存颗粒确定后用户不可修改，如果 Memory Type 选择 Custom，用户可以自己填写。
- Memory Address 选项

Memory Address 中主要填写 DDR 内存颗粒的 Rank, Bank, Row, Column 地址信息，当选择好 DDR 内存颗粒类型后，GUI 会自动填写，如果选择 Custom 则需要用户根据自己使用的 DDR 内存类型自行选择。
- ECC 选项

仅当用户选择 DQ 宽度为 72 时可以勾选，即数据 DQ 宽度为 64,另外 8 个 DQ 宽度为 ECC 校验宽度。
- HARD_DQS 选项

当用户选择 GW1NR-9 系列时默认为 OFF，不勾选，此时使用 Generic Mode 模式，即不使用 DQS 硬核；当用户选择 GW2A 系列时，默认 ON，勾选，使用 Memory Mode 模式，使用 DQS 硬核。
- 不可操作项
 - a). Addr Width 的宽度为 Rank+Bank+Row+Colum，Data Width 值为 $4 * Dq$ （时钟比例 1:2）或 $2 * DQ$ （时钟比例 1:1），Mask Width 为 Data Width/Dram Width，以上三个选项均为软件自己计算，用户无法操作。
 - b). Type 选项卡如图 9-6 所示，已选择钰创 EM6A8160GDC-4 内存颗粒为例。

图 8-6 Type 选项卡



7. Options 选项卡

● Memory options 选项

- Burst Mode** 是突发长度的选择，可以选择 2 或 4 或 8，默认 4（时钟比例 1:2 时不可选择 2）。
- Burst Type** 是突发类型选择，可以选择有序（**Sequential**）或交错（**Interleaved**），默认有序 **SEQ**。
- User Refresh** 是询问是否开启用户自己发送刷新请求，默认不勾选，由 **GOWIN Memory Controller** 控制自刷新。

● Mode Register Setting 选项

- CAS Latency**，DDR 内存中 **CL** 参数，即列地址脉冲选通潜伏期，默认 4，用户可按自己需求选择，提供选项 2/2.5/3。
- Additive Latency**，DDR 内存中 **AL** 参数，即附加延时，默认 0，用户可按自己需求选择，提供选项 0。
- Write Recovery**，DDR 内存中 **WR** 参数，默认 6，用户可按自己需求选择，提供选项 2/3/4/5/6。
- Rtt Nom**，DDR 内存中 **ODT** 电阻参数，默认 **OFF**，用户可按自己需求选择，提供选项 **OFF/75/150/50**。
- Add Cmd Mode**，DDR 内存中命令时间类型，默认 1T，用户可按自己需求选择，提供选项 1T/2T。
- OUTPUT DRV**，DDR 内存中输出驱动选项，默认 **Full strength**，用户可按自己需求选择，提供选项 **Full strength/Reduce strength**。

● Generation Config 选项

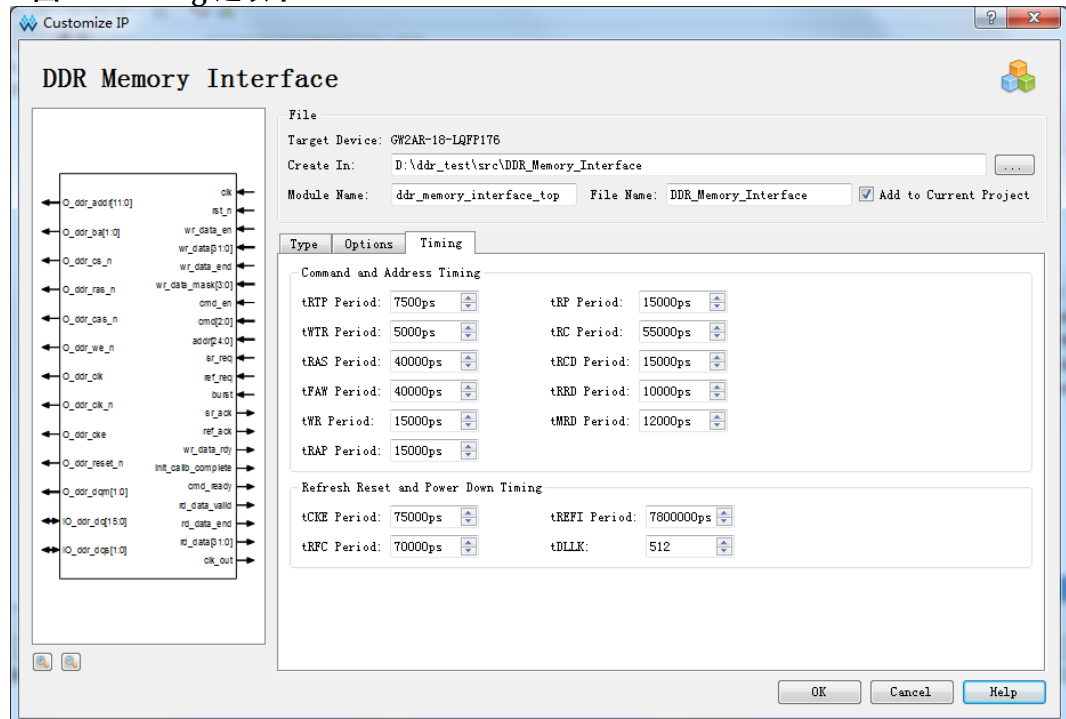
勾选后产生的 IP 中，没有插入 **IBUF**、**OBUF** 等原语，直接使用 port 连接逻辑，默认勾选。

Options 选项卡如图 9-7 所示，已选择钰创 **EM6A8160GDC-4** 内存颗

- a). tCKE Period, DDR 内存中 CKE 信号最小脉冲时间(ps), 默认 75000ps, 用户可自行修改。
- b). tREFI Period, DDR 内存刷新时间间隔, 默认 7800000ps, 用户可自行修改。
- c). tRFC Period, DDR 内存中 REFRESH 到 ACTIVE/REFRESH 间隔, 默认 160000ps, 用户可自行修改。
- d). tDLLK Period ,DLL 周期数, 默认 512, 用户可自行修改。

Timing 选项卡如图 9-8 所示, 已选择钰创 EM6A8160GDC-4 内存颗粒为例, 配置完成后点击 OK 按钮, 完成 DDR Memory Interface IP 的配置生成文件。

图 8-8 Timing 选项卡



9 文件交付

Gowin Memory Interface IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

9.1 文档

文件夹主要包含用户指南 PDF 文档。

表 9-1 文档列表

名称	描述
IPUG507-1.1_Gowin DDR Memory Interace IP用户指南	高云DDR内存接口IP用户手册，即本手册

9.2 设计源代码（加密）

加密代码文件夹包含 Gowin DDR Memory Interface IP 的 RTL 加密代码，供 GUI 使用，以配合我们的软件产生用户所需的 IP 核。

表 9-2 设计源代码列表

名称	描述
DDR_TOP.v	IP核顶层文件，给用户接口信息，未加密。
GOWIN Memeory Controller部分代码	
ddr1_name.v	工程命名文件，工程名由GUI传入，未加密。
gwmc_top.v	高云内存控制顶层文件，加密
ecc_top.v	ECC校验顶层文件，加密。
ecc_decoder.v	ECC校验解码文件，加密。
ecc_encoder.v	ECC校验编码文件，加密。
gwmc_bank_ctrl.v	高云内存控制器命令解析、补全、时间校准模块文件，加密
gwmc_cmd_buffer.v	高云内存控制器命令缓存模块文件，加密
gwmc_param.v	高云内存控制器参数配置模块，由用户通过GUI配置产生，未加密
gwmc_local_param.v	高云内存控制器参数处理模块，处理GUI传进的参数，加密

名称	描述
gwmc_rank_ctrl.v	高云内存控制器地址、命令转换模块文件，加密
gwmc_rd_data.v	高云内存控制器读数据模块文件，加密
gwmc_wr_data.v	高云内存控制器写数据模块文件，加密
gwmc_timing_ctrl.v	高云内存控制器刷新时间控制模块文件，加密
PHY部分代码	
ddr_phy_top.v	DDR PHY顶层文件，加密
ddr_phy_wd.v	调用data_lane模块和cmd_lane模块文件，加密
ddr_phy_cmd_lane.v	命令处理模块文件，加密
ddr_phy_cmd_io.v	命令硬核接口文件，加密
ddr_phy_data_lane.v	数据缓存文件，加密
ddr_phy_data_io.v	数据硬核接口文件，加密
fifo_ctrl.v	fifo控制模块文件，加密
IN_FIFO.v	接收数据缓存模块文件，加密
OUT_FIFO.v	发送数据缓存模块文件，加密
ddr_init.v	初始化模块文件，加密

9.3 参考设计

Ref.design 文件夹主要包含 Gowin DDR Memory Interface IP 的网表文件，用户参考设计，约束文件、消抖模块、顶层文件及工程文件夹等。

表 9-3 Ref.design 文件夹内容列表

名称	描述
ddr1_syn_top.v	参考设计的顶层module
key_debounce.v	消抖模块
DDR1_test_rst.v	测试激励产生模块
DDR_Memory_Interface.vo	Gowin DDR Memory Interface IP网表文件
ddr.cst	DDR 工程物理约束文件
ddr.sdc	DDR 工程物理约束文件
gwmc_local_param.v	DDR 工程参数文件
DDR_Memory_Interface	DDR IP 文件夹

