



Gowin SPI Master & Slave IP 用户指南

IPUG510-1.3,2019-07-17

版权所有©2019 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2018/06/28	1.0	初始版本。
2019/03/28	1.1	适用产品更新。
2019/05/08	1.2	原 AXI 接口转为 SRAM 接口。
2019/07/17	1.3	增加接口配置相关信息。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语	2
1.5 技术支持与反馈	2
2 功能简介	3
2.1 概述	3
2.2 特性	3
2.2.1 Gowin SPI Master IP	3
2.2.2 Gowin SPI Slave IP	3
3 信号定义	4
3.1 Gowin SPI Master IP	4
3.1.1 SRAM 接口侧信号	4
3.1.2 SPI 侧信号	4
3.2 Gowin SPI Slave IP	5
4 参数定义	6
4.1 SPI Master 参数定义	6
4.2 SPI Slave 参数定义	7
5 工作原理	8
5.1 系统框图	8
5.2 Gowin SPI Master IP 寄存器	8
5.2.1 接收寄存器	9
5.2.2 发送寄存器	9
5.2.3 状态寄存器	10

5.2.4 控制寄存器.....	10
5.2.5 从机选择标志寄存器.....	11
5.3 Gowin SPI Slave 实现.....	11
6 接口配置	13
6.1 SPI MASTER IP 核接口	13
6.2 SPI SLAVE IP 核接口	14
7 参考设计	15

图目录

图 5-1 系统框图	8
图 5-2 SPI Slave 实现框图	11
图 6-1 SPI MASTER 配置界面	13
图 6-2 SPI SLAVE 配置界面	14

表目录

表 1-1 术语、缩略语	2
表 3-1 SRAM 接口侧信号定义	4
表 3-2 SPI 侧信号定义	4
表 3-3 SPI Slave 信号定义	5
表 4-1 SPI Master 参数	6
表 4-2 SPI Slave 参数	7
表 5-1 Gowin SPI Master IP 寄存器	9
表 5-2 接收寄存器	9
表 5-3 接收寄存器	9
表 5-4 发送寄存器	9
表 5-5 发送寄存器	9
表 5-6 状态寄存器	10
表 5-7 状态寄存器	10
表 5-8 控制寄存器	10
表 5-9 控制寄存器	10
表 5-10 从机选择标志寄存器	11
表 5-11 从机选择标志寄存器	11

1 关于本手册

1.1 手册内容

Gowin SPI Master 和 Slave IP 用户指南主要包括功能简介、信号定义、工作原理、GUI 调用等，旨在帮助用户快速了解 Gowin SPI Master 和 Slave IP 的特性及使用方法。

1.2 适用产品

本手册中描述的信息适用于以下产品：

1. GW1N 系列 FPGA 产品：GW1N-1、GW1N-1S、GW1N-2、GW1N-2B、GW1N-4、GW1N-4B、GW1N-6、GW1N-9
2. GW1NR 系列 FPGA 产品：GW1NR-4、GW1NR-4B、GW1NR-9
3. GW1NS 系列 FPGA 产品：GW1NS-2、GW1NS-2C
4. GW1NSR 系列 FPGA 产品：GW1NSR-2、GW1NSR-2C
5. GW1NZ 系列 FPGA 产品：GW1NZ-1
6. GW2A 系列 FPGA 产品：GW2A-18、GW2A-55
7. GW2AR 系列 FPGA 产品：GW2AR-18

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- DS100, [GW1N 系列 FPGA 产品数据手册](#)
- DS117, [GW1NR 系列 FPGA 产品数据手册](#)
- DS821, [GW1NS 系列 FPGA 产品数据手册](#)
- DS861, [GW1NSR 系列 FPGA 产品数据手册](#)
- DS841, [GW1NZ 系列 FPGA 产品数据手册](#)
- DS102, [GW2A 系列 FPGA 产品数据手册](#)
- DS226, [GW2AR 系列 FPGA 产品数据手册](#)
- SUG100, [Gowin 云源软件用户指南](#)

1.4 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
SRAM	Static Random Access Memory	静态随机存取存储器
SPI	Serial Peripheral Interface	串行外设接口

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 功能简介

2.1 概述

SPI(Serial Peripheral Interface)总线是一种同步的高速、全双工的数据通信总线。它允许 MCU 与各种外围设备之间以串行方式进行通信和数据交换。它只使用四根信号线，节约了芯片的管脚，为 PCB 的布局上节省空间。因为 SPI 总线具有简单易用的特性，现在越来越多的芯片内部集成了这种通信协议。Gowin SPI Master 为带有同步 SRAM 接口的 SPI Master 控制器。

Gowin SPI Slave 遵循 SPI 总线协议，具有发送/接收功能，主要用于与 Master 通信。

2.2 特性

2.2.1 Gowin SPI Master IP

- 全双工同步串行数据传输；
- 支持主从两种工作模式；
- 根据 SPI 运行状态，产生相应的中断信号；
- SPI 产生的串行时钟频率可配置；
- 支持可配置的时钟极性和相位；
- 数据接收寄存器和数据发送寄存器可配置为 8-32 位宽；
- 可选择优先传输最低位或最高位数据。

2.2.2 Gowin SPI Slave IP

- 全双工同步串行数据传输；
- 支持可配置的时钟极性和相位；
- 可选择优先传输最低位或最高位数据；
- 数据接收寄存器和数据发送寄存器可配置为 8-32 位宽。

3 信号定义

3.1 Gowin SPI Master IP

3.1.1 SRAM 接口侧信号

表 3-1 SRAM 接口侧信号定义

序号	信号名称	方向	描述	备注
1	I_CLK	I	工作时钟，上升沿采样	-
2	RESETN	I	复位信号	-
3	I_TX_EN	I	写使能信号	SRAM 写地址通道信号
4	I_WADDR	I	写地址信号	
5	I_WDATA	I	写数据信号	
6	I_RX_EN	I	读使能信号	SRAM 读地址通道信号
7	I_RADDR	I	读地址信号	
8	O_RDATA	O	读数据信号	

3.1.2 SPI 侧信号

表 3-2 SPI 侧信号定义

序号	信号名称	方向	描述	备注
1	SCLK_MASTER	output	串行时钟	主机模式
2	SS_N_MASTER	output	从机选择信号，低有效	
3	MOSI_MASTER	output	主机输出从机输入	
4	MISO_MASTER	input	主机输入从机输出	
5	SCLK_SLAVE	input	串行时钟	从机模式
6	SS_N_SLAVE	input	从机选择信号，低有效	
7	MOSI_SLAVE	input	主机输出从机输入	
8	MISO_SLAVE	output	主机输入从机输出	
9	O_SPI_INT	output	中断信号	

3.2 Gowin SPI Slave IP

表 3-3 SPI Slave 信号定义

序号	信号名称	方向	描述	备注
1	SCLK	input	时钟信号	-
2	SS	input	从机选择信号	-
3	MOSI	input	主机输出从机输入	-
4	MISO	output	主机输入从机输出	-

4 参数定义

4.1 SPI Master 参数定义

表 4-1 SPI Master 参数

序号	名称	描述	值
1	Master	指定 SPI 为工作在主机模式或从机模式 ● 0: 从机模式 ● 1: 主机模式	0/1
2	Slave Number	指定可支持的从机数量	1-32
3	Data Length	指定串行数据的位宽	8-32
4	Shift Direction	指定优先传输数据的最高位(MSB)或最低位(LSB) ● 0: 优先传输 MSB ● 1: 优先传输 LSB	0/1
5	Clock Phase	指定 SPI 的时钟相位 ● 0: 数据在 SCLK 的第一个沿有效 ● 1: 数据在 SCLK 的第二个沿有效	0/1
6	Clock Polarity	指定 SPI 的时钟极性 ● 0: SCLK 高电平有效 ● 1: SCLK 低电平有效	0/1
7	Clkcnt Width	指定 clock 计数器的范围, 位宽需足够宽以满足 SCLK 的数据宽度	1-32
8	Clock Sel	指定由 I_CLK 分频产生 SCLK 所需的分频系数, SCLK 可通过以下公式计算: $SCLK = I_CLK / (2 * (CLOCK_SEL + 1))$	0-2clkcnt_width-1
9	Delay Time	指定 SS_N 信号有效后, 在进行第一位数据传输前需等待的延迟时间。所等待的延迟时间可通过以下公式计算: $Delay = DELAY_TIME * (SCLK\ period / 2)$	0-63
10	Interval Length	指定当 SPI 传输请求后, SS_N 信号需等待的 SCLK 周期数	0-63

4.2 SPI Slave 参数定义

表 4-2 SPI Slave 参数

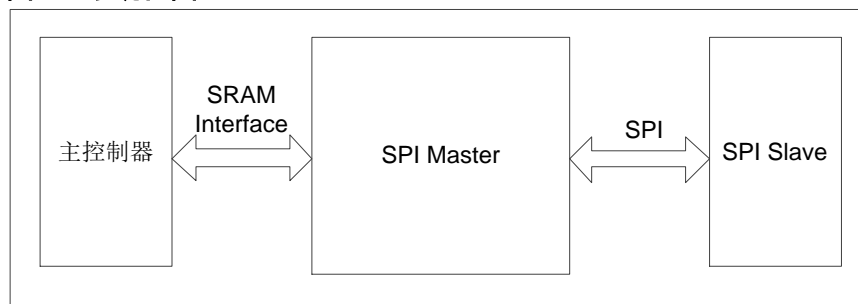
序号	名称	描述	值	备注
1	Shift Direction	指定优先传输数据的最高位(MSB)或最低位(LSB): <ul style="list-style-type: none"> ● 0: 优先传输最高位 ● 1: 优先传输最低位 	0/1	-
2	Clock Phase	指定 SPI 的时钟相位: <ul style="list-style-type: none"> ● 0: 数据在 SCLK 的第一个沿有效 ● 1: 数据在 SCLK 的第二个沿有效 	0/1	-
3	Clock Polarity	指定 SPI 的时钟极性: <ul style="list-style-type: none"> ● 0: 则 SCLK 高电平有效 ● 1: 则 SCLK 低电平有效 	0/1	-
4	Data Length	指定串行数据的位宽	8-32	-

5 工作原理

5.1 系统框图

如图 5-1 所示。主控制器将指令或数据通过同步 SRAM 接口传送给 SPI Master IP，然后 SPI Master IP 通过 SPI 下发给 SPI Slave；或将 SPI Slave 的数据通过同步 SRAM 接口上传给主控制器。

图 5-1 系统框图



5.2 Gowin SPI Master IP 寄存器

Gowin SPI Master IP 共有 5 个寄存器：

- 接收寄存器
- 发送寄存器
- 状态寄存器
- 控制寄存器
- 从机选择标志寄存器

表 5-1 Gowin SPI Master IP 寄存器

寄存器名称	寄存器地址	默认位宽	类型	描述
接收寄存器	0x00	8	只读	接收寄存器
发送寄存器	0x01	8	写/读	发送寄存器
状态寄存器	0x02	8	只读	状态寄存器
控制寄存器	0x03	8	写/读	控制寄存器
从机选择标志寄存器	0x04	8	写/读	从机选择标志寄存器

5.2.1 接收寄存器

在数据接收路径中，来自 SPI 总线上的 MISO 数据送至接收移位寄存器中，当接收移位寄存器满时，则将其中的数据发送给接收寄存器，同时将 RRDY(receive ready)信号置为 1。可通过同步 SRAM 接口将接收寄存器中的数据读出，在对接收寄存器进行读操作时，RRDY 信号置为 0，若 rrdy 信号为 1，则说明有新数据送给接收寄存器，则接收寄存器中的数据会被新数据覆盖掉，此时，ROE(receive overrun error)信号置为 1。

表 5-2 接收寄存器

N-1	reg_rxdata(DN-1 - D0)	0
-----	-----------------------	---

表 5-3 接收寄存器

位数	名称	类型	描述	备注
(N-1) - 0	reg_rxdata (DN-1 - D0)	只读	N 可以为 8,16 或 32	-

5.2.2 发送寄存器

在数据发送路径中，来自同步 SRAM 接口上的数据传输至发送寄存器。当向发送寄存器中写数据时，状态寄存器中的 TRDY(transmit ready)位置 0。若此时总线上没有数据传输，则发送寄存器中的数据传送给发送移位寄存器，并将 trdy 置 1，若 TRDY 为 0，说明有新数据传输至发送寄存器，则将 TOE(transmit overrun error)置为 1。

表 5-4 发送寄存器

N-1	Reg_txdata(DN-1 - D0)	0
-----	-----------------------	---

表 5-5 发送寄存器

位数	名称	类型	描述	备注
(N-1) - 0	Reg_txdata (DN-1 - D0)	写/读	N 可以为 8,16 或 32	-

5.2.3 状态寄存器

同步 SRAM 接口 SPI 含有状态寄存器和控制寄存器，这两个寄存器主要用来触发和清除中断信号。

状态寄存器用于检查同步 SRAM 接口 SPI 的工作状态，主要描述了是否数据接收或发送超限、数据移位寄存器是否为空、发送和接收是否完成准备。

表 5-6 状态寄存器

31	8	7	6	5	4	3	2	1:0
		E	RRDY	TRDY	TMT	TOE	ROE	保留

表 5-7 状态寄存器

位名称 (Bit Name)	位号	描述	备注
保留	1:0	保留	-
ROE	2	Receive Overrun Error 1: error。接收数据超限，即在对接收寄存器读操作时，又有数据写入	-
TOE	3	Transmit Overrun Error 1: error。发送数据超限，即发送寄存器中的数据传输至发送移位寄存器时，又有新的数据传至发送寄存器中	-
TMT	4	1: empty。即发送移位寄存器为空	-
TRDY	5	1: 发送寄存器准备好发送数据	-
RRDY	6	1: 接收寄存器准备好接收数据	-
E	7	1: error，是 ROE 和 TOE 进行的逻辑或运算。	-

5.2.4 控制寄存器

同步 SRAM 接口 SPI 控制寄存器主要用于设置中断使能信号。

表 5-8 控制寄存器

31	8	7	6	5	4	3	2	1	0
		SSO	保留	IE	IRRDY	ITRDY	保留	ITOE	IROE

表 5-9 控制寄存器

位名称(Bit Name)	位号	描述	备注
IROE	0	是否使能 ROE 中断请求 ● 1: 使能 ● 0: 不使能	-
ITOE	1	是否使能 TOE 中断请求 ● 1: 使能 ● 0: 不使能	-
保留	2	保留	-
ITRDY	3	是否使能 TRDY 中断请求 ● 1: 使能 ● 0: 不使能	-
IRRDY	4	是否使能 RRDY 中断请求 ● 1: 使能 ● 0: 不使能	-
IE	5	是否使能中断请求(TOE 或 ROE)	-
保留	6	保留	-

位名称(Bit Name)	位号	描述	备注
SSO	7	主机模式下, 用于选择从机。若置为 1, 则将 reg_ssmask 取反后的数据赋值给 SS_N_MASTER, 从而决定选择的从机	-

5.2.5 从机选择标志寄存器

在主机模式下, 用于选择从机, 并进行数据传输。从机选择标志寄存器对每个 SS_N 输出都有一个数据位, 将从机选择标志寄存器中的某一位置 1, 则使相应的 SS_N 低有效。例如, 从机选择标志寄存器中的二进制数据为 00000001, 则 SS_1 有效, 主机选择 SS_1 相应的从机进行通信。另, 同步 SRAM 接口 SPI 允许同时置位多个从机选择信号, 但必须注意避免 MISO 总线上的竞争。

在从机模式下, 同步 SRAM 接口 SPI 自己不能启动数据传输, 只有当 SS_N 输入为低时, 才可进行数据传输。

表 5-10 从机选择标志寄存器

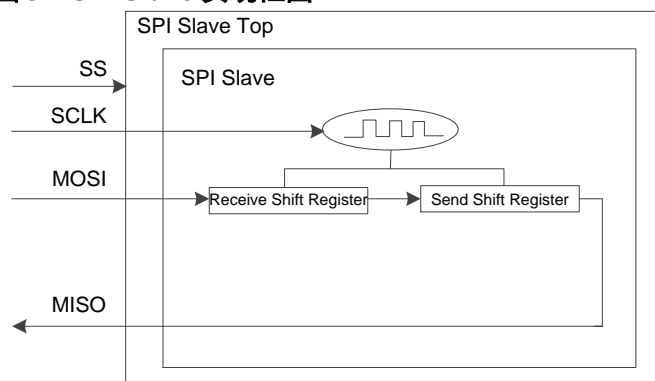
31	N	N-1	0
保留		Slave Select	

表 5-11 从机选择标志寄存器

位名(Bit Name)	位号	描述	备注
Slave Select	[N-1] - 0	低有效, N 默认为 <=8	-
保留	31 - N	保留	-

5.3 Gowin SPI Slave 实现

图 5-2 SPI Slave 实现框图



SPI Slave IP 主要包括数据接收模块和数据发送模块。

1. 接收数据

MOSI 数据在 SCLK 时钟作用下, 一位一位的传送给接收移位寄存器, 根据配置的参数 SHIFT_DIRECTION, 决定移位寄存器中的数据是 MSB-->LSB 还是 LSB-->MSB; 接收移位寄存器的位宽由配置参数 DATA_LENGTH 决定。

2. 发送数据

在 SCLK 时钟作用下, 发送移位寄存器中的数据, 一位一位的传送给 MISO, 根据配置参数 SHIFT_DIRECTION, 决定发送顺序是 MSB-->LSB 还是; LSB-->MSB 发送移位寄存器的位宽由配置参数 DATA_LENGTH 决

定。当发送(接收)位数达到所配置的 `DATA_LENGTH` 时，将接收移位寄存器中的数据传送给发送移位寄存器，从而实现 **Master** 与 **Slave** 的数据交换。

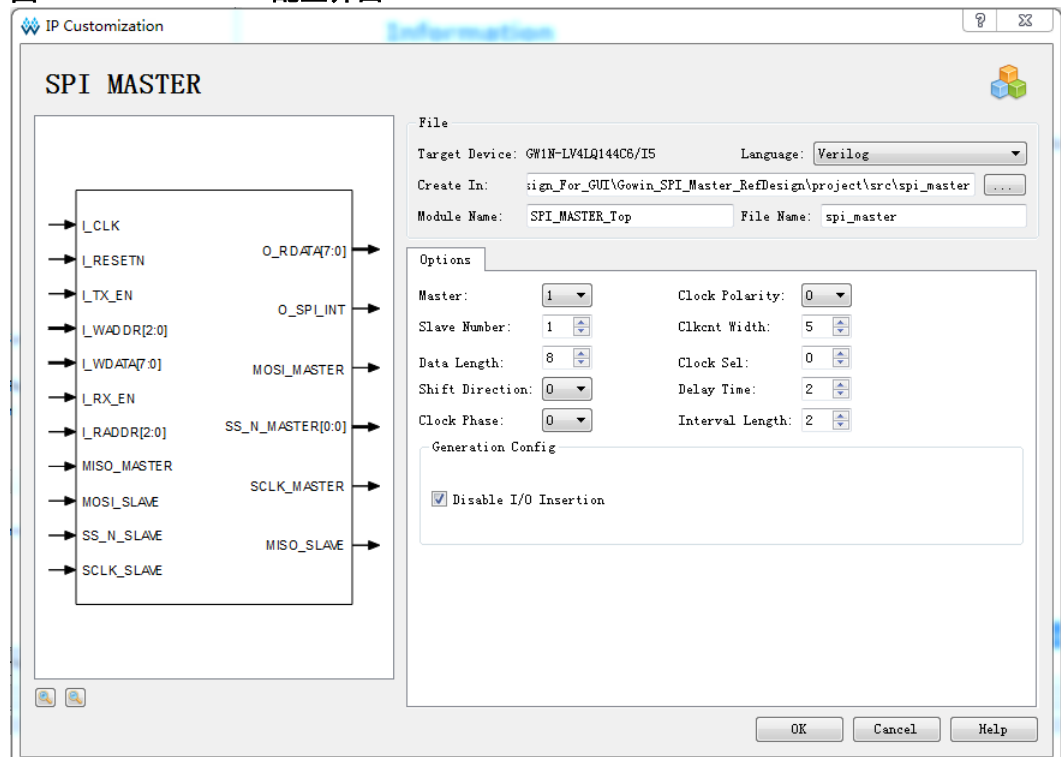
6 接口配置

用户可以使用 IDE 中的 IP 内核生成器工具调用和配置高云 SPI MASTER/SLAVE IP。

6.1 SPI MASTER IP 核接口

SPI MASTER 配置界面如图 6-1 所示。

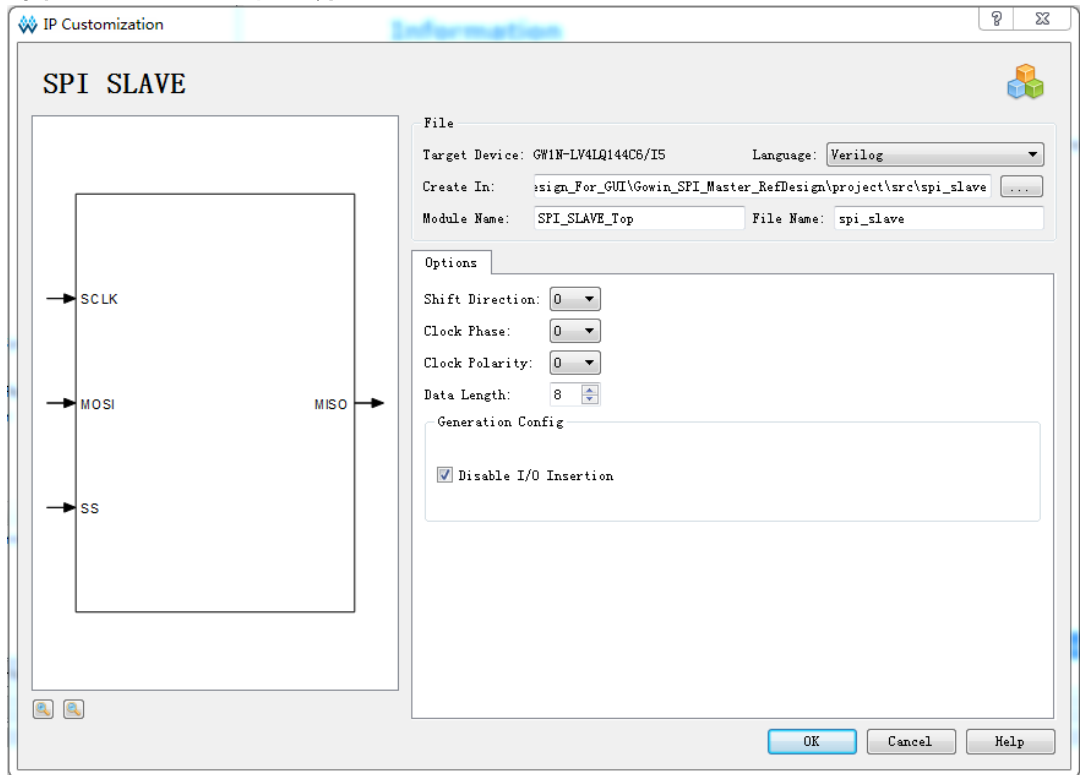
图 6-1 SPI MASTER 配置界面



6.2 SPI SLAVE IP 核接口

SPI SLAVE 配置界面如图 6-2 所示。

图 6-2 SPI SLAVE 配置界面



7 参考设计

详细信息请参见高云半导体官网 SPI 相关参考设计。

