




Gowin SPI Master & Slave IP 用户指南

IPUG510-1.5,2021-08-11

版权所有 © 2021 广东高云半导体科技股份有限公司

GOWIN高云, , Gowin, 高云均为广东高云半导体科技股份有限公司注册商标, 本手册中提到的其他任何商标, 其所有权利属其拥有者所有。未经本公司书面许可, 任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部, 并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可, 并未以明示或暗示, 或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外, 高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保, 包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等, 均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任, 高云半导体保留修改档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2018/06/28	1.0	初始版本。
2019/03/28	1.1	适用产品更新。
2019/05/08	1.2	原 AXI 接口转为 SRAM 接口。
2019/07/17	1.3	增加接口配置相关信息。
2019/09/25	1.4	SPI Master 作为 IP 发布，SPI Slave 作为开源参考设计。
2021/08/11	1.5	<ul style="list-style-type: none">● 增加部分 IP 寄存器说明内容；● 增加 SRAM 接口说明时序图。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 功能简介	3
2.1 概述	3
2.2 特性	3
2.2.1 Gowin SPI Master IP	3
2.2.2 Gowin SPI Slave	3
3 工作原理	4
3.1 系统框图	4
3.2 Gowin SPI Master IP 寄存器	4
3.2.1 接收寄存器	5
3.2.2 发送寄存器	5
3.2.3 状态寄存器	6
3.2.4 控制寄存器	6
3.2.5 从机选择标志寄存器	7
3.2.6 SRAM Interface 接口时序图	8
3.3 Gowin SPI Slave 实现	8
4 信号定义	10
4.1 Gowin SPI Master IP	10
4.1.1 SRAM 接口侧信号	10
4.1.2 SPI 侧信号	10
4.2 Gowin SPI Slave	11

5 参数定义	12
5.1 SPI Master 参数定义.....	12
5.2 SPI Slave 参数定义.....	13
6 接口配置	14
6.1 SPI MASTER IP 核接口	14
6.2 SPI SLAVE 参考设计工程	15
6.3 生成 bitstream 文件	15
7 参考设计	16

图目录

图 3-1 系统框图	4
图 3-2 SRAM Interface 接口时序图	8
图 3-3 SPI Slave 实现框图	8
图 6-1 SPI MASTER 配置界面	14
图 6-2 SPI SLAVE 工程打开	15

表目录

表 1-1 术语、缩略语	1
表 3-1 Gowin SPI Master IP 寄存器	5
表 3-2 接收寄存器	5
表 3-3 接收寄存器	5
表 3-4 发送寄存器	5
表 3-5 发送寄存器	5
表 3-6 状态寄存器	6
表 3-7 状态寄存器	6
表 3-8 控制寄存器	6
表 3-9 控制寄存器	6
表 3-10 从机选择标志寄存器	7
表 3-11 从机选择标志寄存器	7
表 4-1 SRAM 接口侧信号定义	10
表 4-2 SPI 侧信号定义	10
表 4-3 SPI Slave 信号定义	11
表 5-1 SPI Master 参数	12
表 5-2 SPI Slave 参数	13

1 关于本手册

1.1 手册内容

Gowin SPI Master 和 Slave IP 用户指南主要包括功能简介、信号定义、工作原理、GUI 调用等,旨在帮助用户快速了解 Gowin SPI Master IP 和 Slave 参考设计的特性及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档:

- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS821, GW1NS 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
- [DS841, GW1NZ 系列 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
SRAM	Static Random Access Memory	静态随机存取存储器
SPI	Serial Peripheral Interface	串行外设接口

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 功能简介

2.1 概述

SPI(Serial Peripheral Interface)总线是一种同步的高速、全双工的数据通信总线。它允许 MCU 与各种外围设备之间以串行方式进行通信和数据交换。它只使用四根信号线，节约了芯片的管脚，为 PCB 的布局上节省空间。因为 SPI 总线具有简单易用的特性，现在越来越多的芯片内部集成了这种通信协议。Gowin SPI Master IP 为带有同步 SRAM 接口的 SPI Master 控制器。

Gowin SPI Slave 参考设计遵循 SPI 总线协议，具有发送/接收功能，可用于验证与 SPI Master 之间的通信功能。

2.2 特性

2.2.1 Gowin SPI Master IP

- 全双工同步串行数据传输；
- 支持主从两种工作模式；
- 根据 SPI 运行状态，产生相应的中断信号；
- SPI 产生的串行时钟频率可配置；
- 支持可配置的时钟极性和相位；
- 数据接收寄存器和数据发送寄存器可配置为 8-32 位宽；
- 可选择优先传输最低位或最高位数据。

2.2.2 Gowin SPI Slave

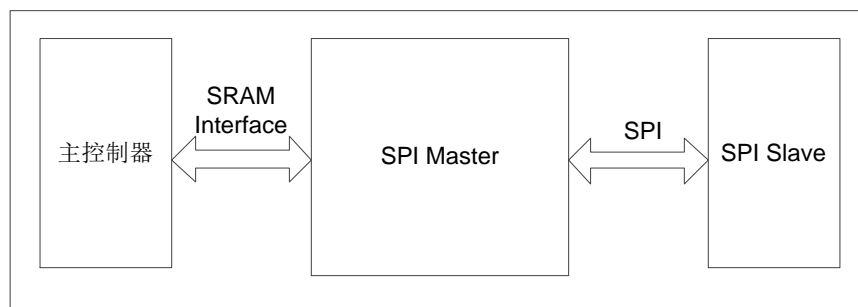
- 全双工同步串行数据传输；
- 支持可配置的时钟极性和相位；
- 可选择优先传输最低位或最高位数据；
- 数据接收寄存器和数据发送寄存器可配置为 8-32 位宽。

3 工作原理

3.1 系统框图

如图 3-1 所示。主控制器将指令或数据通过同步 SRAM 接口传送给 SPI Master IP，然后 SPI Master IP 通过 SPI 下发给 SPI Slave；或将 SPI Slave 的数据通过同步 SRAM 接口上传给主控制器。

图 3-1 系统框图



3.2 Gowin SPI Master IP 寄存器

Gowin SPI Master IP 共有 5 个寄存器：

- 接收寄存器
- 发送寄存器
- 状态寄存器
- 控制寄存器
- 从机选择标志寄存器

表 3-1 Gowin SPI Master IP 寄存器

寄存器名称	寄存器地址	默认位宽	类型	描述
接收寄存器	0x00	8	只读	接收寄存器
发送寄存器	0x01	8	写/读	发送寄存器
状态寄存器	0x02	8	只读	状态寄存器
控制寄存器	0x03	8	写/读	控制寄存器
从机选择标志寄存器	0x04	8	写/读	从机选择标志寄存器

3.2.1 接收寄存器

在数据接收路径中，来自 SPI 总线上的 MISO 数据送至接收移位寄存器中，当接收移位寄存器满时，则将其中的数据发送给接收寄存器，同时将 RRDY(receive ready)信号置为 1。可通过同步 SRAM 接口将接收寄存器中的数据读出，在对接收寄存器进行读操作时，RRDY 信号置为 0，若 rrdy 信号为 1，则说明有新数据送给接收寄存器，则接收寄存器中的数据会被新数据覆盖掉，此时，ROE(receive overrun error)信号置为 1。

表 3-2 接收寄存器

N-1	reg_rxdata(DN-1 - D0)	0
-----	-----------------------	---

表 3-3 接收寄存器

位数	名称	类型	描述	备注
(N-1) - 0	reg_rxdata (DN-1 - D0)	只读	N 可以为 8,16 或 32	-

3.2.2 发送寄存器

在数据发送路径中，来自同步 SRAM 接口上的数据传输至发送寄存器。当向发送寄存器中写数据时，状态寄存器中的 TRDY(transmit ready)位置 0。若此时总线上没有数据传输，则发送寄存器中的数据传送给发送移位寄存器，并将 trdy 置 1，若 TRDY 为 0，说明有新数据传输至发送寄存器，则将 TOE(transmit overrun error)置为 1。

表 3-4 发送寄存器

N-1	Reg_txddata(DN-1 - D0)	0
-----	------------------------	---

表 3-5 发送寄存器

位数	名称	类型	描述	备注
(N-1) - 0	Reg_txddata (DN-1 - D0)	写/读	N 可以为 8,16 或 32	-

3.2.3 状态寄存器

同步 SRAM 接口 SPI 含有状态寄存器和控制寄存器，这两个寄存器主要用来触发和清除中断信号。

状态寄存器用于检查同步 SRAM 接口 SPI 的工作状态，主要描述了是否数据接收或发送超限、数据移位寄存器是否为空、发送和接收是否完成准备。

表 3-6 状态寄存器

31	8	7	6	5	4	3	2	1:0
		E	RRDY	TRDY	TMT	TOE	ROE	保留

表 3-7 状态寄存器

位名称(Bit Name)	位号	描述	备注
保留	1:0	保留	-
ROE	2	Receive Overrun Error 1: error。接收数据超限，即在对接收寄存器读操作时，又有数据写入。当出现 ROE 时，若对该位写入一次‘1’，则可进行一次 ROE 清除及 IROE 中断清除操作。	-
TOE	3	Transmit Overrun Error 1: error。发送数据超限，即发送寄存器中的数据传至发送移位寄存器时，又有新的数据传至发送寄存器中。当出现 TOE 时，若对该位写入一次‘1’，则可进行一次 TOE 清除及 ITOE 中断清除操作。	-
TMT	4	1: empty。即发送移位寄存器为空	-
TRDY	5	1: 发送寄存器准备好发送数据	-
RRDY	6	1: 接收寄存器准备好接收数据	-
E	7	1: error，是 ROE 和 TOE 进行的逻辑或运算。	-

3.2.4 控制寄存器

同步 SRAM 接口 SPI 控制寄存器主要用于设置中断使能信号，其中 Gowin SPI Master IP 接口中的中断输出信号 O_SPI_INT 是由以下的 IROE、ITOE、ITRDY、IRRDY 进行逻辑或处理后产生的。

表 3-8 控制寄存器

31	8	7	6	5	4	3	2	1	0
		SSO	保留	IE	IRRDY	ITRDY	保留	ITOE	IROE

表 3-9 控制寄存器

位名称(Bit Name)	位号	描述	备注
IROE	0	是否使能 ROE 中断请求 1: 使能	-

位名称(Bit Name)	位号	描述	备注
		0: 不使能	
ITOE	1	是否使能TOE中断请求 1: 使能 0: 不使能	-
保留	2	保留	-
ITRDY	3	是否使能TRDY中断请求 1: 使能 0: 不使能 当用户向发送寄存器写入一次数据时, 会自动清除ITRDY中断一次	-
IRRDY	4	是否使能RRDY中断请求 1: 使能 0: 不使能 当用户向接收寄存器读取一次数据时, 会自动清除IRRDY中断一次	-
IE	5	是否使能中断请求(只针对TOE或ROE)	-
保留	6	保留	-
SSO	7	主机模式下, 用于选择从机。若置为1, 则将reg_ssmask取反后的数据赋值给SS_N_MASTER, 从而决定选择的从机。	-

3.2.5 从机选择标志寄存器

在主机模式下, 用于选择从机, 并进行数据传输。从机选择标志寄存器对每个SS_N输出都有一个数据位, 将从机选择标志寄存器中的某一位置1, 则使相应的SS_N低有效。例如, 从机选择标志寄存器中的二进制数据为00000001, 则SS_1有效, 主机选择SS_1相应的从机进行通信。另, 同步SRAM接口SPI允许同时置位多个从机选择信号, 但必须注意避免MISO总线上的竞争。

在从机模式下, 同步SRAM接口SPI自己不能启动数据传输, 只有当SS_N输入为低时, 才可进行数据传输。

表 3-10 从机选择标志寄存器

31	N	N-1	0
保留		Slave Select	

表 3-11 从机选择标志寄存器

位名(Bit Name)	位号	描述	备注
Slave Select	[N-1] - 0	低有效, N默认为<=8	-
保留	31 - N	保留	-

3.2.6 SRAM Interface 接口时序图

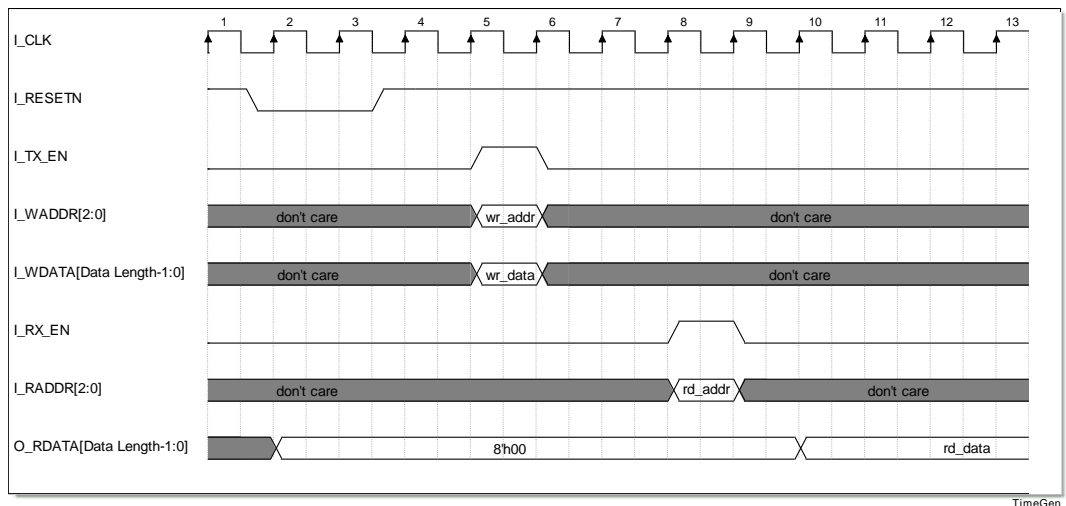
SPI Master IP 可通过同步 SRAM 接口接收主控制器的指令或数据，也可以返回数据给主控制器。

若主控制器需要通过同步 SRAM 接口进行写操作，则需要将 I_TX_EN 信号拉高至少一个 I_CLK 时钟周期，同时输入 I_WADDR、I_WDATA 信号，一个 I_CLK 时钟即可对一个有效地址写入一次数据。

若主控制器需要通过同步 SRAM 接口进行读操作，则需要将 I_RX_EN 信号拉高至少一个 I_CLK 时钟周期，同时输入 I_RADDR 信号，当接口在某一个 I_CLK 时钟上升沿检测到有读操作请求后，至少再等待一个周期后会返回对应数据，一个 I_CLK 时钟即可对一个有效地址读取一次数据。

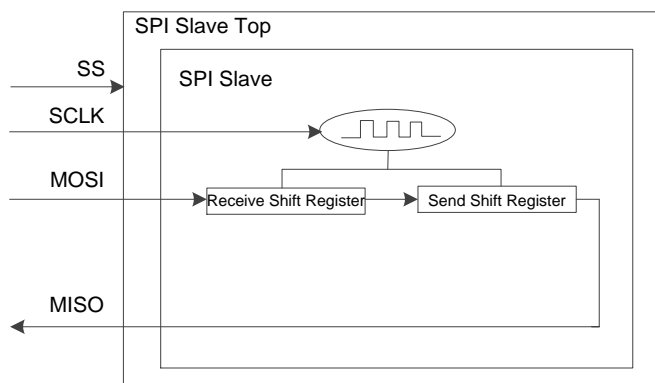
SPI Master IP 同步 SRAM 接口写/读操作时序如图 3-2 所示。

图 3-2 SRAM Interface 接口时序图



3.3 Gowin SPI Slave 实现

图 3-3 SPI Slave 实现框图



SPI Slave 参考设计主要包括数据接收模块和数据发送模块。

1. 接收数据

MOSI 数据在 SCLK 时钟作用下，一位一位的传送给接收移位寄存器，

根据配置的参数 **SHIFT_DIRECTION**，决定移位寄存器中的数据是 **MSB-->LSB** 还是 **LSB-->MSB**；接收移位寄存器的位宽由配置的参数 **DATA_LENGTH** 决定。

2. 发送数据

在 **SCLK** 时钟作用下，发送移位寄存器中的数据，一位一位的传送给 **MISO**，根据配置的参数 **SHIFT_DIRECTION**，决定发送顺序是 **MSB-->LSB** 还是 **LSB-->MSB** 发送移位寄存器的位宽由配置的参数 **DATA_LENGTH** 决定。当发送(接收)位数达到所配置的 **DATA_LENGTH** 时，将接收移位寄存器中的数据传送给发送移位寄存器，从而实现 **Master** 与 **Slave** 的数据交换。

4 信号定义

4.1 Gowin SPI Master IP

4.1.1 SRAM 接口侧信号

表 4-1 SRAM 接口侧信号定义

序号	信号名称	方向	描述	备注
1	I_CLK	I	工作时钟，上升沿采样	-
2	RESETN	I	复位信号	-
3	I_TX_EN	I	写使能信号	SRAM 写地址通道信号
4	I_WADDR[2:0]	I	写地址信号	
5	I_WDATA[Data Length -1:0]	I	写数据信号	
6	I_RX_EN	I	读使能信号	SRAM 读地址通道信号
7	I_RADDR[2:0]	I	读地址信号	
8	O_RDATA[Data Length -1:0]	O	读数据信号	

4.1.2 SPI 侧信号

表 4-2 SPI 侧信号定义

序号	信号名称	方向	描述	备注
1	SCLK_MASTER	output	串行时钟	主机模式
2	SS_N_MASTER	output	从机选择信号，低有效	
3	MOSI_MASTER	output	主机输出从机输入	
4	MISO_MASTER	input	主机输入从机输出	
5	SCLK_SLAVE	input	串行时钟	从机模式
6	SS_N_SLAVE	input	从机选择信号，低有效	
7	MOSI_SLAVE	input	主机输出从机输入	
8	MISO_SLAVE	output	主机输入从机输出	
9	O_SPI_INT	output	中断信号	

4.2 Gowin SPI Slave

表 4-3 SPI Slave 信号定义

序号	信号名称	方向	描述	备注
1	SCLK	input	时钟信号	-
2	SS	input	从机选择信号	-
3	MOSI	input	主机输出从机输入	-
4	MISO	output	主机输入从机输出	-

5 参数定义

5.1 SPI Master 参数定义

表 5-1 SPI Master 参数

序号	名称	描述	值
1	Master	指定 SPI 为工作在主机模式或从机模式 0: 从机模式 1: 主机模式	0/1
2	Slave Number	指定可支持的从机数量	1-32
3	Data Length	指定串行数据的位宽	8-32
4	Shift Direction	指定优先传输数据的最高位(MSB)或最低位(LSB) 0: 优先传输 MSB 1: 优先传输 LSB	0/1
5	Clock Phase	指定 SPI 的时钟相位 0: 数据在 SCLK 的第一个沿有效 1: 数据在 SCLK 的第二个沿有效	0/1
6	Clock Polarity	指定 SPI 的时钟极性 0: SCLK 高电平有效 1: SCLK 低电平有效	0/1
7	Clkcnt Width	指定 clock 计数器的范围, 位宽需足够宽以满足 SCLK 的数据宽度。	1-32
8	Clock Sel	指定由 I_CLK 分频产生 SCLK 所需的分频系数, SCLK 可通过以下公式计算: $SCLK = I_CLK / (2 * (CLOCK_SEL + 1))$ 。	0-2clkcnt_width-1
9	Delay Time	指定 SS_N 信号有效后, 在进行第一位数据传输前需等待的延迟时间。所等待的延迟时间可通过以下公式计算: $Delay = DELAY_TIME * (SCLK\ period / 2)$ 。	0-63
10	Interval Length	指定当 SPI 传输请求后, SS_N 信号需等待的 SCLK 周期数。	0-63

5.2 SPI Slave 参数定义

表 5-2 SPI Slave 参数

序号	名称	描述	值	备注
1	Shift Direction	指定优先传输数据的最高位(MSB)或最低位(LSB): 0: 优先传输最高位 1: 优先传输最低位	0/1	-
2	Clock Phase	指定 SPI 的时钟相位: 0: 数据在 SCLK 的第一个沿有效 1: 数据在 SCLK 的第二个沿有效	0/1	-
3	Clock Polarity	指定 SPI 的时钟极性: 0: 则 SCLK 高电平有效 1: 则 SCLK 低电平有效	0/1	-
4	Data Length	指定串行数据的位宽	8-32	-

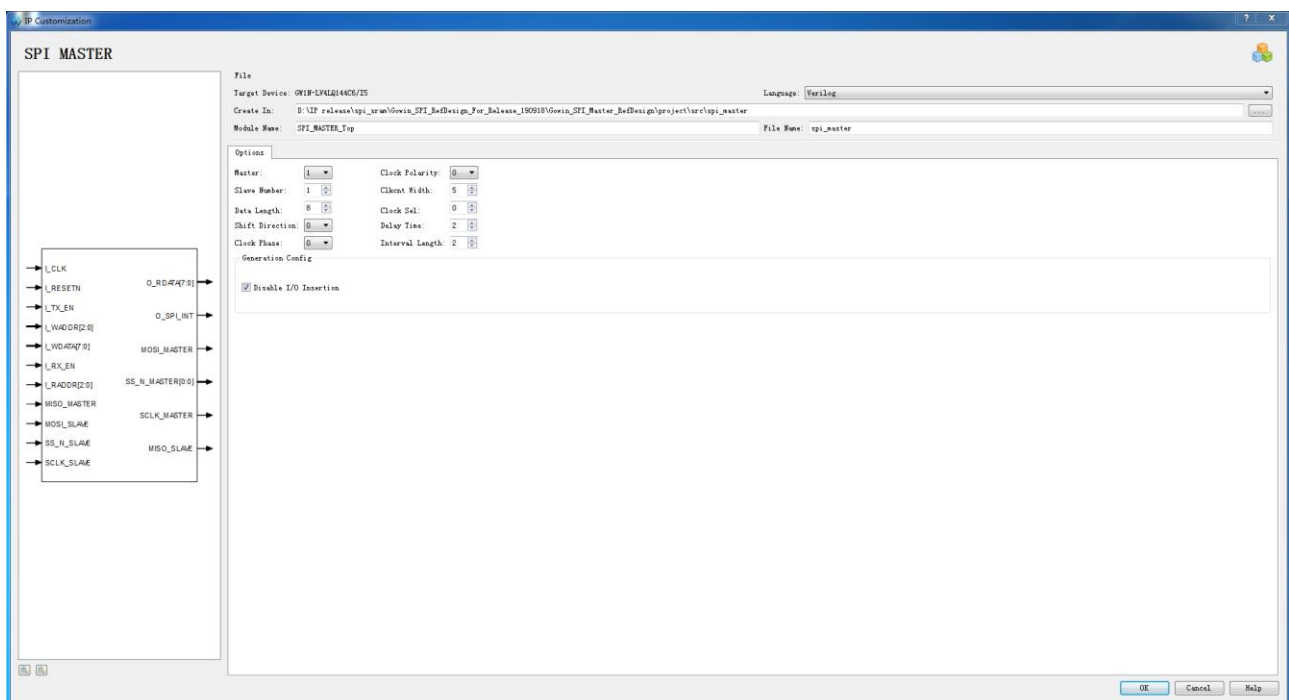
6 接口配置

用户可以使用 IDE 中的 IP 内核生成器工具调用和配置高云 SPI MASTER IP。

6.1 SPI MASTER IP 核接口

SPI MASTER 配置界面如图 6-1 所示。

图 6-1 SPI MASTER 配置界面



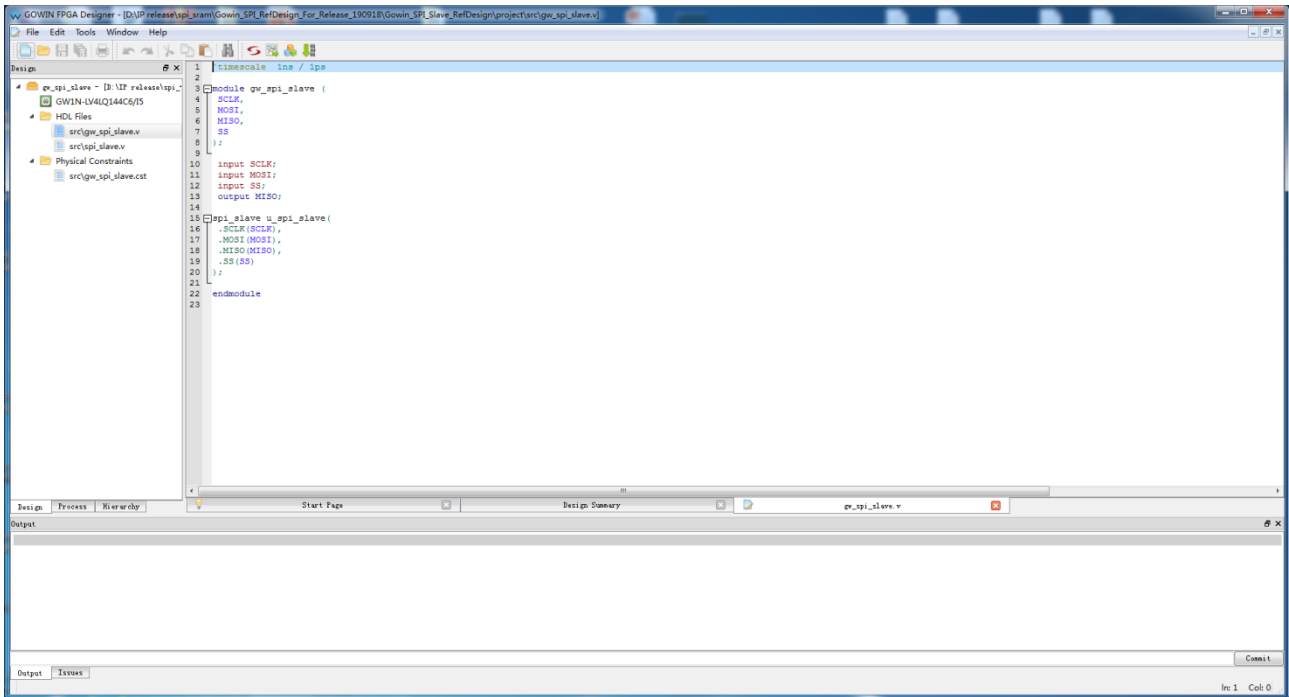
6.2 SPI SLAVE 参考设计工程

启动 Gowin 云源软件后，单击“File> Open ...”，打开“Open File”对话框，选择所需工程文件 (*.gprj)，打开工程，如图 6-2 所示。

注！

有三种方式打开工程，其它打开工程方式请参考 [SUG100](#)，[Gowin 云源软件用户指南](#)。

图 6-2 SPI SLAVE 工程打开



6.3 生成 bitstream 文件

进行必要的约束后，通过综合、布局布线产生 bitstream 文件。通过 Gowin 下载线将 bitstream 文件下载至开发板或测试板，可通过测试接口观测通信情况。

7 参考设计

详细信息请参见高云半导体官网 [SPI 相关参考设计](#)。

