



Gowin UART Master & Slave IP 用户指南

IPUG511-1.3,2019-07-22

版权所有©2019 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2018/06/28	1.0	初始版本。
2019/03/28	1.1	适用产品更新。
2019/05/08	1.2	原 AXI 接口转为 SRAM 接口。
2019/07/22	1.3	增加接口配置相关说明。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语	2
1.5 技术支持与反馈	2
2 功能简介	3
2.1 概述	3
2.2 特性	3
2.2.1 Gowin UART Master IP	3
2.2.2 Gowin UART Slave IP	3
3 信号定义	4
3.1 Gowin UART Master IP	4
3.1.1 SRAM 接口侧信号	4
3.1.2 UART 侧信号	4
3.2 Gowin UART Slave IP	5
4 工作原理	6
4.1 系统框图	6
4.2 Gowin UART Master IP 寄存器	6
4.2.1 接收缓存寄存器(RBR)	7
4.2.2 发送保持寄存器(THR)	7
4.2.3 中断使能寄存器(IER)	7
4.2.4 中断标识寄存器(IIR)	8
4.2.5 线控制寄存器(LCR)	8
4.2.6 调制解调控制寄存器(MCR)	9
4.2.7 线状态寄存器(LSR)	10
4.2.8 调制解调状态寄存器(MSR)	11
4.3 Gowin UART Slave 实现	12

5 接口配置	13
5.1 UART MASTER IP 核接口	13
5.2 UART SLAVE IP 核接口	14
6 参考设计	15

图目录

图 4-1 系统框图	6
图 4-2 接收缓存寄存器	7
图 4-3 发送保持寄存器	7
图 4-4 中断使能寄存器	7
图 4-5 中断标识寄存器	8
图 4-6 线控制寄存器	8
图 4-7 调制解调控制寄存器	9
图 4-8 线状态寄存器	10
图 4-9 调制解调状态寄存器	12
图 4-10 UART Slave 实现框图	12
图 5-1 UART MASTER 配置界面	13
图 5-2 UART SLAVE 配置界面	14

表目录

表 1-1 术语、缩略语	2
表 3-1SRAM 接口侧信号定义	4
表 3-2 UART 侧信号定义	4
表 3-3 UART Slave 信号定义	5
表 4-1 Gowin UART Master IP 寄存器	7
表 4-2 接收缓存寄存器位定义	7
表 4-3 发送保持寄存器位定义	7
表 4-4 中断使能寄存器位定义	8
表 4-5 中断标识寄存器位定义	8
表 4-6 线控制寄存器	9
表 4-7 调制解调控制寄存器	9
表 4-8 线状态寄存器	11
表 4-9 调制解调状态寄存器	12

1 关于本手册

1.1 手册内容

Gowin UART Master 和 Slave IP 用户指南主要包括功能简介、信号定义、工作原理、GUI 调用等，旨在帮助用户快速了解 Gowin UART Master 和 Slave IP 的特性及使用方法。

1.2 适用产品

本手册中描述的信息适用于以下产品：

1. GW1N 系列 FPGA 产品：GW1N-1、GW1N-1S、GW1N-2、GW1N-2B、GW1N-4、GW1N-4B、GW1N-6、GW1N-9
2. GW1NR 系列 FPGA 产品：GW1NR-4、GW1NR-4B、GW1NR-9
3. GW1NS 系列 FPGA 产品：GW1NS-2、GW1NS-2C
4. GW1NSR 系列 FPGA 产品：GW1NSR-2、GW1NSR-2C
5. GW1NZ 系列 FPGA 产品：GW1NZ-1
6. GW2A 系列 FPGA 产品：GW2A-18、GW2A-55
7. GW2AR 系列 FPGA 产品：GW2AR-18

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS100](#)，GW1N 系列 FPGA 产品数据手册
- [DS117](#)，GW1NR 系列 FPGA 产品数据手册
- [DS821](#)，GW1NS 系列 FPGA 产品数据手册
- [DS861](#)，GW1NSR 系列 FPGA 产品数据手册
- [DS841](#)，GW1NZ 系列 FPGA 产品数据手册
- [DS102](#)，GW2A 系列 FPGA 产品数据手册
- [DS226](#)，GW2AR 系列 FPGA 产品数据手册
- [SUG100](#)，Gowin 云源软件用户指南

1.4 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
SRAM	Static Random Access Memory	静态随机存取存储器
UART	Universal Asynchronous Receiver/Transmitter	通用异步收发传输器

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 功能简介

2.1 概述

通用异步收发传输器(Universal Asynchronous Receiver/Transmitter), 通常称作 UART, 是一种异步收发传输器。

Gowin UART Master 为带有同步 SRAM 接口的 UART Master 控制器, 外部连接标准 RS-232 接口。数据在串行通信与并行通信间进行传输转换。

Gowin UART Slave IP 具有接收、发送数据的功能, 主要用于与 UART Master 通信。

2.2 特性

2.2.1 Gowin UART Master IP

- 支持 5 位、6 位、7 位或 8 位数据位;
- 支持奇校验、偶校验或无校验;
- 支持 1 位、1.5 位或 2 位停止位;
- 内置波特率发生器;
- 具有调制解调控制功能;
- 具有 16 字节深度的发送和接收 FIFO。

2.2.2 Gowin UART Slave IP

具有发送与接收功能;

- 支持 5 位、6 位、7 位或 8 位数据位;
- 支持奇校验、偶校验或无校验;
- 支持 1 位、1.5 位或 2 位停止位。

3 信号定义

3.1 Gowin UART Master IP

3.1.1 SRAM 接口侧信号

表 3-1 SRAM 接口侧信号定义

序号	信号名称	方向	描述	备注
1	I_CLK	I	工作时钟，上升沿采样	-
2	I_RESETN	I	复位信号	-
3	I_TX_EN	I	写使能信号	SRAM写地址通道信号
4	I_WADDR	I	写地址信号	
5	I_WDATA	I	写数据信号	
6	I_RX_EN	I	读使能信号	SRAM读地址通道信号
7	I_RADDR	I	读地址信号	
8	O_RDATA	O	读数据信号	

3.1.2 UART 侧信号

表 3-2 UART 侧信号定义

序号	信号名称	方向	描述	备注
1	SIN	I	串行数据输入	-
2	RxRDYn	O	接收准备好	-
3	SOUT	O	串行数据输出	-
4	TxRDYn	O	发送准备好	-
5	DDIS	O	禁用驱动	-
6	INTR	O	中断信号	-
7	DCDn	I	数据载波检测，低有效	Modem接口
8	CTSn	I	运行发送，低有效	
9	DSRn	I	数据通信设备准备好，低有效	
10	RIn	I	振铃提示，低有效	
11	DTRn	O	数据终端准备好，低有效	
12	RTSn	O	请求发送，低有效	

3.2 Gowin UART Slave IP

表 3-3 UART Slave 信号定义

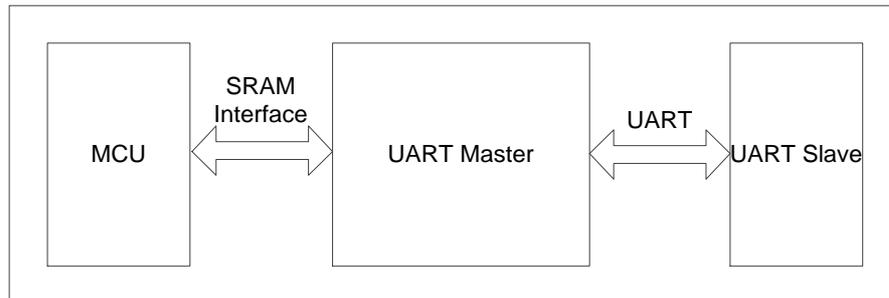
序号	信号名称	方向	描述	备注
1	SCLK	I	时钟信号	-
2	RSTN	I	复位信号	-
3	TXD	O	串行输出信号	-
4	RXD	I	串行输入信号	-

4 工作原理

4.1 系统框图

UART Master IP 起到一个“桥梁”的作用。主控制器将指令或数据通过同步 SRAM 接口传送给 UART Master IP，然后 UART Master IP 通过 UART 下发给 UART Slave；或将 UART Slave 的数据通过同步 SRAM 接口上传给主控制器。如图 4-1 所示。

图 4-1 系统框图



4.2 Gowin UART Master IP 寄存器

Gowin UART Master IP 共有 8 个寄存器：

- 接收缓存寄存器(RBR)
- 发送保持寄存器(THR)
- 中断使能寄存器(IER)
- 中断标识寄存器(IIR)
- 线控制寄存器(LCR)
- 调制解调控制寄存器(MCR)
- 线状态寄存器(LSR)
- 调制解调状态寄存器(MSR)

注！

接收缓存寄存器(RBR)和发送保持寄存器(THR)地址相同，均为 0x00。

表 4-1 Gowin UART Master IP 寄存器

寄存器名称	寄存器地址	寄存器位宽	类型	描述
RBR	0x00	8	读	接收缓存寄存器
THR	0x00	8	写	发送保持寄存器
IER	0x01	8	写	中断使能寄存器
IIR	0x02	8	读	中断标识寄存器
LCR	0x03	7	写	线控制寄存器
MCR	0x04	8	写	调制解调控制寄存器
LSR	0x05	7	读	线状态寄存器
MSR	0x06	8	读	调制解调状态寄存器

4.2.1 接收缓存寄存器(RBR)

接收缓存寄存器如图 4-2 所示，寄存器的具体位定义如表 4-2 所示。

图 4-2 接收缓存寄存器

31 保留	8	7 RBR	0
----------	---	----------	---

表 4-2 接收缓存寄存器位定义

比特	名称	默认值	访问类型	描述
31:8	保留	N/A	N/A	保留
7:0	RBR	0x0	读	缓存最后接收到的字节

4.2.2 发送保持寄存器(THR)

发送保持寄存器如图 4-3 所示。发送保持寄存器含有下一次将要发送的数据。具体位定义如表 4-3 所示。

图 4-3 发送保持寄存器

31 保留	8	7 THR	0
----------	---	----------	---

表 4-3 发送保持寄存器位定义

比特	名称	默认值	访问类型	描述
31:8	保留	N/A	N/A	保留
7:0	THR	0x0	写	保持最后发送的字节

4.2.3 中断使能寄存器(IER)

中断使能寄存器如图 4-4 所示。中断使能寄存器包含使中断有效的位。位定义如表 4-4 所示。

图 4-4 中断使能寄存器

31 保留	8	7 0000	4	3 MSI	2 RLSI	1 THRI	0 RHRI
----------	---	-----------	---	----------	-----------	-----------	-----------

表 4-4 中断使能寄存器位定义

比特	名称	默认值	访问类型	描述
31 4	保留	N/A	N/A	保留
3	MSI	0x0	写	Modem 状态中断使能 ● 0: 禁用 Modem 状态中断 ● 1: 启用 Modem 状态中断
2	RLSI	0x0	写	接收线状态中断使能 ● 0: 禁用接收线状态中断 ● 1: 启用接收线状态中断
1	THRI	0x0	写	发送保持寄存器空中断使能 ● 0: 禁用发送保持寄存器空中断 ● 1: 启用发送保持寄存器空中断
0	RBRI	0x0	写	接收数据有效中断使能 ● 0: 禁用接收数据有效中断 ● 1: 启用接收数据有效中断

4.2.4 中断标识寄存器(IIR)

中断标识寄存器如图 4-5 所示。中断标识寄存器包含中断标识的优先级，位定义如表 4-5 所示。

图 4-5 中断标识寄存器

31 8	7 4	3	2	1	0
保留	0000	INT2	INT1	INT0	INT STAT

表 4-5 中断标识寄存器位定义

比特	名称	默认值	访问类型	描述
31:4	保留	N/A	N/A	保留
3	INT2	0x0	读	FIFO 使能 ● 0:16450 mode ● 1:16550 mode
2	INT1	0x0	读	中断标识 ● 11: 接收线状态(最高优先级) ● 10: 接收数据可用(第二级) ● 01: 发送保持寄存器空(第三级) ● 00: 调制解调器状态(第四级)
1	INT0			
0	INT STAT	0x1	读	0: 中断正在等待 1: 没有中断正在等待

4.2.5 线控制寄存器(LCR)

线控制寄存器如图 4-6 所示。线控制寄存器包含串行通信配置位，位定义如表 4-6 所示。

图 4-6 线控制寄存器

31 7	6	5	4	3	2	1 0
保留	SB	SP	EPS	EPN	STB	WLS

表 4-6 线控制寄存器

比特	名称	默认值	访问类型	描述
31:7	保留	N/A	写	保留
6	SB	0x0	写	设置中断 <ul style="list-style-type: none"> ● 1: 启动中断 ● 0: 禁用中断
5	SP	0x0	写	强制奇偶校验 <ul style="list-style-type: none"> ● 1: 当 3,4 位是逻辑 1 时, 发送奇偶校验位并强制为逻辑 0; 当位 4 是逻辑 0, 位 3 是逻辑 1, 则发送奇偶校验位并强制为逻辑 1 ● 0: 禁用强制奇偶校验
4	EPS	0x0	写	校验选择 <ul style="list-style-type: none"> ● 1: 选择偶校验 ● 0: 选择奇校验
3	PEN	0x0	写	奇偶校验使能 <ul style="list-style-type: none"> ● 1: 启用奇偶校验 ● 0: 禁用奇偶校验
2	STB	0x0	写	停止位数量 <ul style="list-style-type: none"> ● 0: 1 个停止位 ● 1: 2 个停止位, 选择传输 5 个数据位时 1.5 个停止位。接收只检测一个停止位, 不关心所选择的停止位的数量。
1:0	WLS	0x0	写	字节长度选择 <ul style="list-style-type: none"> ● 00: 5 位数据 ● 01: 6 位数据 ● 10: 7 位数据 ● 11: 8 位数据

4.2.6 调制解调控制寄存器(MCR)

调制解调控制寄存器如图 4-7 所示。调制解调控制寄存器包含调制解调信号配置位, 位定义如表 4-7 所示。

图 4-7 调制解调控制寄存器

31	8	7	2	1	0
保留		000000		RTS	DTR

表 4-7 调制解调控制寄存器

比特	名称	默认值	访问类型	描述
31:8	保留	N/A	N/A	保留
7:2	N/A	0x0	写	一直为“000000”
1	RTS	0x0	写	请求发送 <ul style="list-style-type: none"> ● 1: 驱动 RTSn 信号为低 ● 0: 驱动 RTSn 信号为高
0	DTR	0x0	写	数据端准备好 <ul style="list-style-type: none"> ● 1: 驱动 DTRn 信号为低 ● 0: 驱动 DTRn 信号为高

4.2.7 线状态寄存器(LSR)

线状态寄存器如图 4-8 所示。线状态寄存器包含当前的发送和接收状态，位定义如

表 4-8 所示。

图 4-8 线状态寄存器

31	7	6	5	4	3	2	1	0
保留		TEMT	THRE	BI	FE	PE	OE	RxRDY

表 4-8 线状态寄存器

比特	名称	默认值	访问类型	描述
31:7	保留	N/A	N/A	保留
6	TEMT	0x1	读	发送为空 <ul style="list-style-type: none"> ● 0: THR 或发送移位寄存器含有数据 ● 1: THR 或发送移位寄存器为空, 在 FIFO 模式中, 发送 FIFO 和移位寄存器都为空
5	THRE	0x1	读	发送保持寄存器(THR)为 <ul style="list-style-type: none"> ● 0: THR 或 FIFO 有数据要发送 ● 1: THR 为空, 在 FIFO 模式下, 发送 FIFO 为空
4	BI	0x0	读	通讯中断(Break Interrupt)。当 SIN 在整个数据传输(起始位+数据位+奇偶校验位+停止位)中保持为低电平, 设置此中断
3	FE	0x0	读	帧错误。传输丢失了一个停止位, 在帧错误后, UART 假设帧错误是由下次传输的起始位造成的, 通过采样起始位两次并接收接下来的数据, 来尝试重新同步
2	PE	0x0	读	奇偶校验错误 指接收到的数据没有正确的偶数或奇数位, 与通过校验选择位设置的不一致
1	OE	0x0	读	溢出错误 RBR 没有在下次数据接收前读出, 因此破坏了之前的数据。在 FIFO 模式下, 溢出错误发送情况为 FIFO 已经满, 而接收移位寄存器已经完成了下次数据的接收
0	RxRDY	0x0	读	数据准备好 <ul style="list-style-type: none"> ● 0: 所有 RBR 和 FIFO 已经读出 ● 1: 数据已经接收, 并传输到 RBR 的 FIFO 中

4.2.8 调制解调状态寄存器(MSR)

调制解调状态寄存器如图 4-9 所示。调制解调状态寄存器包含当前调制解调接口的状态, 位定义如表 4-9 所示。

图 4-9 调制解调状态寄存器

31	8	7	6	5	4	3	2	1	0
保留		DCD	RI	DSR	CTS	DDCD	TERI	DDSR	DCTS

表 4-9 调制解调状态寄存器

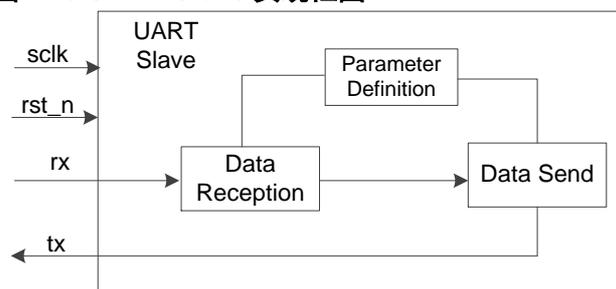
比特	名称	默认值	访问类型	描述
31:8	保留	N/A	N/A	保留
7	DCD	X	读/写	数据载波检测(低有效) 0: 数据载波已经被 Modem 或数据设备检测到
6	RI	X	读/写	振铃提示
5	DSR	X	读/写	数据通信设备准备好(低有效) 0: Modem 或数据设备准备好与 UART 建立连接
4	CTS	X	读/写	允许发送(低有效) 0: Modem 或数据设备准备好交换数据
3	DDCD	0x0	读/写	Delta Data Carrier Detect. Change in DCDN after last MSR read.
2	TERI	0x0	读/写	Trailing Edge Ring Indicator. RIN has changed from a low to a High.
1	DDSR	0x0	读/写	Delta Data Set Ready. Change in DSRN after last MSR read.
0	DCTS	0x0	读/写	Delta Clear To Send. Change in CTSN after last MSR read.

注!

默认值为 X: 表示这一位被外部输入信号驱动。

4.3 Gowin UART Slave 实现

图 4-10 UART Slave 实现框图



UART Slave IP 主要包括数据接收模块和数据发送模块。数据接收模块用于接收 Master 发送过来的串行数据，并将其转为并行数据传输至数据发送模块。数据发送模块接收数据接收模块发送过来的并行数据，将其转为串行数据传输给 Master。

参数定义用于设置系统时钟频率、波特率及数据帧格式。

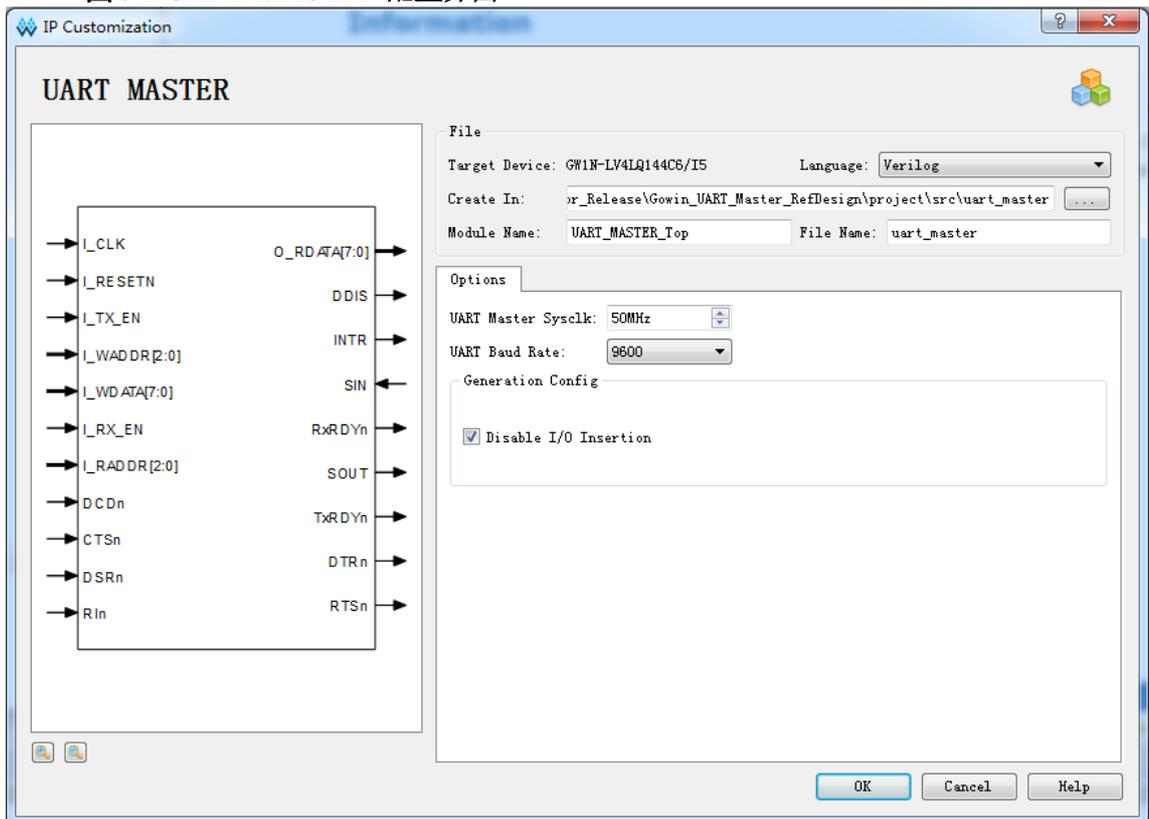
5 接口配置

用户可以使用 IDE 中的 IP 内核生成器工具调用和配置高云 UART MASTER/SLAVE IP。

5.1 UART MASTER IP 核接口

UART MASTER 配置界面如图 5-1 所示。

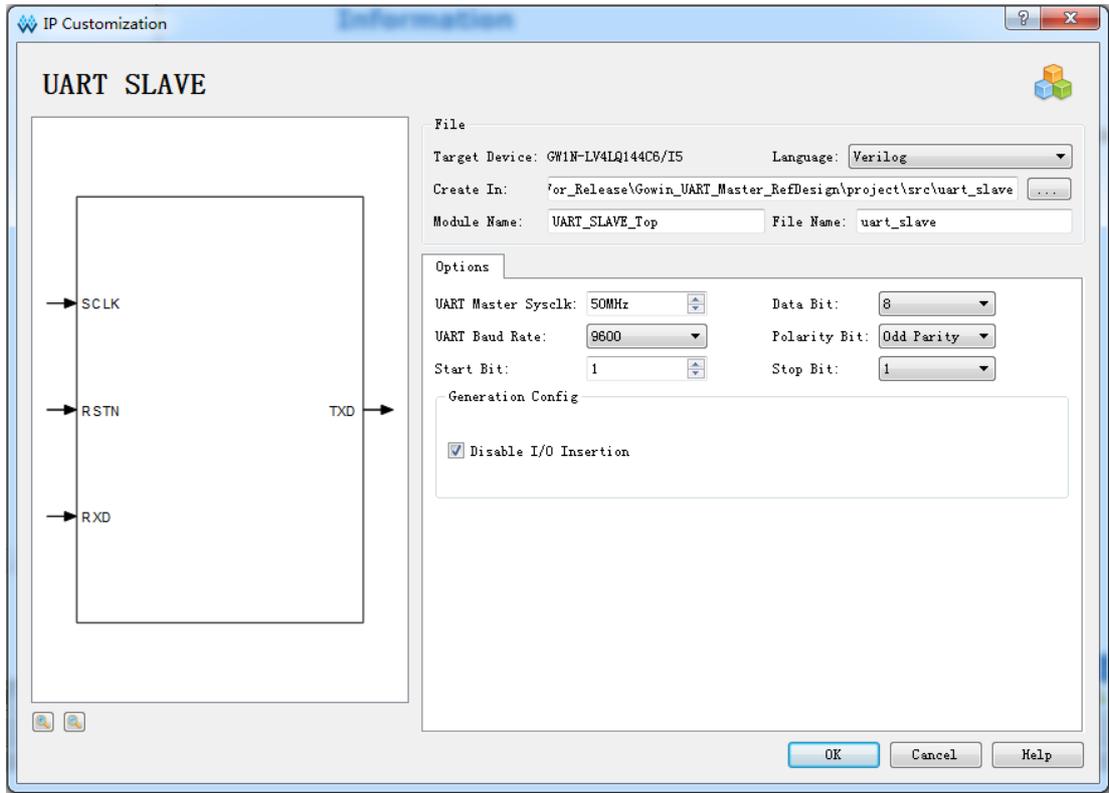
图 5-1 UART MASTER 配置界面



5.2 UART SLAVE IP 核接口

UART SLAVE 配置界面如图 5-2 所示。

图 5-2 UART SLAVE 配置界面



6 参考设计

详细信息请参见高云半导体官网 I2C 相关参考设计。

