



Gowin RAM Based Shift Register IP

用户指南

IPUG512-1.2,2023-09-08

版权所有 © 2023 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2018/08/10	1.0	初始版本。
2019/03/28	1.1	适用产品更新。
2023/09/08	1.2	<ul style="list-style-type: none">● 新增 GW5A、GW5AT、GW5AST 器件；● 删除 BSRAM 相关内容。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	2
1.4 技术支持与反馈	2
2 概述	3
2.1 Gowin RAM Based Shift Register IP 介绍	3
2.2 主要特征	3
2.3 最大频率	4
2.4 资源利用	4
3 功能描述	6
3.1 Gowin RAM Based Shift Register IP 功能	6
3.1.1 固定移位	6
3.1.2 有损可变移位	6
3.1.3 无损可变移位	7
3.1.4 SSET/SCLR	7
4 端口描述	8
5 时序说明	9
5.1 固定移位时序	9
5.2 有损可变移位时序	9
5.3 无损可变移位模式时序	10
6 配置及调用	11
6.1 RAM Based Shift Register 配置界面	11

6.2 RAM Based Shift Register Options 选项配置 12

图目录

图 5-1 固定移位模式时序图 (ADDR=3)	9
图 5-2 有损可变移位模式 ADDR 稳定时序图 (ADDR=3)	9
图 5-3 有损可变移位模式 ADDR 变化时序图 (ADDR 由 3 变为 5)	10
图 5-4 无损可变移位 ADDR 稳定时序图 (ADDR=3)	10
图 5-5 无损可变移位模式 ADDR 变化时序图 (ADDR 由 3 变为 5)	10
图 6-1 RAM Based Shift Register 配置界面	11

表目录

表 1-1 术语、缩略语	2
表 2-1 Gowin RAM Based Shift Register IP	3
表 2-2 Gowin RAM Based Shift Register IP 最大频率示例	4
表 2-3 有损可变移位模式下 RAM Based Shift Register 资源占用情况	4
表 2-4 无损可变移位模式下 RAM Based Shift Register 资源占用情况	4
表 2-5 固定移位模式下 RAM Based Shift Register 资源占用情况	5
表 4-1 Gowin RAM Based Shift Register IP 的 IO 端口	8
表 6-1 RAM Based Shift Register Options 选项配置	12

1 关于本手册

1.1 手册内容

Gowin® RAM Based Shift Register IP 用户指南主要内容包括功能特点、端口描述、时序说明、配置调用等,旨在帮助用户快速了解 Gowin RAM Based Shift Register IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 1.9.9 Beta-3 版本,因软件版本升级,部分信息可能会略有差异,具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云®半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档:

- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS821, GW1NS 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
- [DS841, GW1NZ 系列 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FIFO	First Input First Output	先进先出队列
GSR	Global Set/Reset	全局置位/复位
IP	Intellectual Property	知识产权
LUT	Look-up Table	查找表
OSC	Oscillator	片内晶振
RAM	Random Access Memory	随机存取存储器
REG	Register	寄存器
SSRAM	Shadow Static Random Access Memory	分布式静态随机存储器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

Tel: 86 755 8262 0391

2 概述

2.1 Gowin RAM Based Shift Register IP 介绍

Gowin RAM Based Shift Register IP 提供有效的多比特宽度移位寄存器，可以用作类似于 FIFO 的数据缓存或延时线功能，利用该 IP 可创建固定长度和可变长度的移位寄存器，如表 2-1 所示。

表 2-1 Gowin RAM Based Shift Register IP

Gowin RAM Based Shift Register IP	
IP 核应用	
逻辑资源	见表 2-3、表 2-4、表 2-5。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis®
应用软件	Gowin Software (V1.9.9 Beta-3 及以上)

2.2 主要特征

- 支持 GW1N、GW1NR、GW2A、GW2AR、GW5A、GW5AT、GW5AST 系列芯片。

注！

GW1N 系列中的 1K、2K、2K B 版、4K、4K B 版与 GW1NR 系列中的 4K、4K B 版不支持 SSRAM，进行 RAM Type 选择时，SSRAM 选项灰色不可选。

- 可以创建固定长度、有损可变或无损可变移位寄存器。
- 可以对变长移位寄存器设计速度最优或资源最优。

- 设计基于 LUT 实现、基于 SSRAM 实现。

2.3 最大频率

Gowin RAM Based Shift Register IP 的最大频率主要根据所占用资源及所用器件的速度等级（speed grade of the devices）确定如表 2-2 所示。

表 2-2 Gowin RAM Based Shift Register IP 最大频率示例

器件系列	速度等级	最大频率 (MHz)	备注
GW2A-55	6	160	IP 设置为: 8 位, REG, Variable Shift Lossy, Max Number of Shifts=16; 本结果仅供参考, 具体结果以实际测试为准;
	7	179	
	8	223	
GW1N-4	4	95	
	5	115	
	6	137	

2.4 资源利用

通过 Verilog 语言实现基于 RAM 的移位寄存器（RAM Based Shift Register），其资源因其实现方式不同有较大区别，该 IP 可基于 LUT 实现、基于 SSRAM 实现，如表 2-3、表 2-4 和表 2-5 所示。

表 2-3 有损可变移位模式下 RAM Based Shift Register 资源占用情况

器件系列	速度等级	实现方式	器件名称	资源利用	备注
GW2A-55	8	LUT Based	LOGICS	3002	Data Width=8; MAX Number of Shifts=512; 未配置 SET 与 CLEAR 信号。
			REG	4113	
		SSRAM Based	LOGICS	603	
			REG	18	

表 2-4 无损可变移位模式下 RAM Based Shift Register 资源占用情况

器件系列	速度等级	实现方式	器件名称	资源利用	备注
GW2A-55	8	LUT Based	LOGICS	2997	Data Width=8; MAX Number of Shifts=512; 未配置 SET 与 CLEAR 信号
			REG	4139	
		SSRAM Based	LOGICS	655	
			REG	42	

表 2-5 固定移位模式下 RAM Based Shift Register 资源占用情况

器件系列	速度等级	实现方式	器件名称	资源利用	备注
GW2A-55	8	LUT Based	LOGICS	2987	Data Wdith=8; Number of Shifts=512; 未配置 SET 与 CLEAR 信号
			REG	4113	
		SSRAM Based	LOGICS	584	
			REG	18	

3 功能描述

3.1 Gowin RAM Based Shift Register IP 功能

Gowin RAM Based Shift Register IP 包含三种移位方式：

- 固定移位（Fixed Shift）
- 有损可变移位（Variable Shift Lossy）
- 无损可变移位（Variable Shift Lossless）

3.1.1 固定移位

固定移位模式，输入数据移位相应移位值（Number of Shifts）后输出。移位值的范围为 2~1024。

3.1.2 有损可变移位

有损可变移位模式的移位长度由“ADDR”的输入控制，输入数据延迟“ADDR+1”个周期后输出。

当“ADDR”发生变化时，输出数据在一定时钟周期内无效，具体可见第 5 章节时序说明。

注！

ADDR 的取值范围为 1~ Max Number of Shifts。

3.1.3 无损可变移位

无损可变移位模式的移位长度由“ADDR”的输入控制，输入数据延迟“ADDR+1”个周期后输出。

当“ADDR”变化时，输出数据在一定时钟周期内会重复输出之前的延时数据，具体可见第 5 章节时序说明，请根据需求酌情使用。

注！

ADDR 的取值范围为 0~ Max Number of Shifts。

3.1.4 SSET/SCLR

- 勾选 SET 选项时，生成 SSET 输入端口，当 SSET 有效时置 1；
- 勾选勾选 CLEAR 选项时，生成 SCLR 输入端口，当 SCLR 有效时置 0；
- 同时勾选 SET、CLEAR，且都有效时，SSET 的优先级高于 SCLR，即会置 1。

4 端口描述

Gowin RAM Based Shift Register IP 端口

有关 Gowin RAM Based Shift Register IP 的 IO 端口详情，如表 4-1 所示。

表 4-1 Gowin RAM Based Shift Register IP 的 IO 端口

名称	I/O	位宽	描述
clk	Input	1	时钟
Reset	Input	1	复位信号，高复位
Din	Input	可变	输入数据；位宽为[DSIZE-1:0]
ADDR	Input	可变	Variable Shift Lossy /Variable Shift Lossless 模式下延时长度；位宽为根据最大移位长度变化
SSET	Input	1	输出端口置位；即 SET 选项勾选时存在此管脚
SCLR	Input	1	输出端口复位；即 CLEAR 选项勾选时存在此管脚
Q	Output	可变	输出数据；位宽为[DSIZE-1:0]

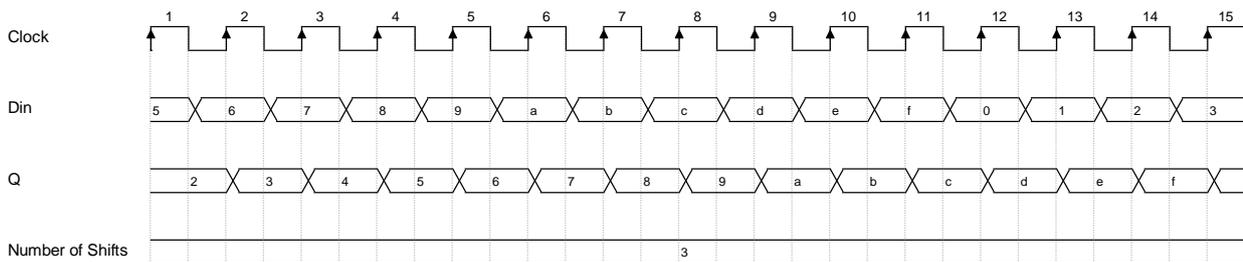
5 时序说明

本节旨在介绍 Gowin RAM Based Shift Register IP 各种模式下输入信号的时序情况。

5.1 固定移位时序

固定移位模式的时序如图 5-1 所示。

图 5-1 固定移位模式时序图 (ADDR=3)



5.2 有损可变移位时序

有损可变移位模式的时序如图 5-2 和图 5-3 所示。

图 5-2 有损可变移位模式 ADDR 稳定时序图 (ADDR=3)

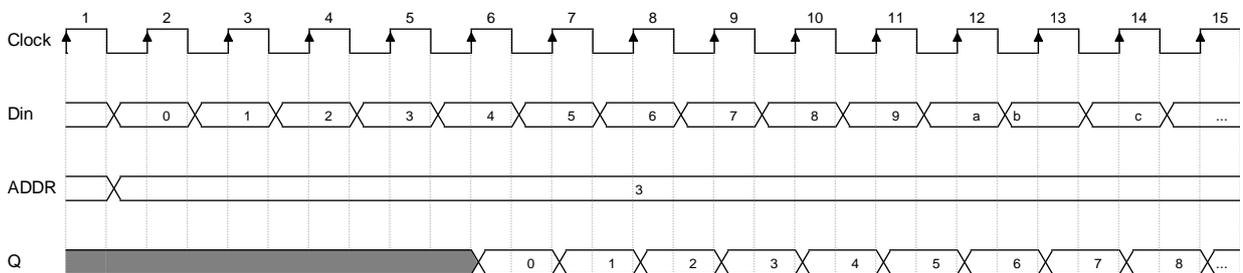
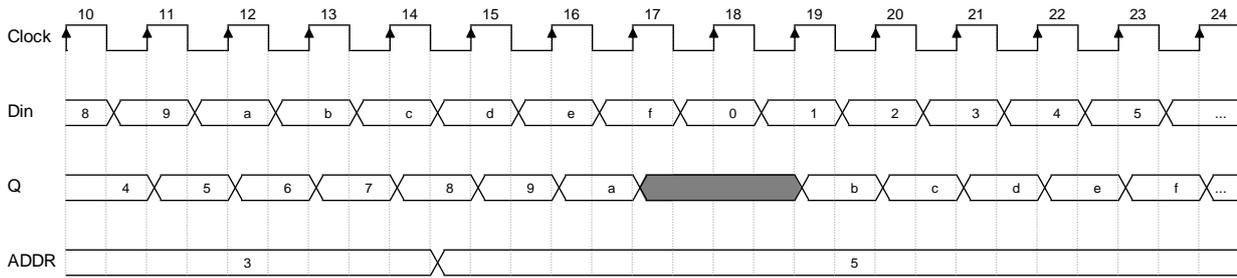


图 5-3 有损可变移位模式 ADDR 变化时序图 (ADDR 由 3 变为 5)



5.3 无损可变移位模式时序

无损可变移位模式的时序如图 5-4 和图 5-5 所示。

图 5-4 无损可变移位 ADDR 稳定时序图 (ADDR=3)

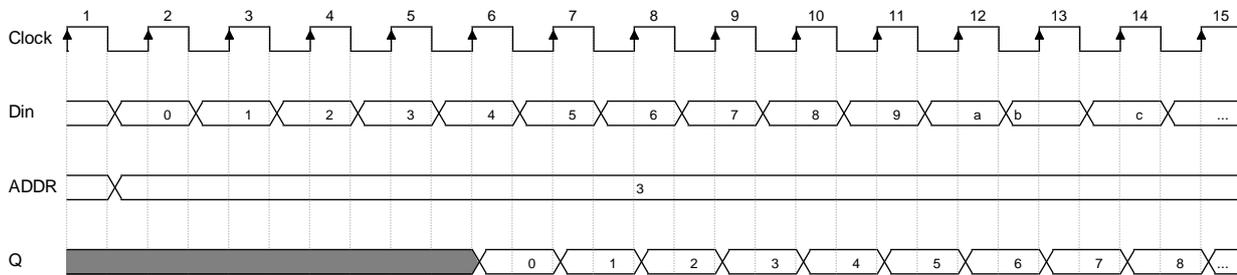
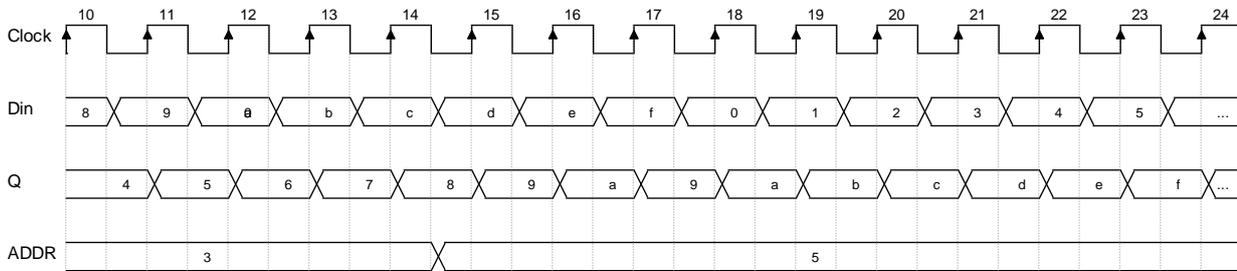


图 5-5 无损可变移位模式 ADDR 变化时序图 (ADDR 由 3 变为 5)



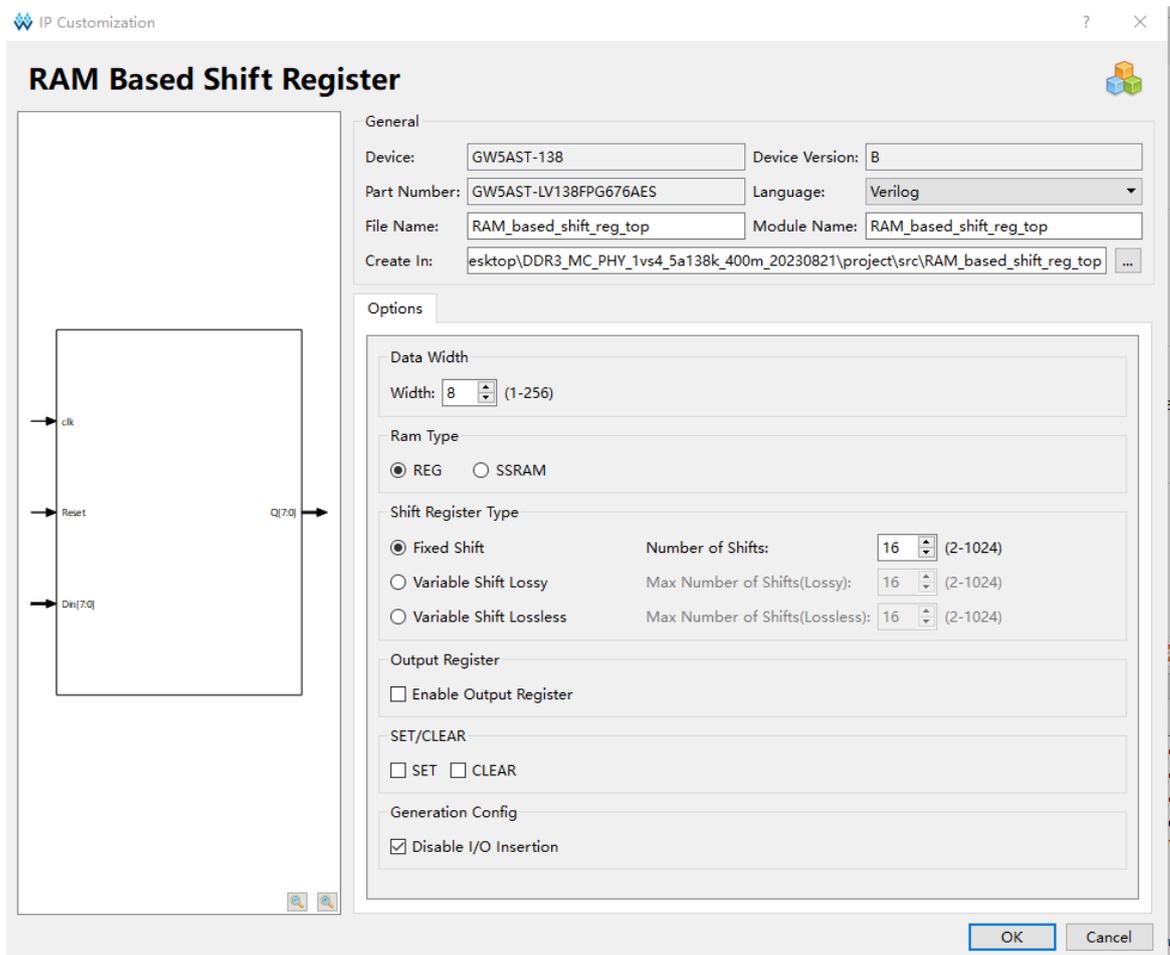
6 配置及调用

在高云半导体云源®软件界面菜单栏 Tools 选项下，可启动 IP Core Generator 工具，完成调用并配置 RAM Based Shift Register IP。

6.1 RAM Based Shift Register 配置界面

RAM Based Shift Register 配置界面如图 6-1 所示。

图 6-1 RAM Based Shift Register 配置界面



1. 可通过修改“Create In”，更改 RAM Based Shift Register 生成文件的地址；
2. 可通过修改“Module Name”，配置产生的 RAM Based Shift Register 顶层模块名称；
3. 可通过修改“File Name”，配置产生 RAM Based Shift Register 文件名名称；
4. 可通过配置“Options”选项，配置 Data Width、RAM Type、Shift Register Type 等；
5. 默认配置下，Data Width=8；RAM Type 为 REG；Shift Register Type 为 Fixed Shift(Number of Shifts 为 16)；Enable Output Register、SET、CLEAR 不勾选。

6.2 RAM Based Shift Register Options 选项配置

RAM Based Shift Register Options 选项配置如表 6-1 所示。

表 6-1 RAM Based Shift Register Options 选项配置

选项		描述
Data Width		配置数据宽度（1~256）
Ram Type	LUT Based	基于 LUT
	SSRAM Based	基于 SSRAM, Device 为 GW1N-1/GW1N-2/GW1N-4 时, SSRAM Based 设为不可选择状态
Shift Register Type		Fixed shift
		Variable shift lossy
		Variable shift lossless
Output Register		指定寄存器用于输出数据，这将使输出产生额外的时钟周期延迟。
SET/CLEAR		配置 SET 时，生成 SSET 输入端口，SSET 有效时置 1，且 SSET 优先级高于 SCLR
		配置 CLEAR 时，生成 SCLR 输入端口，SCLR 有效时置 0，且 SCLR 优先级低于 SSET

