



GW1NS-2C MCU 硬件设计

参考手册

IPUG517-1.3,2019-12-02

版权所有©2019 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2018/08/21	1.0	初始版本。
2018/11/30	1.1	<ul style="list-style-type: none">● 支持仿真器调试；● 支持 IP Core Generator 生成 MCU 软核。
2019/04/12	1.2	<ul style="list-style-type: none">● 支持扩展 I2C、SPI 和 UART 硬件设计；● 支持可配置 SRAM 容量为 2KB、4KB 和 8KB；● 更新 IP Core Generator 中 SRAM 配置选项。
2019/08/06	1.2.1	修复已知 SPI 和 ADC 问题。
2019/12/02	1.3	<ul style="list-style-type: none">● 更新 MCU 编译软件 GMD V1.0；● 更新 RTOS 参考设计；● 增加 AHB2 和 APB2 扩展总线接口硬件和软件参考设计；● 修复已知外部设备 ADC 转换精度问题。

目录

目录.....	i
图目录.....	iii
表目录.....	iv
1 系统架构	1
1.1 Microprocessor Unit.....	1
1.2 FPGA Fabric	2
2 硬件设计	3
2.1 硬件环境.....	3
2.2 软件环境.....	3
2.3 FPGA 软核生成器	3
2.4 FPGA 下载软件.....	3
2.5 FPGA 设计流程.....	3
3 工程模板	4
3.1 工程创建.....	4
3.1.1 新建工程.....	4
3.1.2 设定工程名称和路径.....	5
3.1.3 选择器件.....	5
3.1.4 完成工程创建	6
3.2 硬件设计	7
3.2.1 TPIU 配置.....	8
3.2.2 配置 Interrupt	9
3.2.3 配置 GPIO	10
3.2.4 配置 UART	11
3.2.5 配置 AHB2 Extend Bus	12
3.2.6 配置时钟.....	14
3.2.7 配置 SRAM.....	15
3.2.8 配置 APB2 Extend Bus	15
3.2.9 综合工具配置	19
3.2.10 完成配置.....	20

3.3 用户设计.....	20
3.4 约束.....	20
3.5 综合.....	20
3.6 布局布线.....	21
3.7 下载.....	22
4 参考设计	23

图目录

图 1-1 GW1NS-2C 系统架构	1
图 3-1 新建 RTL 工程.....	4
图 3-2 设定工程名称和路径	5
图 3-3 选择器件	6
图 3-4 完成工程创建	6
图 3-5 选择 Gowin_EMPU(GW1NS-2C)	7
图 3-6 Gowin_EMPU (GW1NS-2C)	8
图 3-7 配置 TPIU	9
图 3-8 配置 Interrupt	10
图 3-9 配置 GPIO	11
图 3-10 配置 UART	12
图 3-11 配置 AHB2 Extend Bus.....	13
图 3-12 配置时钟	14
图 3-13 配置 SRAM	15
图 3-14 APB2 Extend Bus 默认配置.....	16
图 3-15 APB2 Extend Bus 扩展配置.....	17
图 3-16 综合工具配置	20
图 3-17 综合	21
图 3-18 布局布线	21
图 3-19 Device Configuration	22

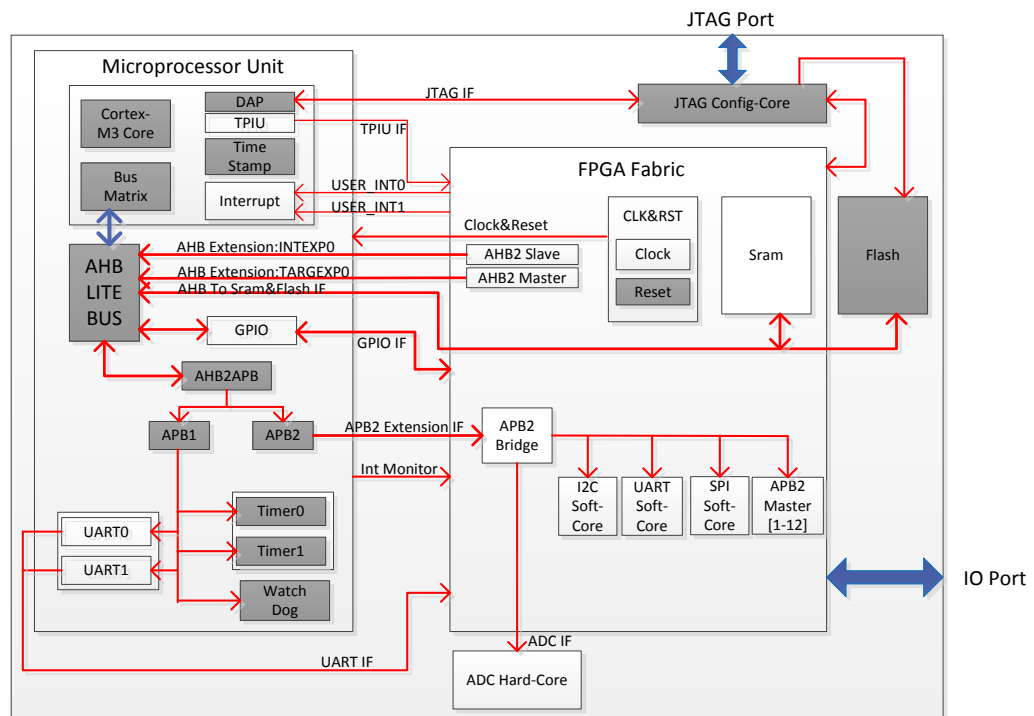
表目录

表 3-1 TPIU 端口描述	9
表 3-2 Interrupt 端口描述	10
表 3-3 GPIO 端口描述	11
表 3-4 UART 端口描述	12
表 3-5 AHB2 Extend Bus 端口描述	13
表 3-6 APB2 Master 地址映射	17
表 3-7 APB2 Extend Bus 端口描述	18

1 系统架构

Gowin_EMPU for GW1NS-2C 是一款由嵌入式 ARM Cortex-M3 内核和 FPGA Fabric 组成的片上系统，包括 Microprocessor Unit 和 FPGA Fabric，以及 ADC 和 USB2.0 PHY 等硬核，如图 1-1 所示。

图 1-1 GW1NS-2C 系统架构



1.1 Microprocessor Unit

Microprocessor Unit 内部包括:

- ARM Cortex-M3 内核:
 - Cortex-M3 Core
 - Debug Access Port
 - Bus Matrix
 - NVIC (Nested Vector Interrupt Controller)

- AHB 总线
- AHB2APB 转接桥
- AHB 总线挂载
 - GPIO
 - AHB Master 扩展接口
 - AHB Slave 扩展接口
- APB 总线
- APB 总线挂载
 - UART0
 - UART1
 - Timer0
 - Timer1
 - Watch Dog
 - APB 扩展接口

1.2 FPGA Fabric

FPGA Fabric 包括:

- 外部晶振时钟输入分频后作为 MCU 的系统时钟或用户可自行选择 MCU 系统时钟源, MCU 最高时钟频率为 30MHz
- UART0, UART1 和 GPIO 延伸到 FPGA Fabric, 配置到 IO 输出使用
- 3 条 AHB 扩展总线延伸到 FPGA Fabric
 - 1 条挂载 SRAM 和 Flash-Rom
 - 1 条通过 AHB 转接桥挂载 AHB Master 高速外设
 - 1 条通过 AHB 转接桥挂载 AHB Slave 高速外设
- APB 扩展总线延伸到 FPGA Fabric, 通过 APB 转接桥挂载低速外设, 已挂载
 - SPI
 - I2C
 - UART
 - ADC Controller
 - 12 个 APB2 Master 扩展接口
- MCU SRAM 可配置为 2KB、4KB 或 8KB
- MCU Flash 为 128KB

2 硬件设计

2.1 硬件环境

- DK-EVAL-GW1NS2 V1.1
- DK-START-GW1NS2 V1.1
- DK-START-GW1NSR2 V1.1
- DK-START-GW1NS2 V2.1
- DK-START-GW1NSE2 V2.1

2.2 软件环境

Gowin_V1.9.3Beta

2.3 FPGA 软核生成器

Gowin_V1.9.3Beta 软核生成器 IP Core Generator，用于配置产生 Gowin_EMPU for GW1NS-2C 硬件设计。

IP Core Generator 软件使用方法请参考 [SUG284](#)，Gowin IP Core Generator 用户指南。

2.4 FPGA 下载软件

FPGA 下载软件 Programmer，用于下载 FPGA 码流文件。

Programmer 软件使用方法请参考 [SUG502](#)，Gowin Programmer 用户指南。

2.5 FPGA 设计流程

Gowin_EMPU for GW1NS-2C 硬件设计流程：

- IP Core Generator 配置产生 Gowin_EMPU for GW1NS-2C 硬件设计
- 实例化 Gowin_EMPU，导入用户设计，连接用户设计与 Gowin_EMPU
- 物理约束和时序约束
- Synplify_Pro 或 GowinSynthesis 综合
- Place & Route 布局布线，产生码流
- Programmer 下载码流到 GW1NS-2C/GW1NSR-2C/GW1NSE-2C

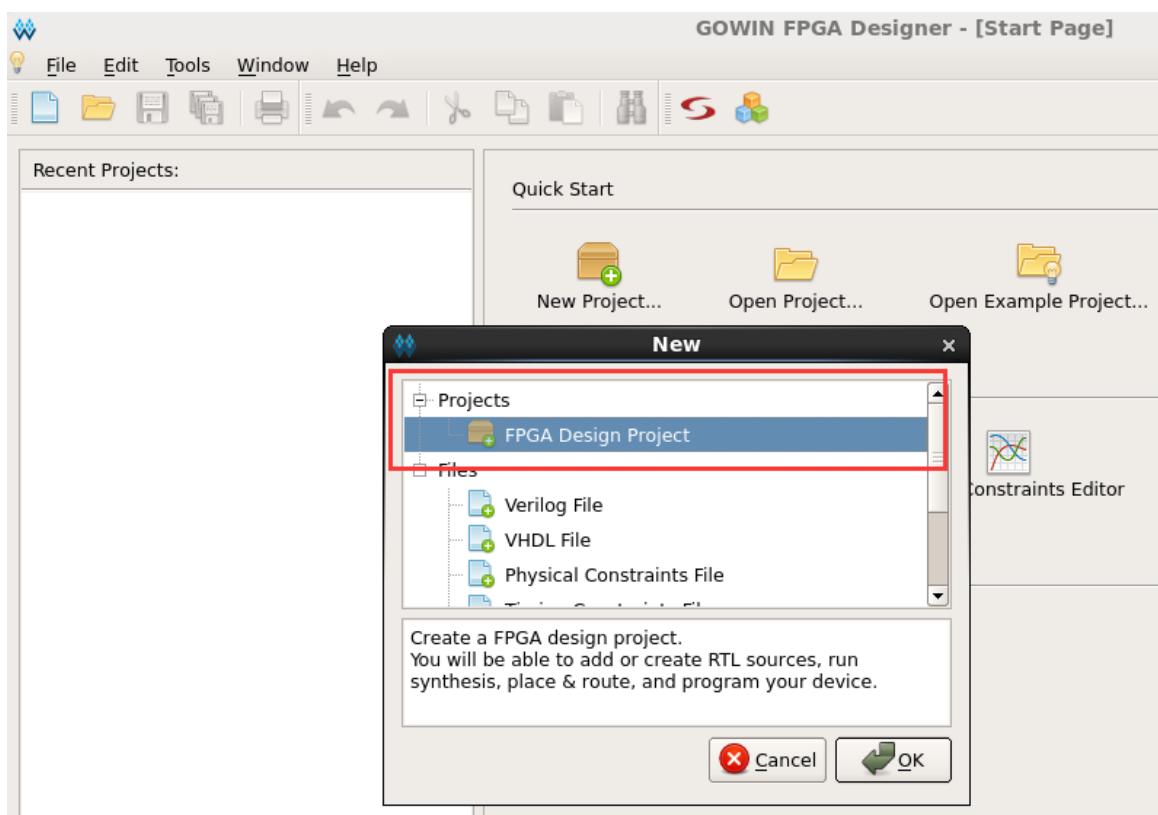
3 工程模板

3.1 工程创建

3.1.1 新建工程

双击打开高云云源软件“IDE”，选择菜单栏“File”中的“New”，选择“FPGA Design Project”，如图 3-1 所示。

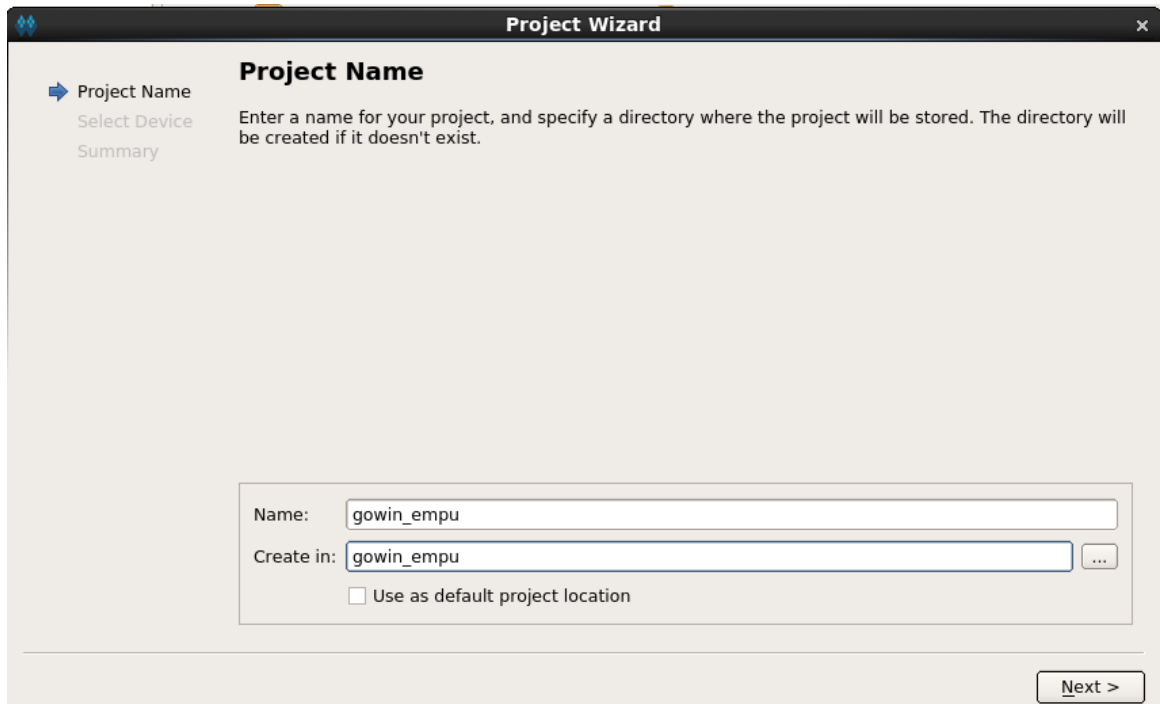
图 3-1 新建 RTL 工程



3.1.2 设定工程名称和路径

输入工程名称，选择工程路径，如图 3-2 所示。

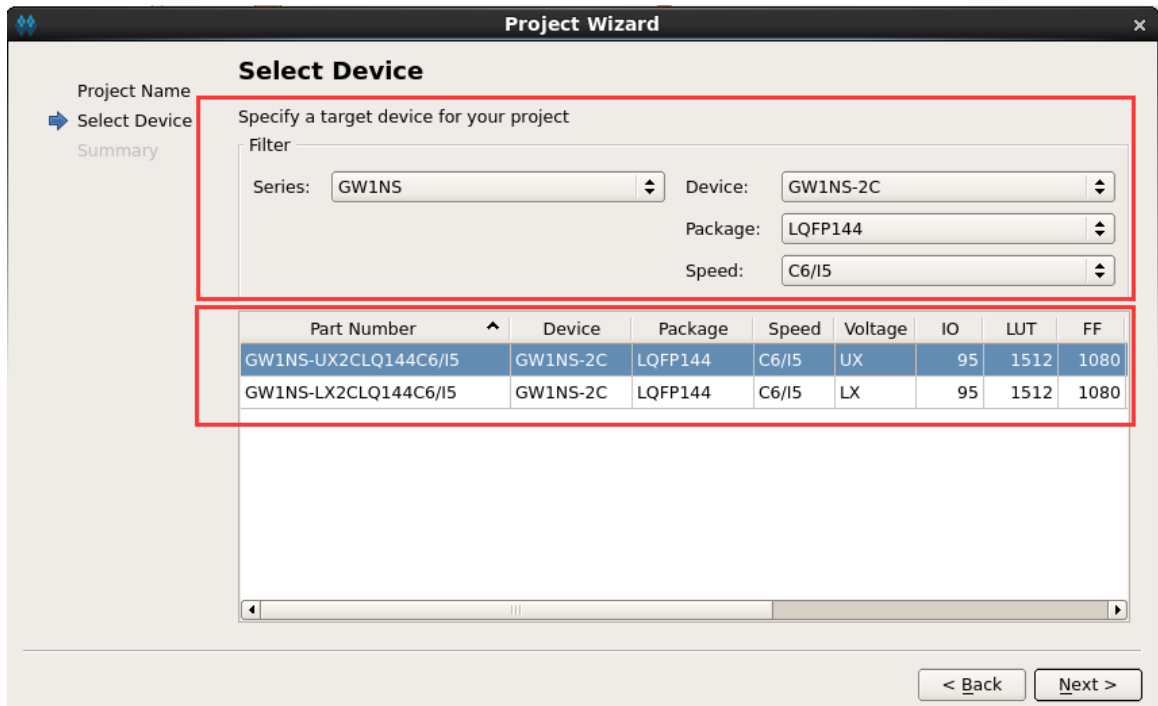
图 3-2 设定工程名称和路径



3.1.3 选择器件

选择“Device”、“Package”、“Speed”和“Part Number”，如图 3-3 所示。

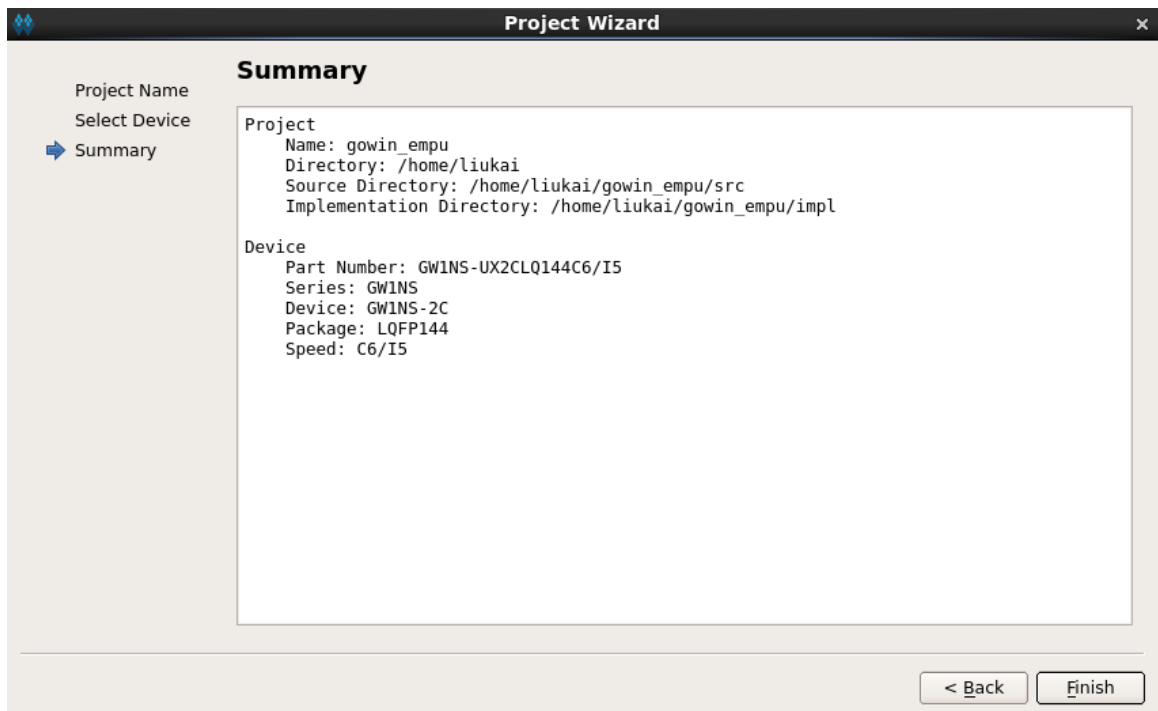
图 3-3 选择器件



3.1.4 完成工程创建

完成新建工程，如图 3-4 所示。

图 3-4 完成工程创建

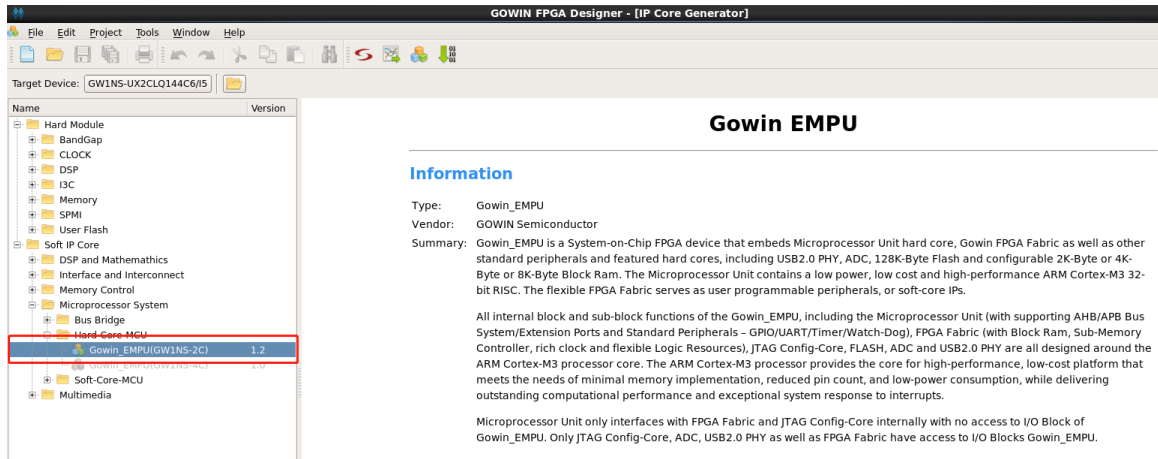


3.2 硬件设计

使用 IP Core Generator 产生 Gowin_EMPU for GW1NS-2C 硬件设计。

选择菜单栏 Tools 中的“IP Core Generator”，打开 IP Core Generator 后，选择“Soft IP Core”列表下“Microprocessor System \ Hard-Core-MCU \ Gowin_EMPU(GW1NS-2C)”，如图 3-5 所示。

图 3-5 选择 Gowin_EMPU(GW1NS-2C)



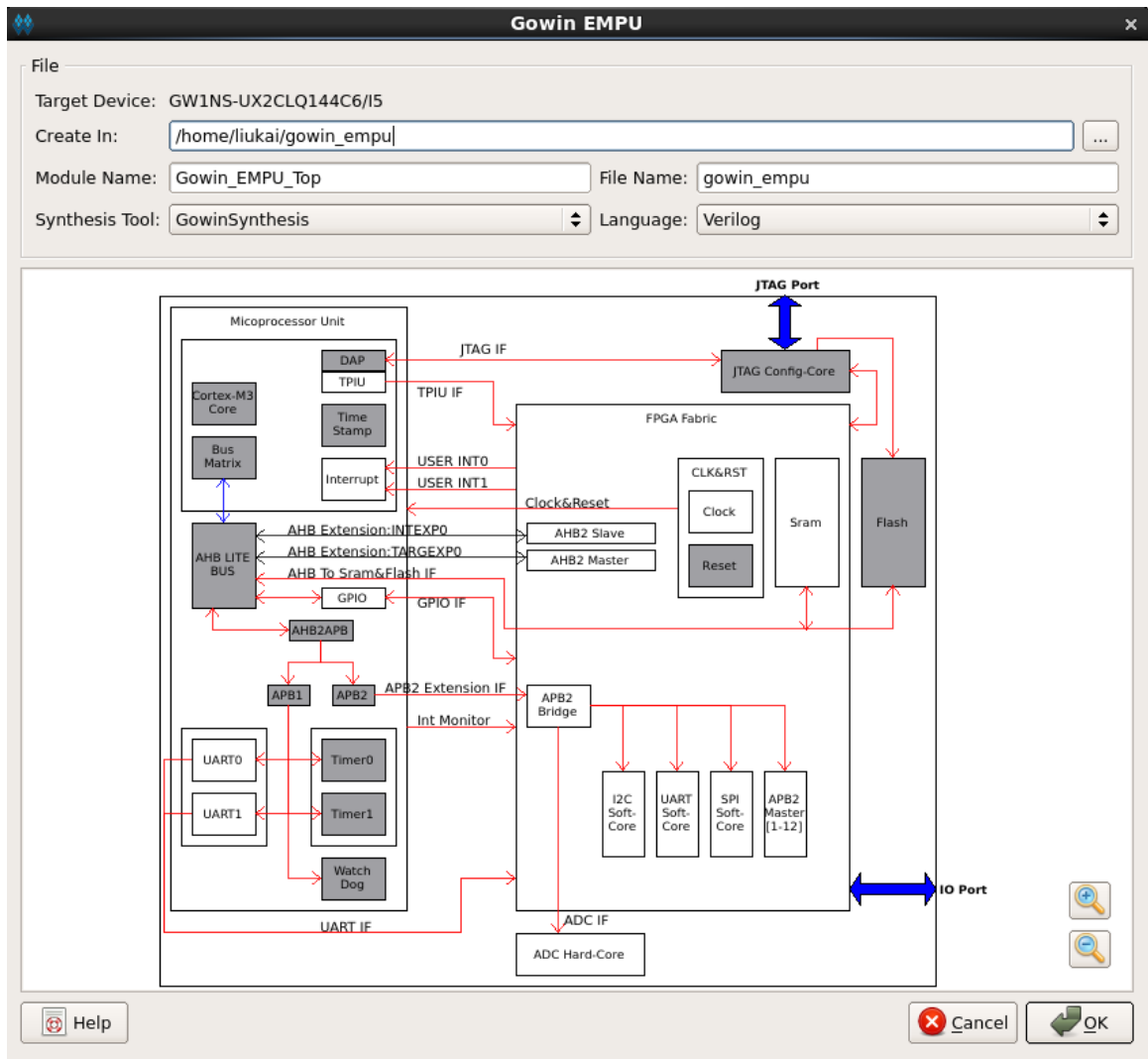
打开 Gowin_EMPU(GW1NS-2C)，如图 3-6 所示，显示 Gowin_EMPU 的系统架构图。

其中置灰模块是系统默认，用户不可选择配置；未置灰模块，可以双击打开模块来配置该模块。

用户可以选择配置的模块包括：

- TPIU（Trace Port Interface Unit）
- Interrupt: 外部中断信号 USER_INT0 和 USER_INT1
- AHB2 Slave: FPGA Fabric 可扩展 AHB Slave 高速外设接口
- AHB2 Master: FPGA Fabric 可扩展 AHB Master 高速外设接口
- GPIO
- UART0 和 UART1
- Clock: 默认系统时钟和用户自定义系统时钟
- Sram: 配置为 2KB、4KB 或 8KB，默认为 8KB
- I2C Soft-Core: FPGA Fabric 扩展 I2C 软核
- UART Soft-Core: FPGA Fabric 扩展 UART 软核
- SPI Soft-Core: FPGA Fabric 扩展 SPI 软核
- APB2 Master[1-12] : FPGA Fabric 扩展 12 个 APB Master 低速外设接口
- ADC Hard-Core: ADC 硬核

图 3-6 Gowin_EMPU (GW1NS-2C)



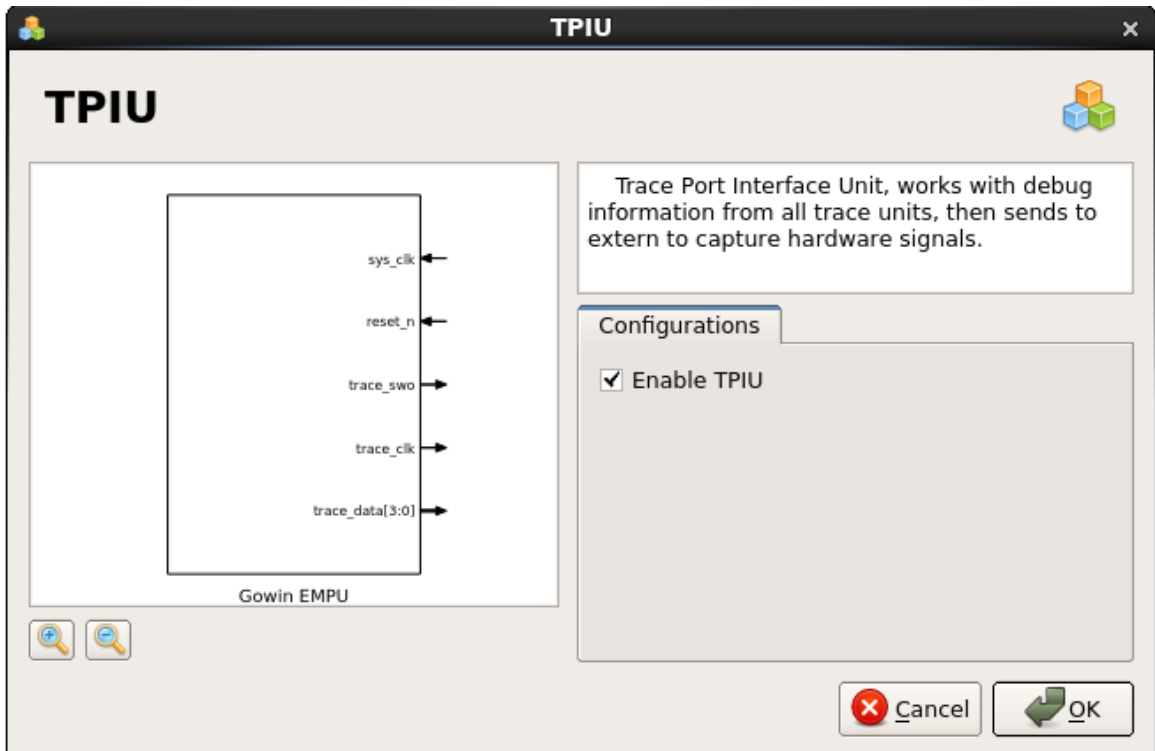
3.2.1 TPIU 配置

使能 TPIU

双击打开“TPIU”，如图 3-7 所示，可以选择“Enable TPIU”。

如果选择“Enable TPIU”，则 Gowin_EMPU for GW1NS-2C 支持 TPIU。

图 3-7 配置 TPIU



TPIU 端口

如果选择 Enable TPIU，端口显示如表 3-1 所示。

表 3-1 TPIU 端口描述

名称	I/O	位宽	描述
sys_clk	in	1	系统时钟信号
reset_n	in	1	系统复位信号
trace_swo	out	1	异步模式数据输出信号
trace_clk	out	1	时钟信号
trace_data	out	[3:0]	数据输出信号

3.2.2 配置 Interrupt

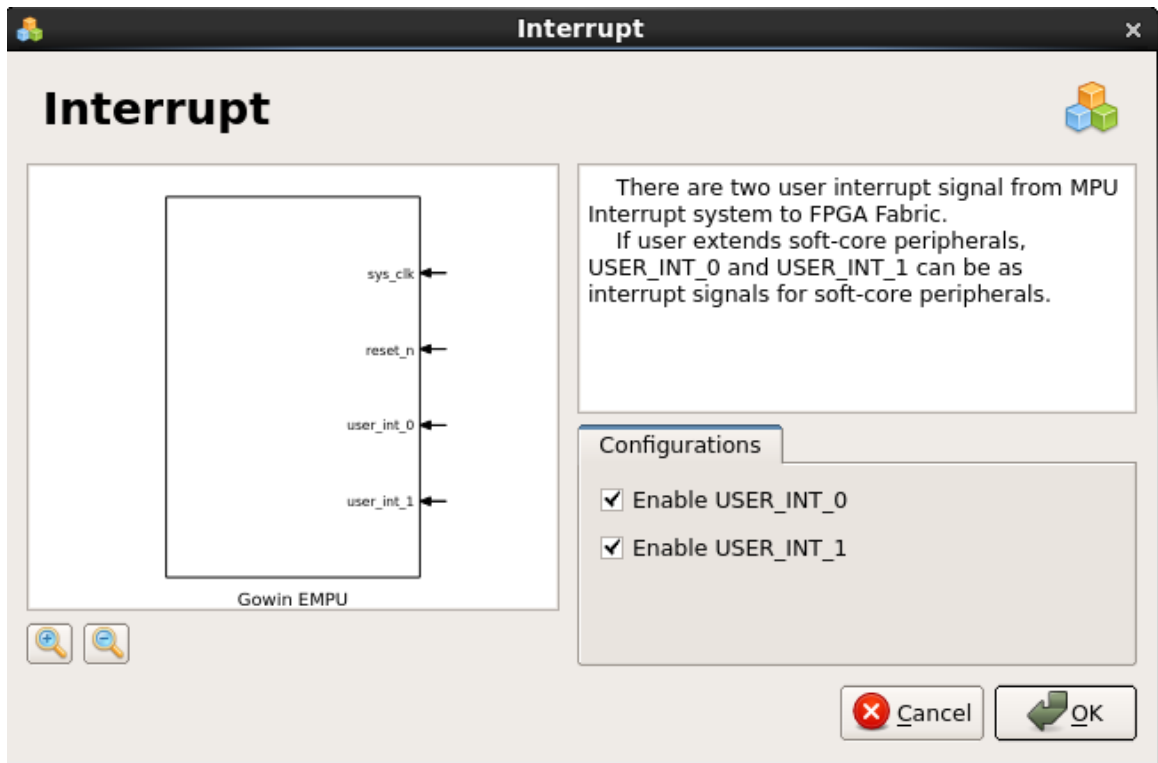
使能 Interrupt

双击打开“Interrupt”，可以选择外部中断“USER_INT_0”或“USER_INT_1”，作为 FPBA Fabric 扩展外设的中断信号，如图 3-8 所示，可以选择“Enable USER_INT_0”或“Enable USER_INT_1”。

如果选择 Enable USER_INT_0，则 Gowin_EMPU for GW1NS-2C 支持外部中断信号 0。

如果选择 Enable USER_INT_1，则 Gowin_EMPU for GW1NS-2C 支持外部中断信号 1。

图 3-8 配置 Interrupt



Interrupt 端口

如果选择 Enable USER_INT_0 和 Enable USER_INT_1，端口显示如表 3-2 所示。

表 3-2 Interrupt 端口描述

名称	I/O	位宽	描述
sys_clk	in	1	系统时钟信号
reset_n	in	1	系统复位信号
user_int_0	in	1	外部中断信号 0
user_int_1	in	1	外部中断信号 1

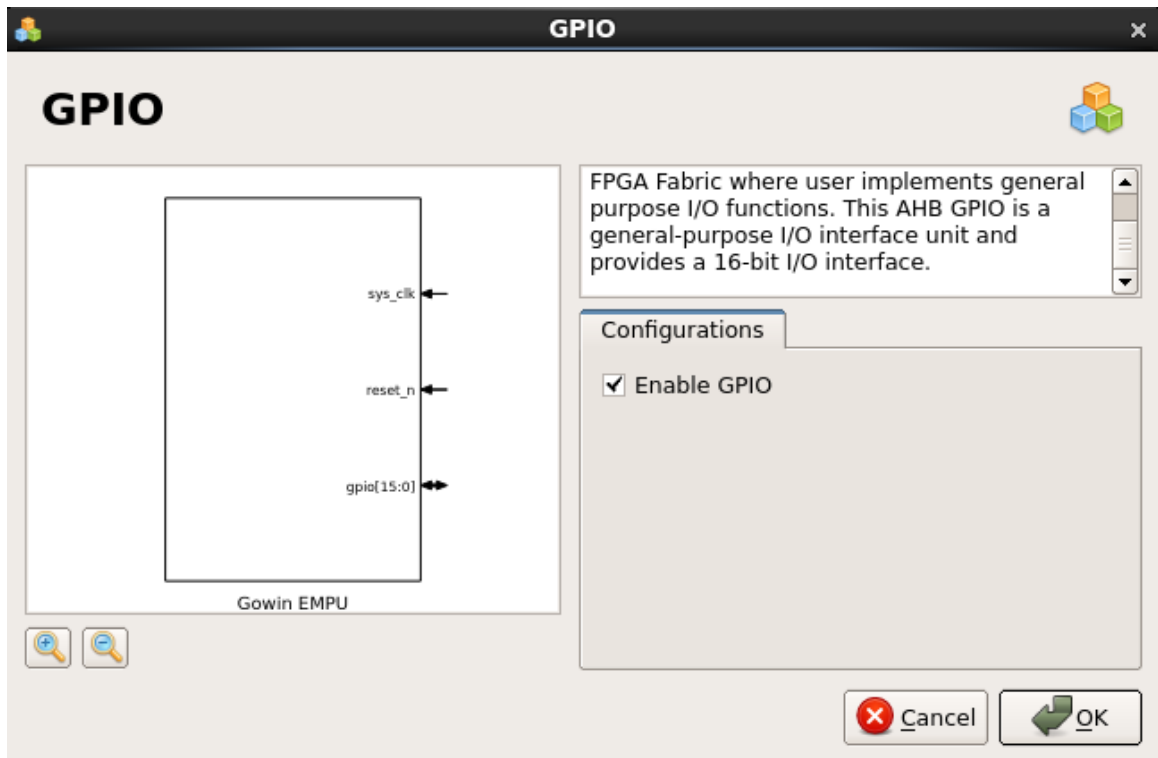
3.2.3 配置 GPIO

使能 GPIO

双击打开 GPIO，如图 3-9 所示，可以选择“Enable GPIO”。

如果选择 Enable GPIO，则 Gowin_EMPU for GW1NS-2C 支持 GPIO。

图 3-9 配置 GPIO



GPIO 端口

选择 Enable GPIO 后，端口显示如表 3-3 所示。

表 3-3 GPIO 端口描述

名称	I/O	位宽	描述
sys_clk	In	1	系统时钟信号
reset_n	In	1	系统复位信号
gpio	Inout	[15:0]	通用输入输出信号

3.2.4 配置 UART

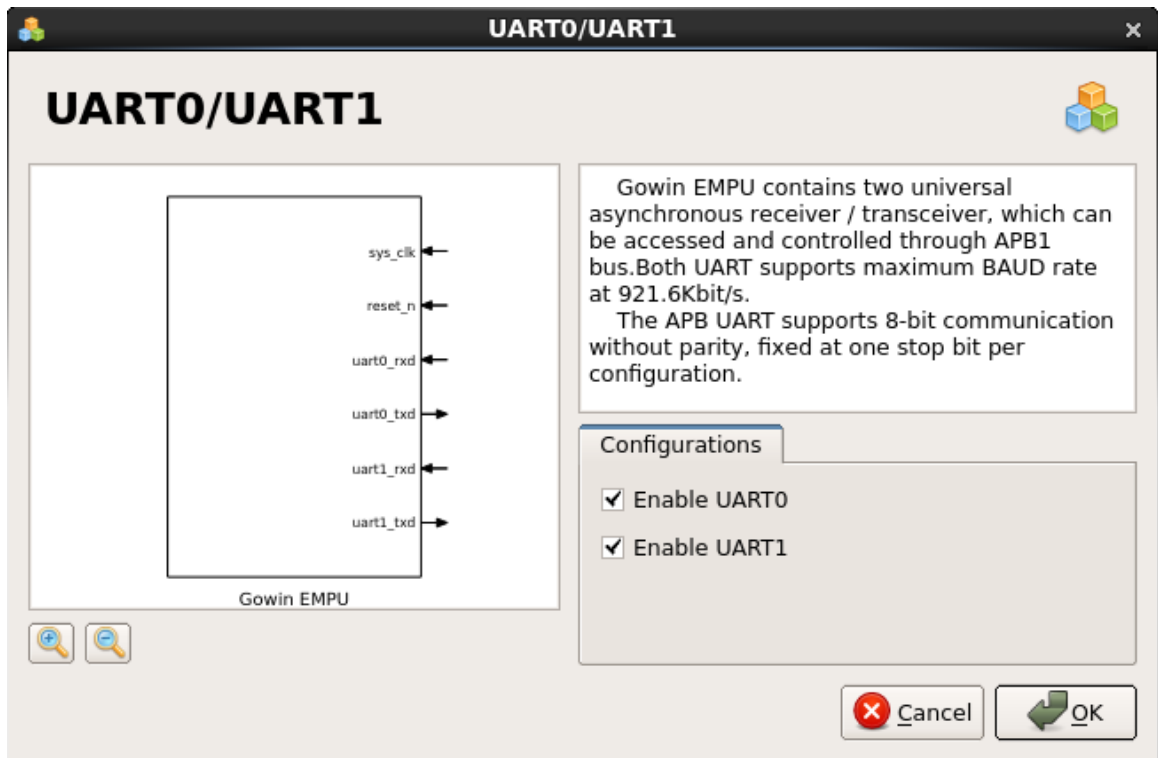
使能 UART

双击打开“UART0”或“UART1”，如图 3-10 所示，可以选择“Enable UART0”或“Enable UART1”。

如果选择 Enable UART0，则 Gowin_EMPU for GW1NS-2C 支持 UART0。

如果选择 Enable UART1，则 Gowin_EMPU for GW1NS-2C 支持 UART1。

图 3-10 配置 UART



UART 端口

选择 Enable UART0 和 Enable UART1 后，端口显示如表 3-4 所示。

表 3-4 UART 端口描述

名称	I/O	位宽	描述
sys_clk	in	1	系统时钟信号
reset_n	in	1	系统复位信号
uart0_rxd	in	1	UART0 接收信号
uart1_rxd	in	1	UART1 接收信号
uart0_txd	out	1	UART0 发送信号
uart1_txd	out	1	UART1 发送信号

3.2.5 配置 AHB2 Extend Bus

使能 AHB2 Extend Bus

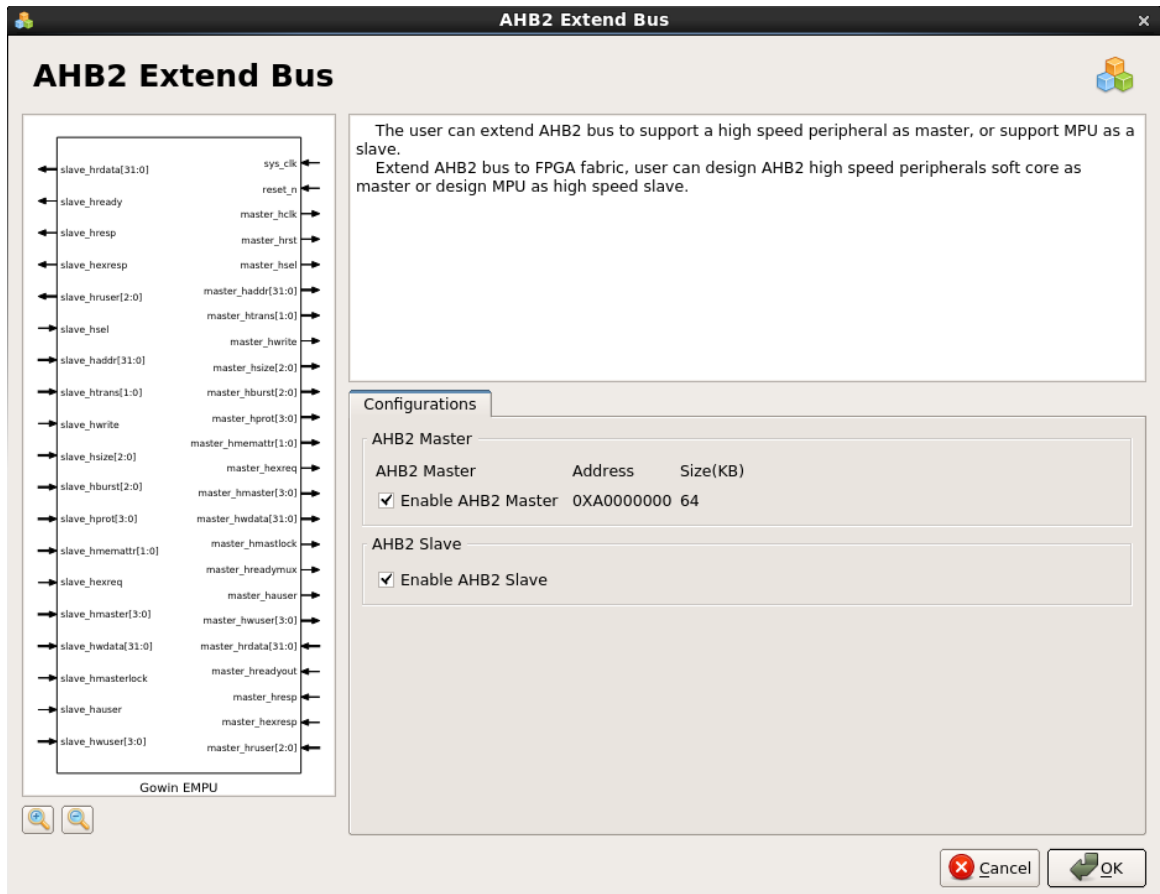
双击打开 AHB2 Slave 或 AHB2 Master，如图 3-11 所示，可以选择“Enable AHB2 Master”或“Enable AHB2 Slave”。

如果选择 Enable AHB2 Master，则 Gowin_EMPU for GW1NS-2C 支持 AHB2 Master。

如果选择 Enable AHB2 Slave，则 Gowin_EMPU for GW1NS-2C 支持 AHB2 Slave。

AHB2 Master 中 0xA0000000 为扩展 AHB2 Master 高速外设的地址映射。

图 3-11 配置 AHB2 Extend Bus



AHB2 Extend Bus 端口

如果选择 Enable AHB2 Master 和 Enable AHB2 Slave，端口显示如表 3-5 所示。

表 3-5 AHB2 Extend Bus 端口描述

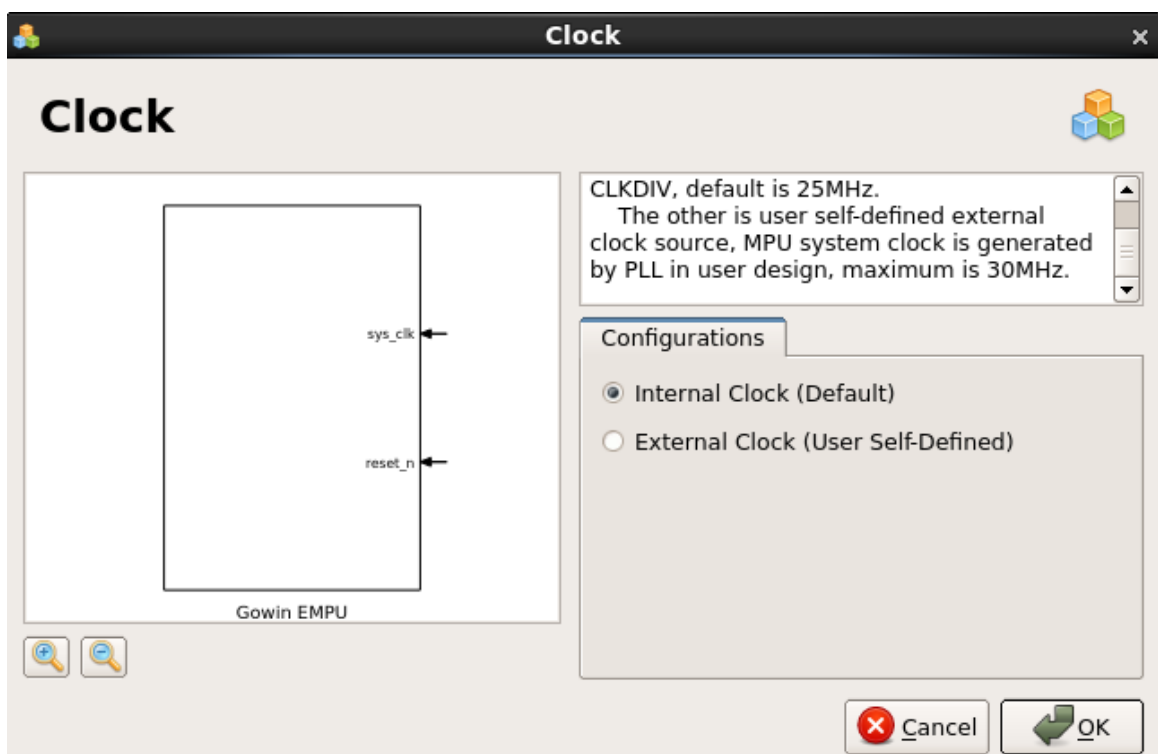
名称	I/O	位宽	描述
sys_clk	in	1	系统时钟信号
reset_n	in	1	系统复位信号
master_hclk	out	1	Master 时钟信号
master_hrst	out	1	Master 复位信号
master_hsel	out	1	Master 选择信号
master_haddr	out	[31:0]	Master 地址信号
master_htrans	out	[1:0]	Master 传输类型
master_hwrite	out	1	Master 读写方向
master_hsize	out	[2:0]	Master 传输数据的大小
master_hburst	out	[2:0]	Master burst 类型
master_hprot	out	[3:0]	Master 保护控制信号
master_hmaster	out	[3:0]	Master 主机标号，标记当前传输由哪个主机控制
master_hwdata	out	[31:0]	Master 写数据
master_hmastlock	out	1	Master 锁定标记，标记当前总线被哪个主机锁定

名称	I/O	位宽	描述
master_hrdata	in	[31:0]	Master 读数据
master_hresp	in	1	Slave 发给 Master 的总线传输状态
slave_hsel	in	1	Slave 选择信号
slave_haddr	in	[31:0]	Slave 地址信号
slave_htrans	in	[1:0]	Slave 传输类型
slave_hwrite	in	1	Slave 读写方向
slave_hsize	in	[2:0]	Slave 传输数据的大小
slave_hburst	in	[2:0]	Slave burst 类型
slave_hprot	in	[3:0]	Slave 保护控制信号
slave_hmaster	in	[3:0]	Slave 主机标号, 标记当前传输由哪个主机控制
slave_hwdata	in	[31:0]	Slave 写数据
slave_hmastlock	in	1	Slave 锁定标记, 标记当前总线被哪个主机锁定
slave_hrdata	out	[31:0]	Slave 读数据
slave_hready	out	1	Slave 准备好
slave_hresp	out	1	Slave 发给 Master 的总线传输状态

3.2.6 配置时钟

双击打开 Clock, 如图 3-12 所示, 默认选项是“Internal Clock”, MCU 使用默认时钟作为系统时钟, 如果外部时钟晶振输入 50MHz, 则 MCU 系统时钟为 25MHz; 如果选择“External Clock”, 需自定义 MCU 系统时钟, MCU 系统时钟最高为 30MHz。

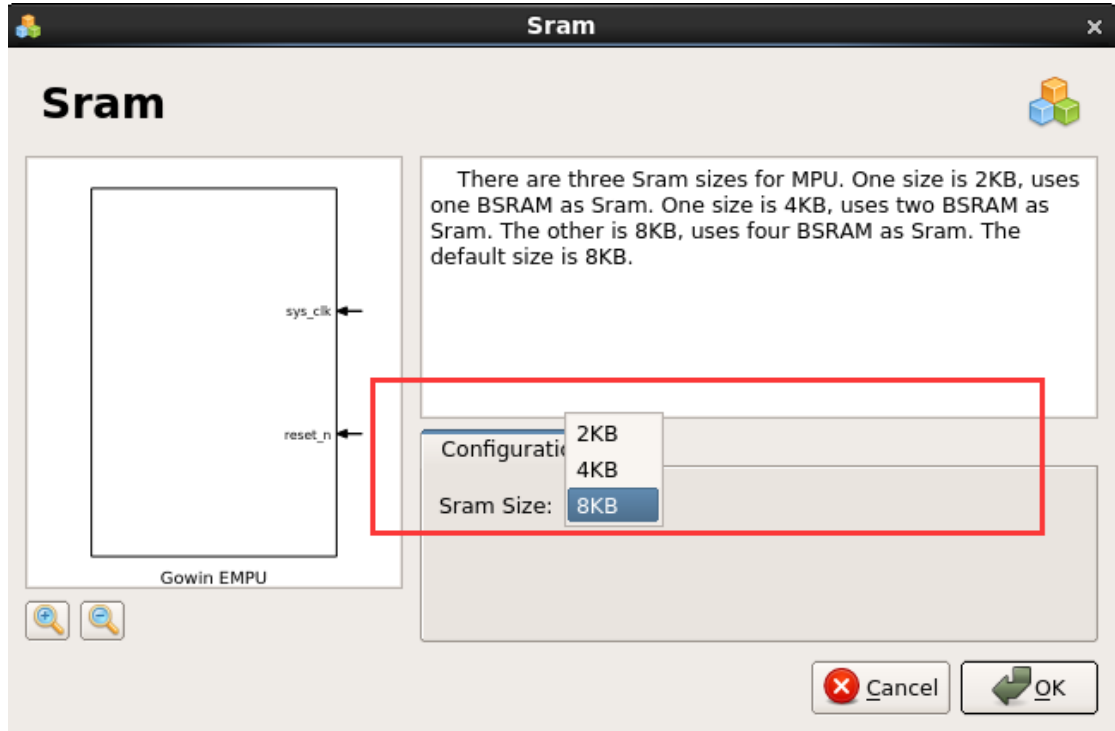
图 3-12 配置时钟



3.2.7 配置 SRAM

双击打开 Sram，如图 3-13 所示，默认的 Sram 容量为 8KB，可以选择配置 SRAM 容量为“2KB、4KB 或 8KB”。

图 3-13 配置 SRAM



3.2.8 配置 APB2 Extend Bus

使能 APB2 Extend Bus

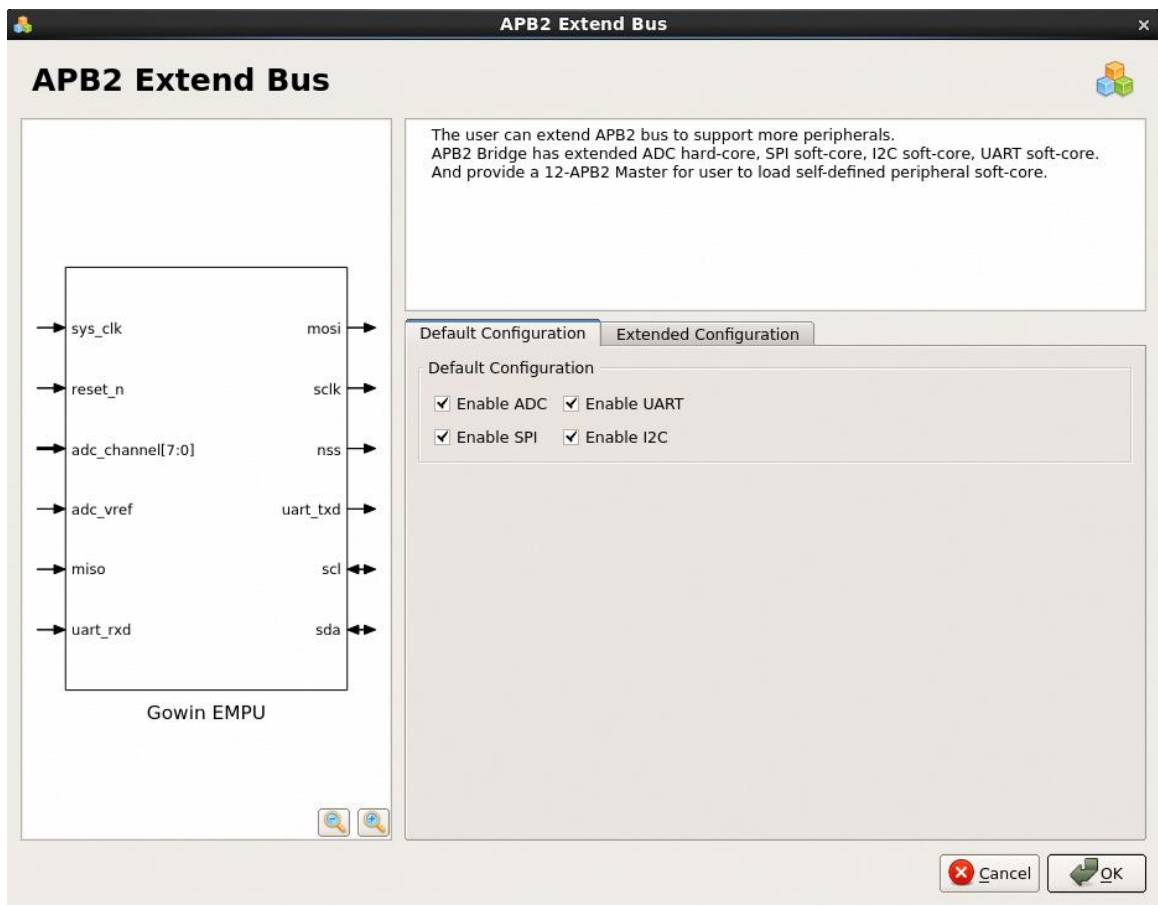
选择 APB2 Extend Bus，包括默认配置选项和扩展配置选项。

1. 默认配置选项

如图 3-14 所示，用户可以选择

- Enable ADC
- Enable UART
- Enable SPI
- Enable I2C

图 3-14 APB2 Extend Bus 默认配置

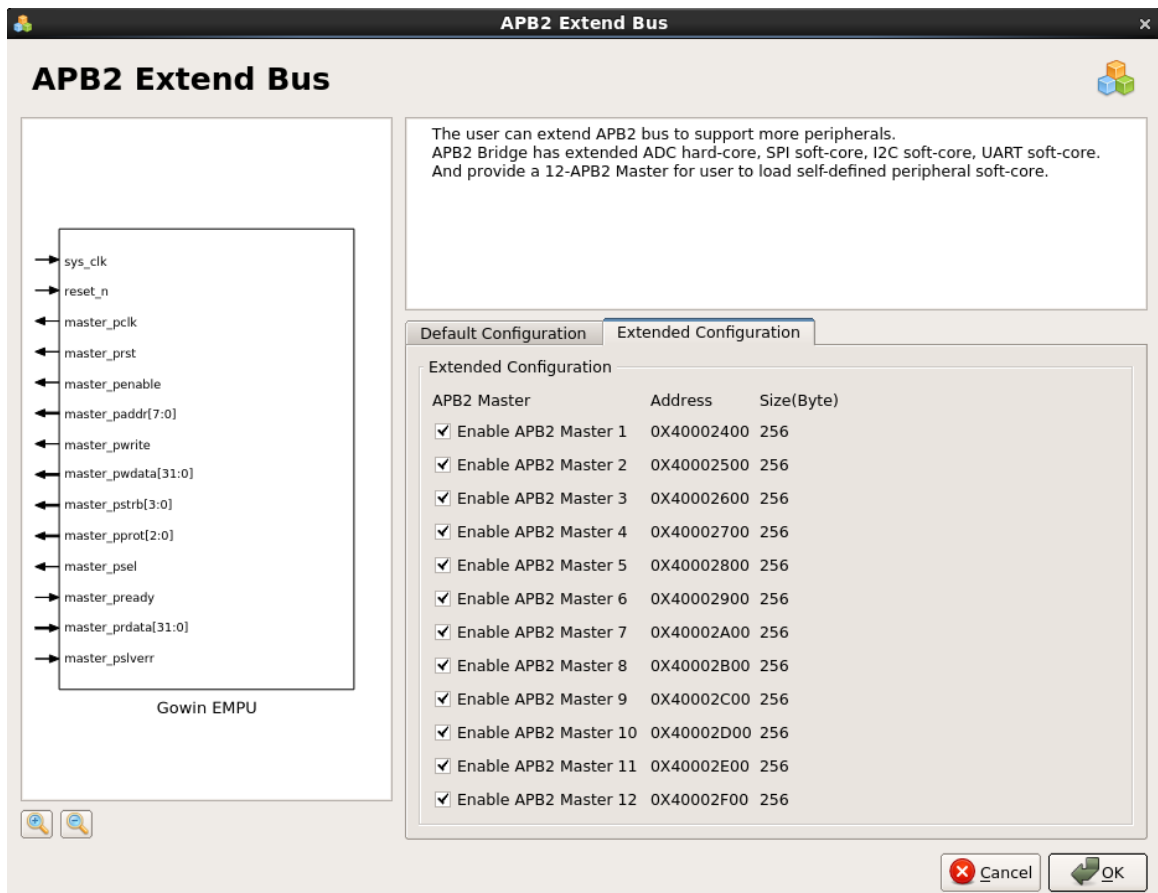


2. 扩展配置选项

如图 3-15 所示，用户可以选择

- Enable APB2 Master 1
- Enable APB2 Master 2
- Enable APB2 Master 3
- Enable APB2 Master 4
- Enable APB2 Master 5
- Enable APB2 Master 6
- Enable APB2 Master 7
- Enable APB2 Master 8
- Enable APB2 Master 9
- Enable APB2 Master 10
- Enable APB2 Master 11
- Enable APB2 Master 12

图 3-15 APB2 Extend Bus 扩展配置



12 个 APB2 Master 扩展低速外设的地址映射如表 3-6 所示。

表 3-6 APB2 Master 地址映射

APB2 Master	Address	Size(Byte)
1	0x40002400	256
2	0x40002500	256
3	0x40002600	256
4	0x40002700	256
5	0x40002800	256
6	0x40002900	256
7	0x40002A00	256
8	0x40002B00	256
9	0x40002C00	256
10	0x40002E00	256
11	0x40002E00	256
12	0x40002F00	256

APB2 Extend Bus 端口

如果选择 Enable ADC、Enable UART、Enable SPI、Enable I2C 和 Enable APB2 Master 1~12，显示端口如表 3-7 所示。

表 3-7 APB2 Extend Bus 端口描述

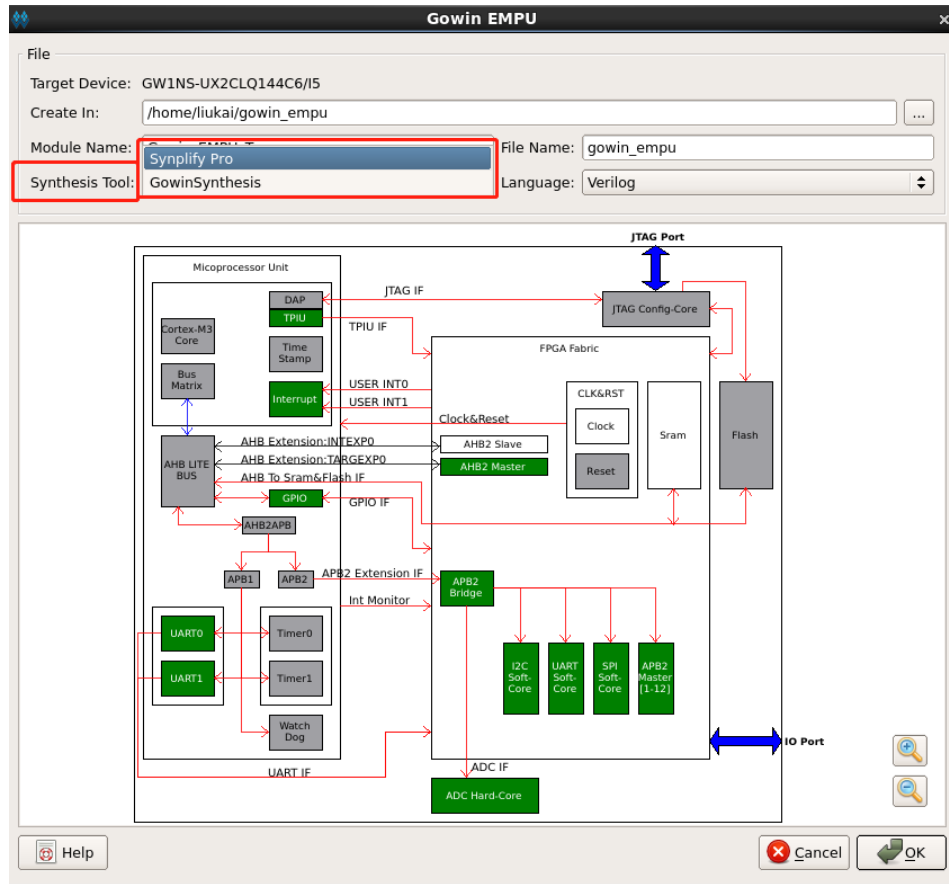
名称	I/O	位宽	描述
sys_clk	in	1	系统时钟信号
reset_n	in	1	系统复位信号
mosi	out	1	主设备输出/从设备输入
miso	in	1	主设备输入/从设备输出
sclk	out	1	时钟信号
nss	out	1	从设备选择信号
uart_rxd	in	1	UART 接收信号
uart_txd	out	1	UART 发送信号
scl	inout	1	I2C 串行时钟信号
sda	inout	1	I2C 串行数据信号
adc_channel	input	[7:0]	ADC 8 通道模拟信号输入
adc_vref	input	1	ADC 参考电压
master_pclk	out	1	APB2 Master 时钟信号
master_prst	out	1	APB2 Master 复位信号
master_penable	out	1	APB2 Master 使能信号
master_paddr	out	[7:0]	APB2 Master 地址信号
master_pwrite	out	1	APB2 Master 读写方向
master_pwdata	out	[31:0]	APB2 Master 写数据
master_pstrb	out	[3:0]	APB2 Master 写选通信号
master_pprot	out	[2:0]	APB2 Master 保护类型
master_psel1	out	1	APB2 Master 1 选择信号
master_pready1	in	1	APB2 Master 1 准备好
master_prdata1	in	[31:0]	APB2 Master 1 读数据
master_pslverr1	in	1	APB2 Slave 1 传输失败
master_psel2	out	1	APB2 Master 2 选择信号
master_pready2	in	1	APB2 Master 2 准备好
master_prdata2	in	[31:0]	APB2 Master 2 读数据
master_pslverr2	in	1	APB2 Slave 2 传输失败
master_psel3	out	1	APB2 Master 3 选择信号
master_pready3	in	1	APB2 Master 3 准备好
master_prdata3	in	[31:0]	APB2 Master 3 读数据
master_pslverr3	in	1	APB2 Slave 3 传输失败
master_psel4	out	1	APB2 Master 4 选择信号
master_pready4	in	1	APB2 Master 4 准备好
master_prdata4	in	[31:0]	APB2 Master 4 读数据
master_pslverr4	in	1	APB2 Slave 4 传输失败
master_psel5	out	1	APB2 Master 5 选择信号
master_pready5	in	1	APB2 Master 5 准备好
master_prdata5	in	[31:0]	APB2 Master 5 读数据

名称	I/O	位宽	描述
master_pslverr5	in	1	APB2 Slave 5 传输失败
master_psel6	out	1	APB2 Master 6 选择信号
master_pready6	in	1	APB2 Master 6 准备好
master_prdata6	in	[31:0]	APB2 Master 6 读数据
master_pslverr6	in	1	APB2 Slave 6 传输失败
master_psel7	out	1	APB2 Master 7 选择信号
master_pready7	in	1	APB2 Master 7 准备好
master_prdata7	in	[31:0]	APB2 Master 7 读数据
master_pslverr7	in	1	APB2 Slave 7 传输失败
master_psel8	out	1	APB2 Master 8 选择信号
master_pready8	in	1	APB2 Master 8 准备好
master_prdata8	in	[31:0]	APB2 Master 8 读数据
master_pslverr8	in	1	APB2 Slave 8 传输失败
master_psel9	out	1	APB2 Master 9 选择信号
master_pready9	in	1	APB2 Master 9 准备好
master_prdata9	in	[31:0]	APB2 Master 9 读数据
master_pslverr9	in	1	APB2 Slave 9 传输失败
master_psel10	out	1	APB2 Master 10 选择信号
master_pready10	in	1	APB2 Master 10 准备好
master_prdata10	in	[31:0]	APB2 Master 10 读数据
master_pslverr10	in	1	APB2 Slave 10 传输失败
master_psel11	out	1	APB2 Master 11 选择信号
master_pready11	in	1	APB2 Master 11 准备好
master_prdata11	in	[31:0]	APB2 Master 11 读数据
master_pslverr11	in	1	APB2 Slave 11 传输失败
master_psel12	out	1	APB2 Master 12 选择信号
master_pready12	in	1	APB2 Master 12 准备好
master_prdata12	in	[31:0]	APB2 Master 12 读数据
master_pslverr12	in	1	APB2 Slave 12 传输失败

3.2.9 综合工具配置

完成 Gowin_EMPU for GW1NS-2C 功能配置后，选择产生 Gowin_EMPU 的综合工具 Synplify Pro 或 GowinSynthesis，如图 3-16 所示。

图 3-16 综合工具配置



3.2.10 完成配置

完成配置后，单击“OK”，产生 Gowin_EMPU for GW1NS-2C 硬件设计。

3.3 用户设计

- 完成 Gowin_EMPU 配置后，产生 Gowin_EMPU 硬件设计
- 实例化 Gowin_EMPU
- 导入用户设计，连接 Gowin_EMPU，形成完整的 RTL 设计

3.4 约束

完成用户 RTL 设计后，根据使用的开发板和需要输出的 IO，产生物理约束文件。

根据时序要求，产生时序约束文件。

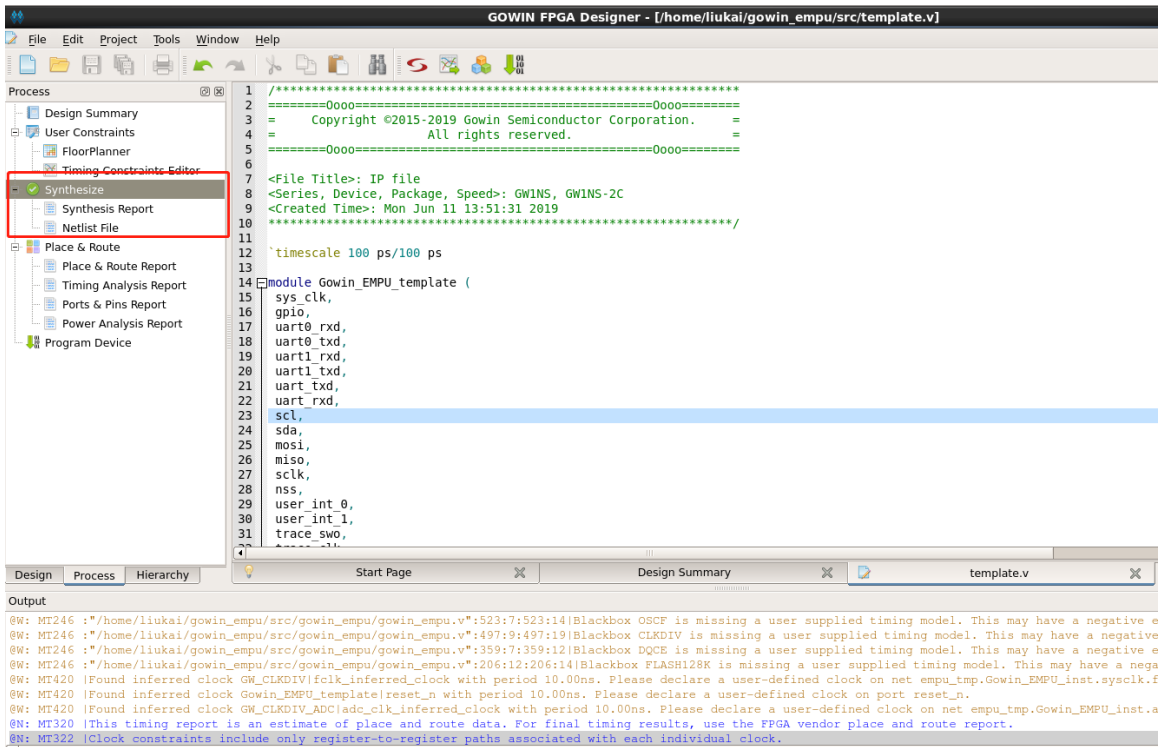
物理约束的产生方法请参考 [SUG101](#)，Gowin 设计约束指南。

3.5 综合

运行综合工具 Synplify_Pro 或 GowinSynthesis, 完成 RTL 设计的综合，如图 3-17 所示。

综合工具的使用方法请参考 [SUG100](#), Gowin 云源软件用户指南。

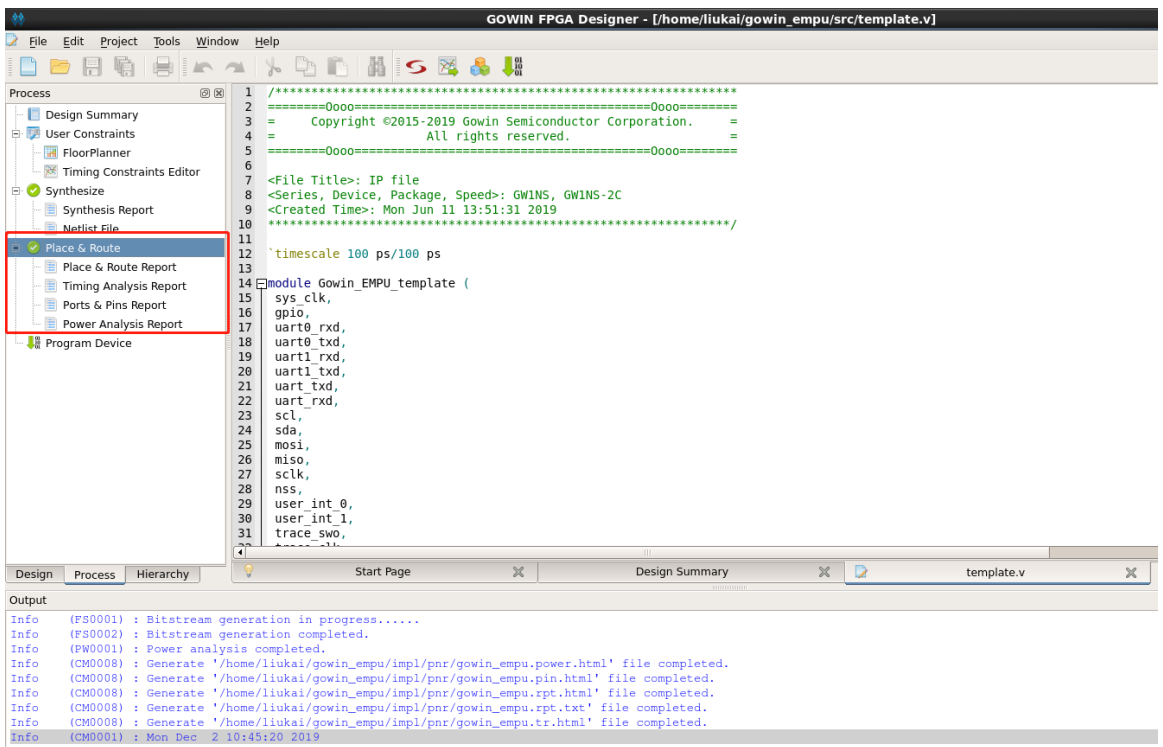
图 3-17 综合



3.6 布局布线

运行布局布线工具 Place & Route, 完成布局布线和生成码流文件, 如图 3-18 所示。

图 3-18 布局布线



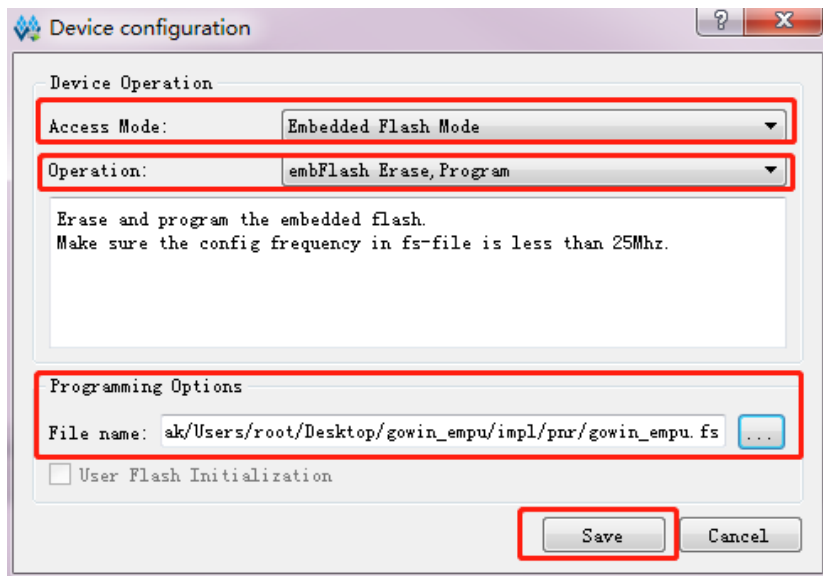
布局布线工具使用方法请参考 [SUG100](#), Gowin 云源软件用户指南。

3.7 下载

运行下载软件 Programmer。

单击 Programmer 菜单栏“Edit/Configure Device”或工具栏“Configure Device”，打开“Device configuration”对话框，“Access Mode”下拉列表中选择“Embedded Flash Mode”，“Operation”下拉列表中选择“embFlash Erase, Program”，“Programming Options”中导入需要下载的码流文件，单击“Save”，如图 3-19 所示。

图 3-19 Device Configuration



完成 Device configuration 后，单击 Programmer 工具栏“Program/Configure”，完成码流下载。

下载工具 Programmer 使用方法请参考 [SUG502](#), Gowin Programmer 用户指南。

4 参考设计

Gowin_EMPU for GW1NS-2C 支持包括 UART0、UART1、Timer0、Timer1、WatchDog、GPIO、User Interrupt 0、User Interrupt 1、TPIU、ADC、I2C、SPI 和 UART 的参考设计：

Gowin_EMPU\ref_design\FPGA_RefDesign\

