




Gowin_EMPU(GW1NS-2C)硬件设计

参考手册

IPUG517-1.5,2021-06-22

版权所有 © 2021 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其所有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2018/08/21	1.0	初始版本。
2018/11/30	1.1	<ul style="list-style-type: none">● 支持仿真器调试；● 支持 IP Core Generator 生成 MCU 软核。
2019/04/12	1.2	<ul style="list-style-type: none">● 支持扩展 I2C、SPI 和 UART 硬件设计；● 支持可配置 SRAM 容量为 2KB、4KB 和 8KB；● 更新 IP Core Generator 中 SRAM 配置选项。
2019/08/06	1.2.1	修复已知 SPI 和 ADC 问题。
2019/12/02	1.3	<ul style="list-style-type: none">● 更新 MCU 编译软件 GMD V1.0；● 更新 RTOS 参考设计；● 增加 AHB2 和 APB2 扩展总线接口硬件和软件参考设计；● 修复已知外部设备 ADC 转换精度问题。
2020/04/27	1.4	<ul style="list-style-type: none">● 器件 GW1NSR-2C 支持 MCU 外部设备 AHB PSRAM；● 更新开发板参考设计。
2021/06/22	1.5	<ul style="list-style-type: none">● 修复已知的 SPI 全双工读写问题；● 删除综合工具 Synplify Pro；● 更新 FPGA 软件版本；● 更新参考设计。

目录

目录	i
图目录	iii
表目录	iv
1 硬件架构	1
1.1 系统架构	1
1.2 系统特征	2
1.2.1 MCU 内核系统	2
1.2.2 FPGA 内核系统	3
1.3 系统端口	3
1.4 系统资源统计	7
2 硬件设计流程	8
2.1 硬件环境	8
2.2 软件环境	8
2.3 IP Core Generator	8
2.4 Programmer	8
2.5 设计流程	8
3 工程模板	10
3.1 工程创建	10
3.1.1 创建工程	10
3.1.2 设定工程名称和路径	11
3.1.3 选择器件	11
3.1.4 完成工程创建	12
3.2 硬件设计	13

3.2.1 TPIU 配置.....	16
3.2.2 Interrupt 配置	16
3.2.3 GPIO 配置.....	17
3.2.4 UART 配置	18
3.2.5 AHB2 Extend Bus 配置	18
3.2.6 Clock 配置.....	19
3.2.7 Sram 配置	20
3.2.8 APB2 Extend Bus 配置	21
3.2.9 AHB PSRAM 配置.....	24
3.3 用户设计.....	27
3.4 约束.....	27
3.5 选项配置.....	28
3.5.1 综合选项配置	28
3.6 综合	28
3.7 布局布线.....	29
3.8 下载.....	30
4 参考设计	31

图目录

图 1-1 系统架构	1
图 3-1 创建 FPGA Design 工程	10
图 3-2 设定工程名称和路径	11
图 3-3 选择器件	12
图 3-4 完成工程创建	12
图 3-5 选择 Gowin_EMPU(GW1NS-2C)	13
图 3-6 系统配置选项	14
图 3-7 TPIU 配置	16
图 3-8 Interrupt 配置	17
图 3-9 GPIO 配置	17
图 3-10 UART 配置	18
图 3-11 AHB2 Extend Bus 配置	19
图 3-12 Clock 配置	20
图 3-13 Sram 配置	20
图 3-14 Default Configuration	21
图 3-15 Extended Configuration	23
图 3-16 PSRAM Memory Interface	26
图 3-17 综合选项配置	28
图 3-18 综合	29
图 3-19 布局布线	29
图 3-20 下载选项配置	30

表目录

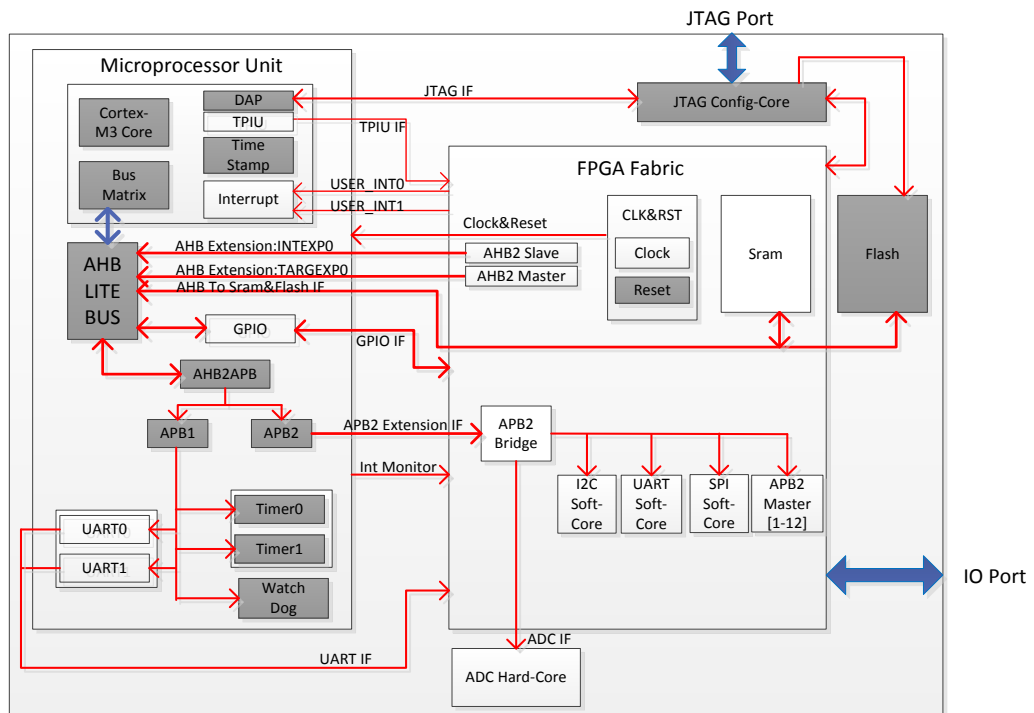
表 1-1 系统端口定义	3
表 1-2 系统资源统计	7
表 3-1 系统配置选项	15
表 3-2 APB2 Master[1-12]基地址映射	24
表 3-3 硬件参考设计描述	25
表 3-4 PSRAM Memory Interface 选项配置	26
表 3-5 AHB PSRAM 时钟配置	27
表 3-6 Gowin_EMPU(GW1NS-2C)选项配置	27

1 硬件架构

1.1 系统架构

Gowin_EMPU(GW1NS-2C), 是由 MCU 内核系统和 FPGA 内核系统组成的片上系统, 内置 ADC 等硬件资源, 如图 1-1 所示。

图 1-1 系统架构



MCU 内核系统, 包括 MCU Core、AHB 总线及外部设备、AHB2APB Bridge、APB1 总线及外部设备等。

FPGA 内核系统, 包括 MCU 内核系统的时钟和复位信号输入、MCU 内核系统的数据存储器 (SRAM) 和指令存储器 (FLASH)、APB2 Bridge、APB2 总线及外部设备等。

1.2 系统特征

Gowin_EMPU(GW1NS-2C), 包括两级子系统:

- MCU 内核系统
- FPGA 内核系统

1.2.1 MCU 内核系统

MCU 内核系统, 包括:

- MCU Core
 - ARM Cortex-M3 Core, ARM architecture v7-M Thumb2 指令集架构, 支持 16-bit 和 32-bit 指令集
 - DAP (Debug Access Port)
 - Bus Matrix
 - NVIC (Nested Vector Interrupt Controller)
 - TPIU (Trace Port Interface Unit)
- AHB 总线系统及外部设备
 - GPIO
 - AHB2 Master 用户扩展接口
 - AHB2 Slave 用户扩展接口
- AHB2APB Bridge
- APB 总线系统及外部设备
 - UART0
 - UART1
 - Timer0
 - Timer1
 - Watch Dog
 - APB2 扩展接口

1.2.2 FPGA 内核系统

FPGA 内核系统，包括：

- 外部晶振时钟输入分频后作为 MCU 内核系统时钟或用户可自行选择 MCU 内核系统时钟源，MCU 内核最高时钟频率为 30MHz
- 复位信号输入，作为 MCU 内核系统的系统复位信号
- 2 个用户中断处理信号，用户可以扩展外部设备的中断处理功能
- AHB 扩展总线接口
 - SRAM 和 FLASH，作为 MCU 内核系统的数据存储器和指令存储器
 - 1 个 AHB2 Master 用户扩展接口
 - 1 个 AHB2 Slave 用户扩展接口
- APB2 扩展接口
 - SPI Master
 - I2C Master
 - UART
 - ADC Controller
 - 12 个 APB2 Master 用户扩展接口
- Memory
 - MCU 内核系统数据存储器 SRAM Size，可以配置为 2KB、4KB 或 8KB
 - MCU 内核系统指令存储器 FLASH Size，为 128KB

1.3 系统端口

Gowin_EMPU(GW1NS-2C)系统端口定义，如表 1-1 所示。

表 1-1 系统端口定义

名称	I/O	位宽	描述	所属模块
sys_clk	in	1	系统时钟信号	-
reset_n	in	1	系统复位信号	-
trace_clk	out	1	TPIU时钟信号	TPIU
trace_swo	out	1	TPIU数据观察信号	

名称	I/O	位宽	描述	所属模块
trace_data	out	[3:0]	TPIU数据输出信号	
user_int_0	in	1	用户中断处理信号 0	Interrupt
user_int_1	in	1	用户中断处理信号 1	
gpio	inout	[15:0]	通用输入输出信号	GPIO
uart0_rxd	in	1	UART0接收信号	UART0
uart0_txd	out	1	UART0发送信号	
uart1_rxd	in	1	UART1接收信号	UART1
uart1_txd	out	1	UART1发送信号	
uart_rxd	in	1	UART接收信号	UART
uart_txd	out	1	UART发送信号	
scl	inout	1	I2C串行时钟信号	I2C Master
sda	inout	1	I2C串行数据信号	
adc_channel	in	[7:0]	ADC通道输入信号	ADC
adc_vref	in	1	ADC参考电压信号	
mosi	out	1	SPI主设备输出/从设备输入信号	SPI Master
miso	in	1	SPI主设备输入/从设备输出信号	
sclk	out	1	SPI时钟信号	
nss	out	1	SPI从设备选择信号	
master_hclk	out	1	Master时钟信号	AHB2 Master
master_hrst	out	1	Master复位信号	
master_hsel	out	1	Master选择信号	
master_haddr	out	[31:0]	Master地址信号	
master_htrans	out	[1:0]	Master传输类型信号	
master_hwrite	out	1	Master读写方向信号	
master_hsize	out	[2:0]	Master传输数据Size信号	
master_hburst	out	[2:0]	Master burst类型信号	
master_hprot	out	[3:0]	Master保护控制信号	
master_memattr	out	[1:0]	Master memattr信号	
master_exreq	out	1	Master exreq信号	
master_hmaster	out	[3:0]	Master主机标号信号	

名称	I/O	位宽	描述	所属模块
master_hwdata	out	[31:0]	Master写数据信号	
master_hmastlock	out	1	Master锁定标记信号	
master_hreadymux	out	1	Master hreadymux信号	
master_hauser	out	1	Master hauser信号	
master_hwuser	out	[3:0]	Master hwuser信号	
master_hrdata	in	[31:0]	Master读数据信号	
master_hreadyout	in	1	Master hreadyout信号	
master_hresp	in	1	Master传输状态信号	
master_exresp	in	1	Master exresp信号	
master_hruser	in	[2:0]	Master hruser信号	
slave_hsel	in	1	Slave选择信号	AHB2 Slave
slave_haddr	in	[31:0]	Slave地址信号	
slave_htrans	in	[1:0]	Slave传输类型信号	
slave_hwwrite	in	1	Slave读写方向信号	
slave_hsize	in	[2:0]	Slave传输数据Size信号	
slave_hburst	in	[2:0]	Slave burst类型信号	
slave_hprot	in	[3:0]	Slave保护控制信号	
slave_hmaster	in	[3:0]	Slave主机标号信号	
slave_hwdata	in	[31:0]	Slave写数据信号	
slave_hmastlock	in	1	Slave锁定标记信号	
slave_hrdata	out	[31:0]	Slave读数据信号	
slave_hready	out	1	Slave准备好信号	
slave_hresp	out	1	Slave传输状态信号	
slave_hexresp	out	1	Slave hexresp信号	
slave_hruser	out	[2:0]	Slave hruser信号	
slave_hmemattr	in	[1:0]	Slave hmemattr信号	
slave_hexreq	in	1	Slave hexreq信号	
slave_hauser	in	1	Slave hauser信号	
slave_hwuser	in	[3:0]	Slave hwuser信号	
master_pclk	out	1	APB2 Master时钟信号	APB2 Master [1-12]
master_prst	out	1	APB2 Master复位信号	
master_penable	out	1	APB2 Master使能信号	

名称	I/O	位宽	描述	所属模块
master_paddr	out	[7:0]	APB2 Master地址信号	
master_pwrite	out	1	APB2 Master读写方向信号	
master_pwdata	out	[31:0]	APB2 Master写数据信号	
master_pstrb	out	[3:0]	APB2 Master写选通信号	
master_pprot	out	[2:0]	APB2 Master保护类型信号	
master_psel1	out	1	APB2 Master [1]选择信号	APB2 Master [1]
master_pready1	in	1	APB2 Master [1]准备好信号	
master_prdata1	in	[31:0]	APB2 Master [1]读数据信号	
master_pslverr1	in	1	APB2 Master [1]传输失败信号	
master_psel2	out	1	APB2 Master [2]选择信号	APB2 Master [2]
master_pready2	in	1	APB2 Master [2]准备好信号	
master_prdata2	in	[31:0]	APB2 Master [2]读数据信号	
master_pslverr2	in	1	APB2 Master [2]传输失败信号	
master_psel3	out	1	APB2 Master [3]选择信号	APB2 Master [3]
master_pready3	in	1	APB2 Master [3]准备好信号	
master_prdata3	in	[31:0]	APB2 Master [3]读数据信号	
master_pslverr3	in	1	APB2 Master[3]传输失败信号	
master_psel4	out	1	APB2 Master [4]选择信号	APB2 Master [4]
master_pready4	in	1	APB2 Master [4]准备好信号	
master_prdata4	in	[31:0]	APB2 Master [4]读数据信号	
master_pslverr4	in	1	APB2 Master[4]传输失败信号	
master_psel5	out	1	APB2 Master [5]选择信号	APB2 Master [5]
master_pready5	in	1	APB2 Master [5]准备好信号	
master_prdata5	in	[31:0]	APB2 Master [5]读数据信号	
master_pslverr5	in	1	APB2 Master[5]传输失败信号	
master_psel6	out	1	APB2 Master [6]选择信号	APB2 Master [6]
master_pready6	in	1	APB2 Master [6]准备好信号	
master_prdata6	in	[31:0]	APB2 Master [6]读数据信号	
master_pslverr6	in	1	APB2 Master[6]传输失败信号	
master_psel7	out	1	APB2 Master [7]选择信号	APB2 Master [7]
master_pready7	in	1	APB2 Master [7]准备好信号	
master_prdata7	in	[31:0]	APB2 Master [7]读数据信号	

名称	I/O	位宽	描述	所属模块
master_pslverr7	in	1	APB2 Master[7]传输失败信号	
master_psel8	out	1	APB2 Master [8]选择信号	APB2 Master [8]
master_pready8	in	1	APB2 Master [8]准备好信号	
master_prdata8	in	[31:0]	APB2 Master [8]读数据信号	
master_pslverr8	in	1	APB2 Master[8]传输失败信号	
master_psel9	out	1	APB2 Master [9]选择信号	APB2 Master [9]
master_pready9	in	1	APB2 Master [9]准备好信号	
master_prdata9	in	[31:0]	APB2 Master [9]读数据信号	
master_pslverr9	in	1	APB2 Master[9]传输失败信号	
master_psel10	out	1	APB2 Master [10]选择信号	APB2 Master [10]
master_pready10	in	1	APB2 Master [10]准备好信号	
master_prdata10	in	[31:0]	APB2 Master [10]读数据信号	
master_pslverr10	in	1	APB2 Master[10]传输失败信号	
master_psel11	out	1	APB2 Master [11]选择信号	APB2 Master [11]
master_pready11	in	1	APB2 Master [11]准备好信号	
master_prdata11	in	[31:0]	APB2 Master [11]读数据信号	
master_pslverr11	in	1	APB2 Master[11]传输失败信号	
master_psel12	out	1	APB2 Master [12]选择信号	APB2 Master [12]
master_pready12	in	1	APB2 Master [12]准备好信号	
master_prdata12	in	[31:0]	APB2 Master [12]读数据信号	
master_pslverr12	in	1	APB2 Master[12]传输失败信号	

1.4 系统资源统计

Gowin_EMPU(GW1NS-2C)系统资源统计，如表 1-2 所示。

表 1-2 系统资源统计

Resources Configuration	LUTs	Registers	BSRAMs	DSP Macros
MCU Core Minimum	338	243	1	0
MCU Core Default + Peripherals	682	437	4	0
MCU Core Default + AHB PSRAM	1384	948	4	0

2 硬件设计流程

2.1 硬件环境

DK-START-GW1NS2 V3.1: GW1NS-UX2CLQ144C5/I4

2.2 软件环境

Gowin_V1.9.8Beta 及以上版本

2.3 IP Core Generator

Gowin 云源软件的 IP Core Generator，用于配置和产生 Gowin_EMPU(GW1NS-2C)硬件设计。

2.4 Programmer

Gowin 下载软件 Programmer，支持 Gowin_EMPU(GW1NS-2C)硬件设计码流下载。Programmer 软件使用方法，请参考 [SUG502](#)，Gowin Programmer 用户指南。

2.5 设计流程

Gowin_EMPU(GW1NS-2C)硬件设计流程：

- IP Core Generator 配置和产生 Gowin_EMPU(GW1NS-2C)硬件设计，导入当前工程；
- 实例化 Gowin_EMPU(GW1NS-2C) Top Module，导入用户应用设计，连接用户应用设计与 Gowin_EMPU(GW1NS-2C) Top Module；
- 物理约束和时序约束；
- 综合工具 GowinSynthesis[®]综合，生成网表文件；

- Place & Route 布局布线，生成码流文件；
- Programmer 下载码流到 GW1NS-2C/GW1NSR-2C/GW1NSE-2C。

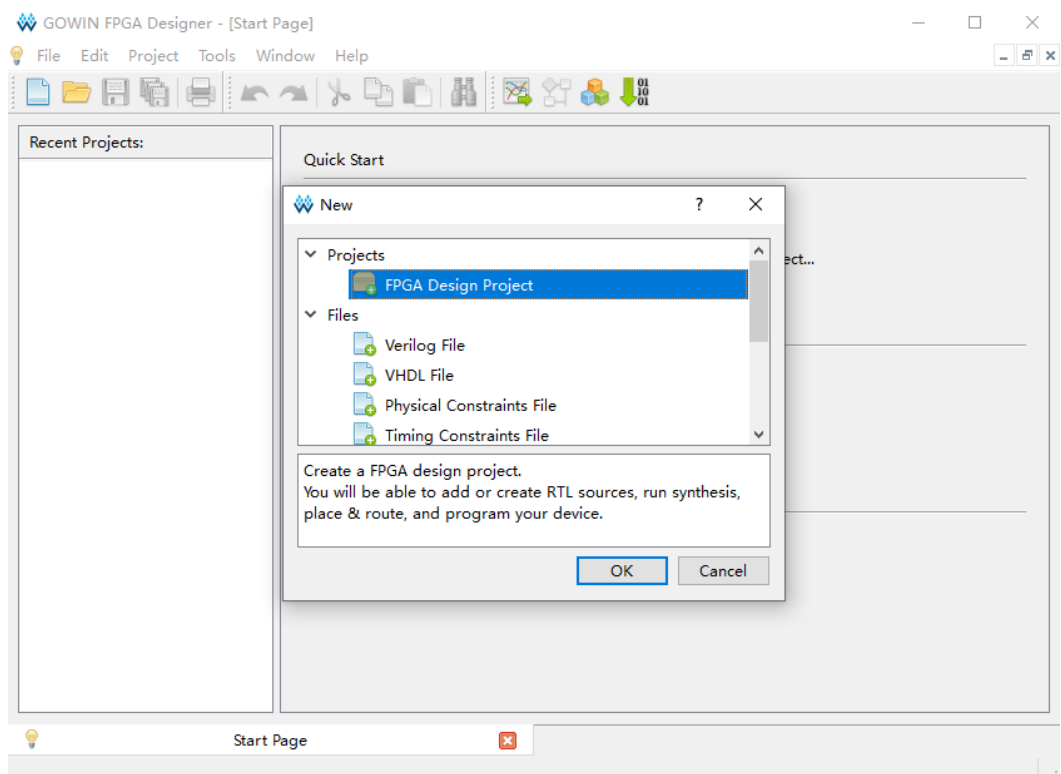
3 工程模板

3.1 工程创建

3.1.1 创建工程

双击打开高云云源软件，选择菜单栏“File > New... > FPGA Design Project”，如图 3-1 所示。

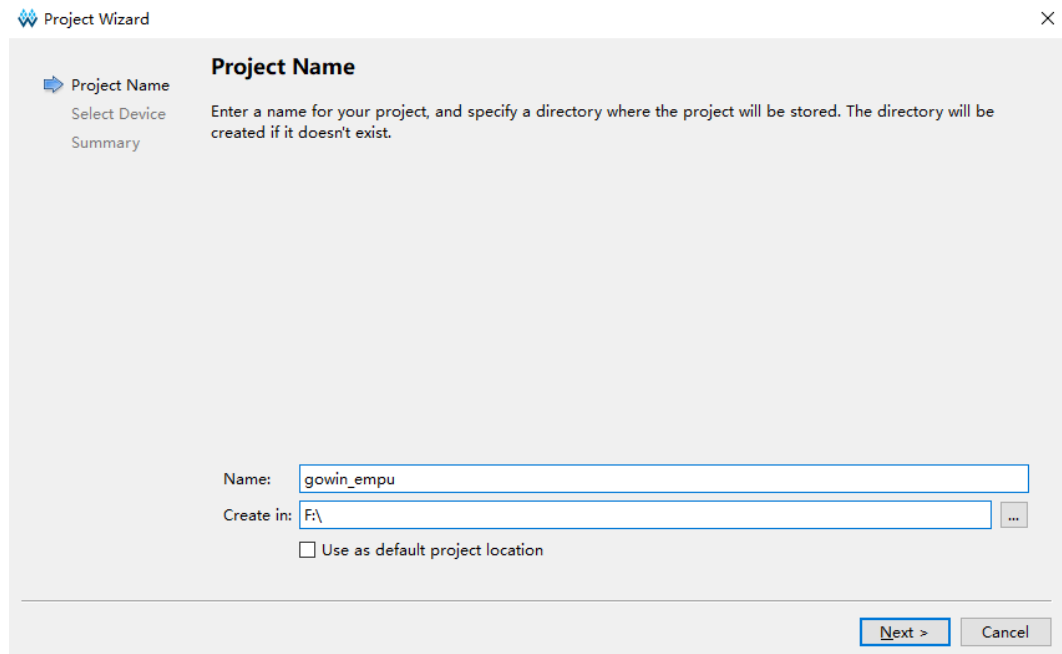
图 3-1 创建 FPGA Design 工程



3.1.2 设定工程名称和路径

输入工程名称，选择工程路径，如图 3-2 所示。

图 3-2 设定工程名称和路径



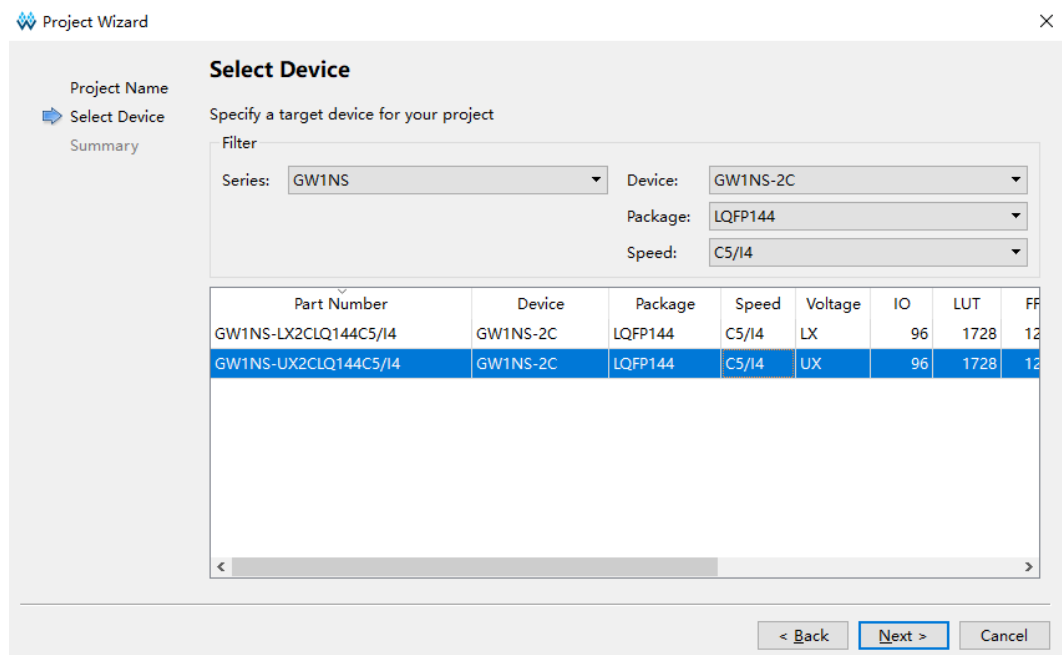
3.1.3 选择器件

选择“Series”、“Device”、“Package”、“Speed”和“Part Number”，如图 3-3 所示。

以软件开发工具包 DK_START_GW1NS2_V3.1 参考设计为例，如下所示。

- Series: GW1NS
- Device: GW1NS-2C
- Package: LQFP144
- Speed: C5/I4
- Part Number: GW1NS-UX2CLQ144C5/I4

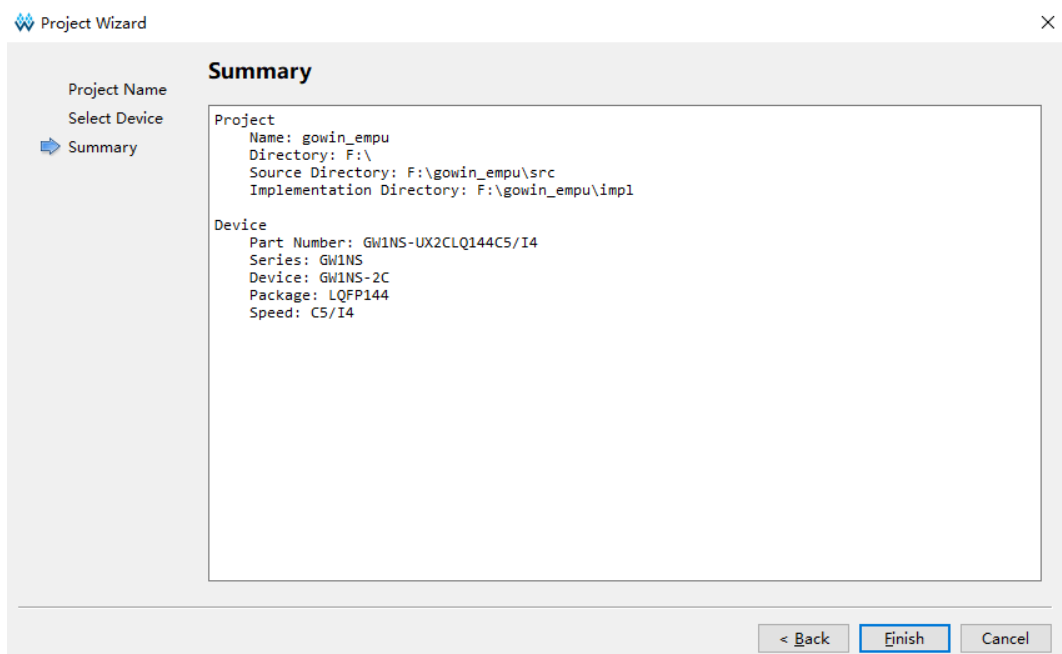
图 3-3 选择器件



3.1.4 完成工程创建


完成工程创建，如图 3-4 所示。

图 3-4 完成工程创建



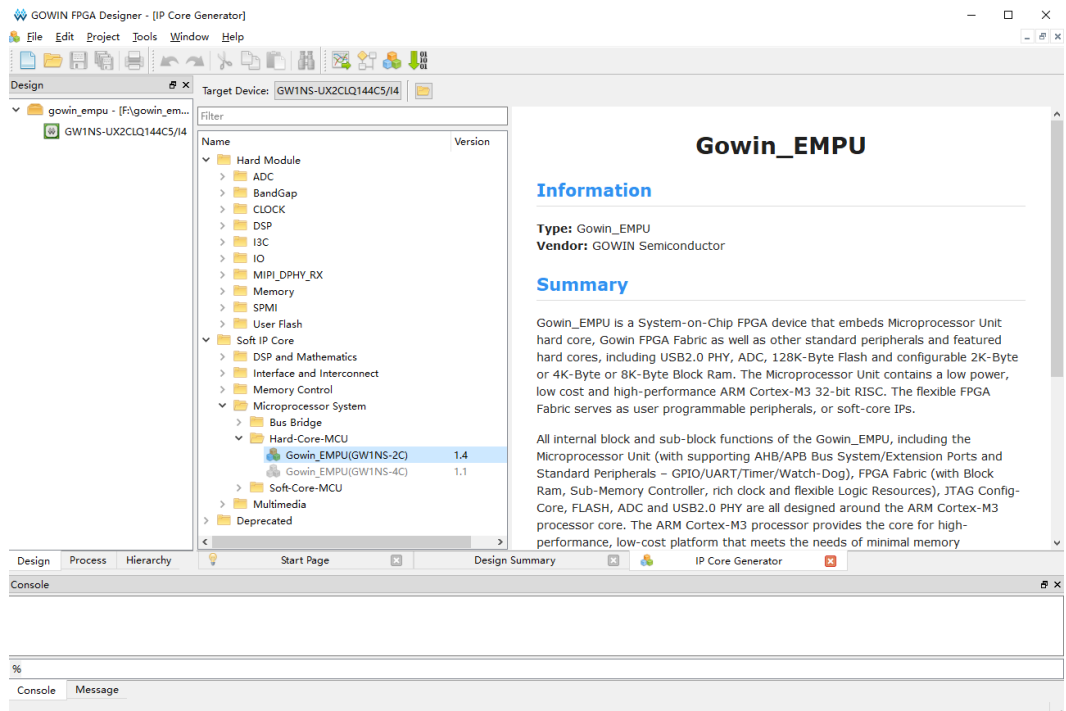
3.2 硬件设计

使用 IP Core Generator 产生 Gowin_EMPU(GW1NS-2C)硬件设计。

选择菜单栏 Tools > IP Core Generator 或工具栏 IP Core Generator “”，打开 IP Core Generator。

选择 “Soft IP Core > Microprocessor System > Hard-Core-MCU > Gowin_EMPU(GW1NS-2C) 1.4”，如图 3-5 所示。

图 3-5 选择 Gowin_EMPU(GW1NS-2C)



双击打开 Gowin_EMPU(GW1NS-2C)系统配置选项，如图 3-6 所示。

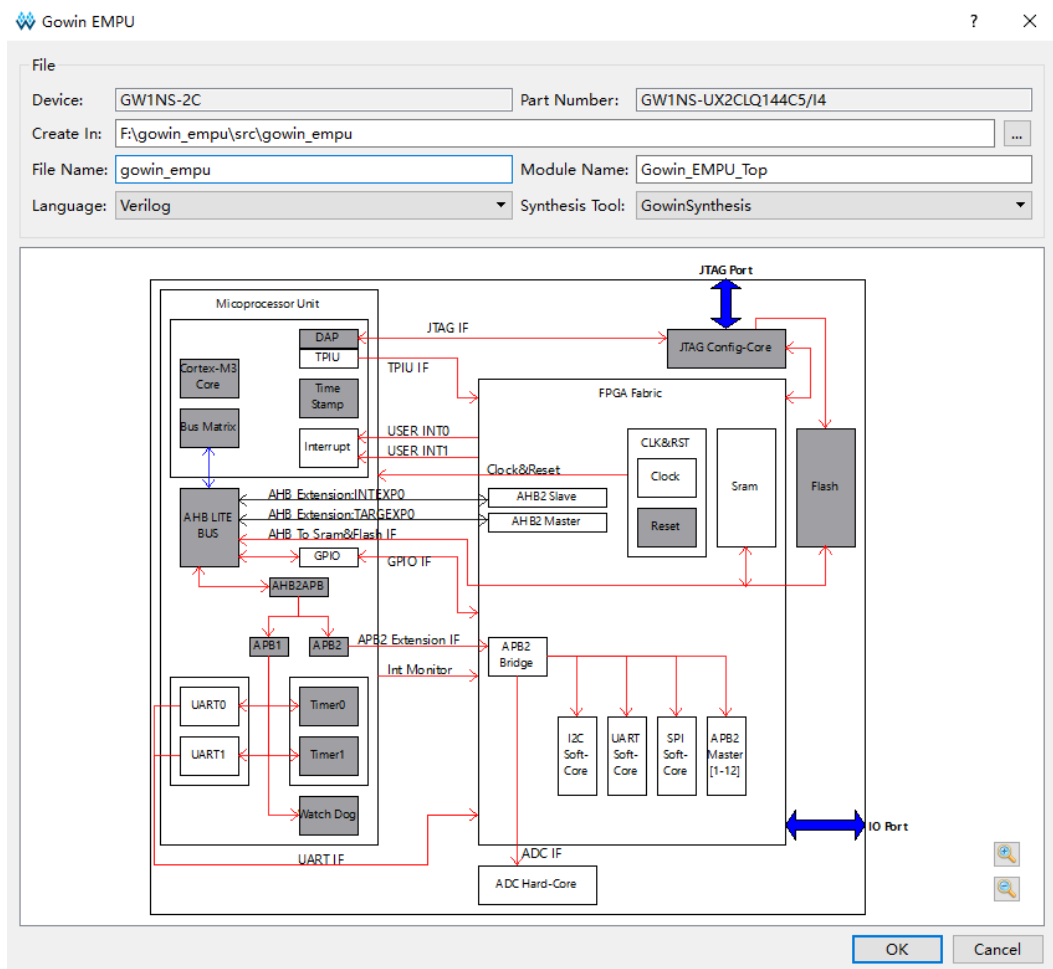
其中置灰模块是系统默认，用户不可以配置；未置灰模块，双击打开该模块进行配置。

用户可以选择配置的模块，包括：

- TPIU
- Interrupt: 2 个用户中断处理信号 USER_INT_0 和 USER_INT_1
- AHB2 Slave: FPGA 内核系统可以扩展 AHB2 Slave 用户设备
- AHB2 Master: FPGA 内核系统可以扩展 AHB2 Master 用户设备
- GPIO

- UART0 和 UART1
- Clock: 默认系统时钟和用户自定义系统时钟
- Sram: 可以配置为 2KB、4KB 或 8KB, 默认为 8KB
- I2C Soft-Core: FPGA 内核系统集成 I2C Master
- UART Soft-Core: FPGA 内核系统集成 UART
- SPI Soft-Core: FPGA 内核系统集成 SPI Master
- APB2 Master[1-12] : FPGA 内核系统可以扩展 12 个 APB2 Master 用户设备
- ADC Hard-Core: FPGA 内核系统集成 ADC

图 3-6 系统配置选项



Gowin_EMPU(GW1NS-2C)系统配置选项，如表 3-1 所示。

表 3-1 系统配置选项

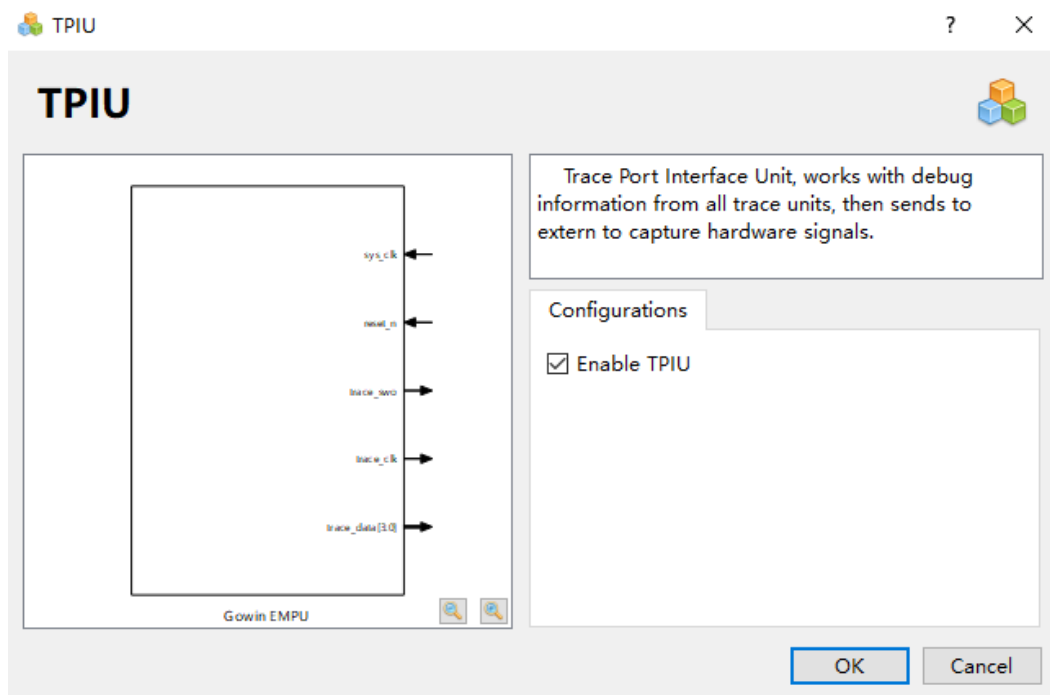
配置选项	描述
Enable TPIU	使能TPIU，默认关闭。
Enable USER_INT_0	使能用户中断处理信号[0]，默认关闭。
Enable USER_INT_1	使能用户中断处理信号[1]，默认关闭。
Enable GPIO	使能GPIO，默认关闭。
Enable UART0	使能UART0，默认关闭。
Enable UART1	使能UART1，默认关闭。
Enable AHB2 Master	使能AHB2 Master用户扩展接口，默认关闭。
Enable AHB2 Slave	使能AHB2 Slave用户扩展接口，默认关闭。
Enable ADC	使能ADC，默认关闭
Enable UART	使能UART，默认关闭
Enable I2C	使能I2C Master，默认关闭。
Enable SPI	使能SPI Master，默认关闭。
Enable APB2 Master 1	使能APB2 Master [1]用户扩展接口，默认关闭。
Enable APB2 Master 2	使能APB2 Master [2]用户扩展接口，默认关闭。
Enable APB2 Master 3	使能APB2 Master [3]用户扩展接口，默认关闭。
Enable APB2 Master 4	使能APB2 Master [4]用户扩展接口，默认关闭。
Enable APB2 Master 5	使能APB2 Master [5]用户扩展接口，默认关闭。
Enable APB2 Master 6	使能APB2 Master [6]用户扩展接口，默认关闭。
Enable APB2 Master 7	使能APB2 Master [7]用户扩展接口，默认关闭。
Enable APB2 Master 8	使能APB2 Master [8]用户扩展接口，默认关闭。
Enable APB2 Master 9	使能APB2 Master [9]用户扩展接口，默认关闭。
Enable APB2 Master 10	使能APB2 Master [10]用户扩展接口，默认关闭。
Enable APB2 Master 11	使能APB2 Master [11]用户扩展接口，默认关闭。
Enable APB2 Master 12	使能APB2 Master [12]用户扩展接口，默认关闭。
Sram Size	配置数据存储器Size，可以配置为2/4/8KB，默认8KB。
Internal Clock (Default)	内部二分频时钟作为MCU内核系统时钟，默认。
External Clock (User Self-Defined)	外部用户自定义时钟作为MCU内核系统时钟。

3.2.1 TPIU 配置

双击打开 TPIU，可以选择配置 TPIU，如图 3-7 所示。

如果选择 Enable TPIU，则 Gowin_EMPU(GW1NS-2C)支持 TPIU，默认关闭。

图 3-7 TPIU 配置

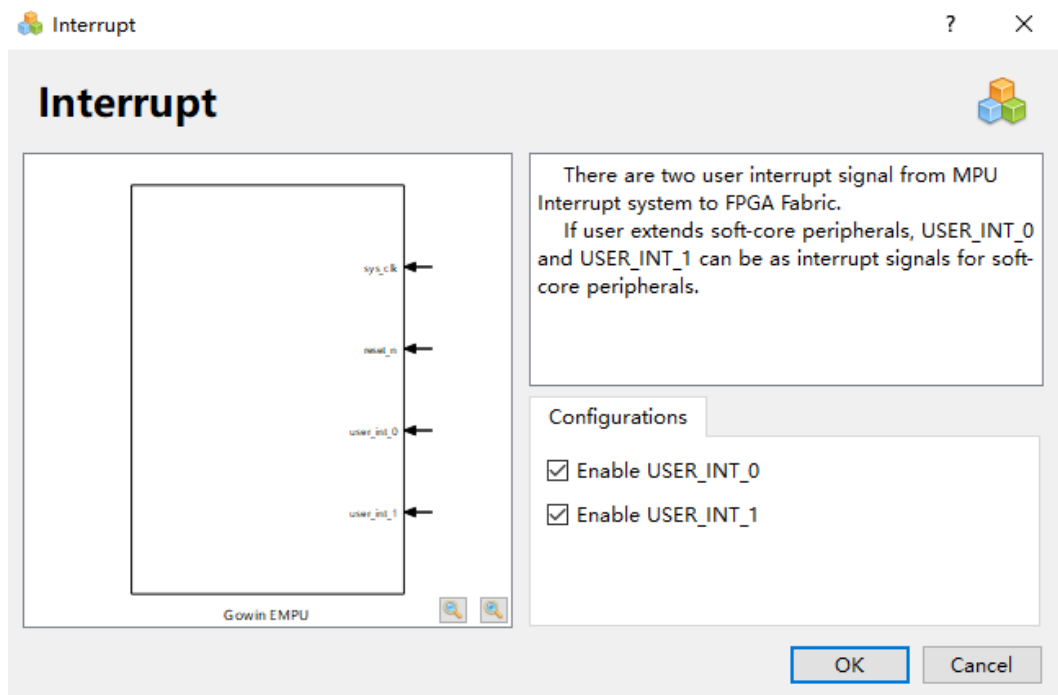


3.2.2 Interrupt 配置

双击打开 Interrupt，可以选择配置用户中断处理信号 USER_INT_0 和 USER_INT_1，作为 FPGA 内核系统用户扩展外部设备中断处理功能的中断处理信号，如图 3-8 所示。

- 如果选择 Enable USER_INT_0，则 Gowin_EMPU(GW1NS-2C)支持用户中断处理信号[0]，默认关闭。
- 如果选择 Enable USER_INT_1，则 Gowin_EMPU(GW1NS-2C)支持用户中断处理信号[1]，默认关闭。

图 3-8 Interrupt 配置

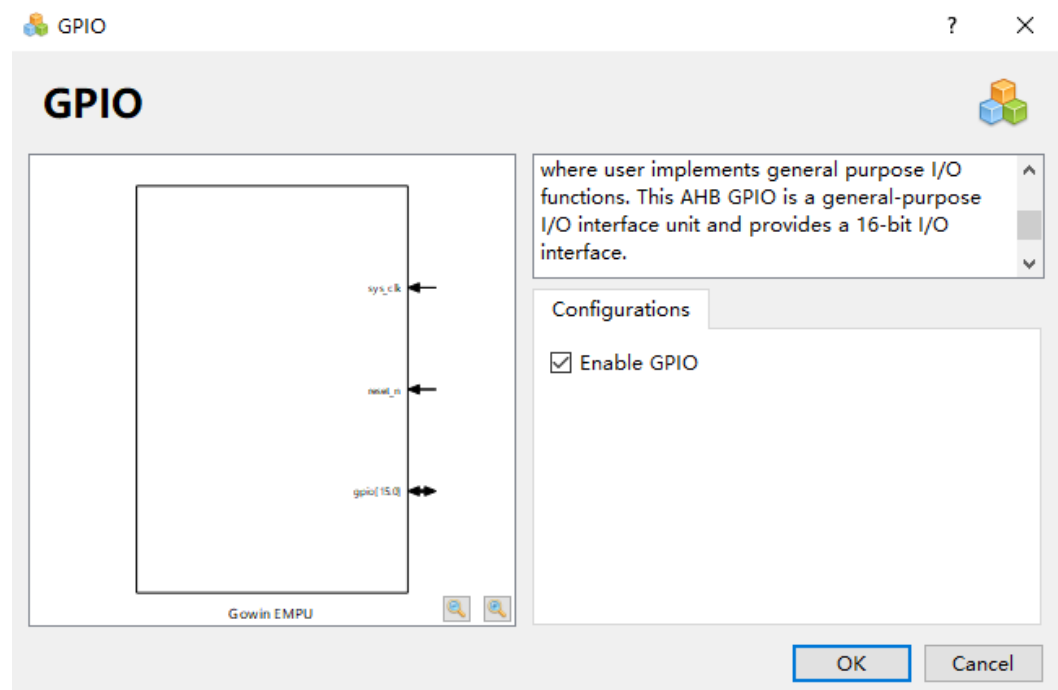


3.2.3 GPIO 配置

双击打开 GPIO，可以选择配置 GPIO，如图 3-9 所示。

如果选择 Enable GPIO，则 Gowin_EMPU(GW1NS-2C)支持 GPIO，默认关闭。

图 3-9 GPIO 配置

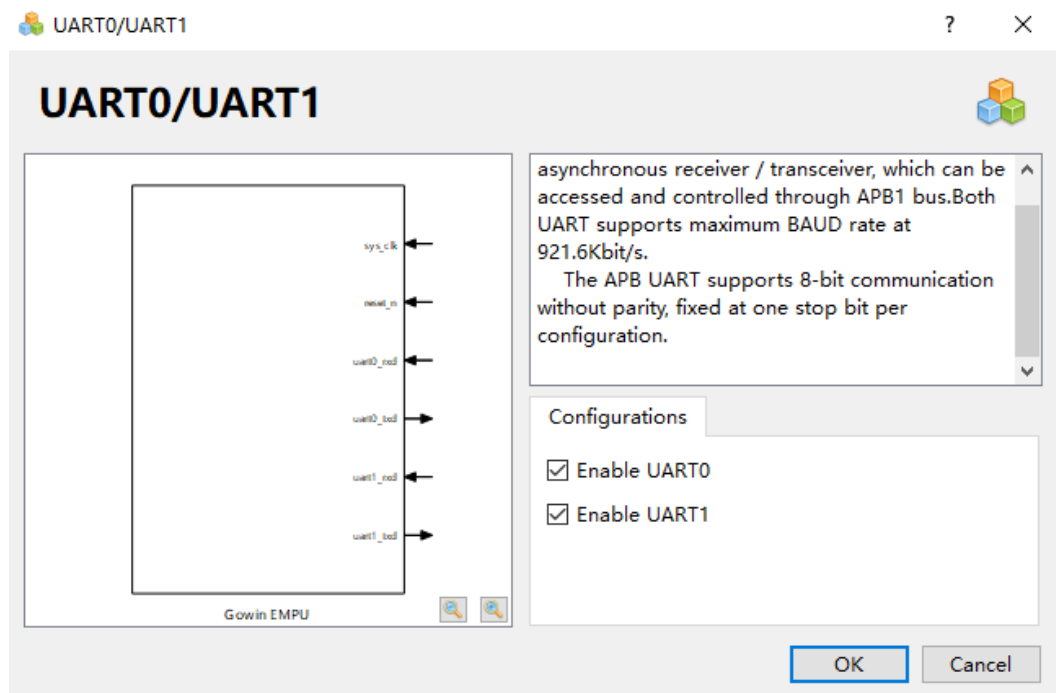


3.2.4 UART 配置

双击打开 UART0 或 UART1，可以选择配置 UART0 和 UART1，如图 3-10 所示。

- 如果选择 Enable UART0，则 Gowin_EMPU(GW1NS-2C)支持 UART0，默认关闭。
- 如果选择 Enable UART1，则 Gowin_EMPU(GW1NS-2C)支持 UART1，默认关闭。

图 3-10 UART 配置



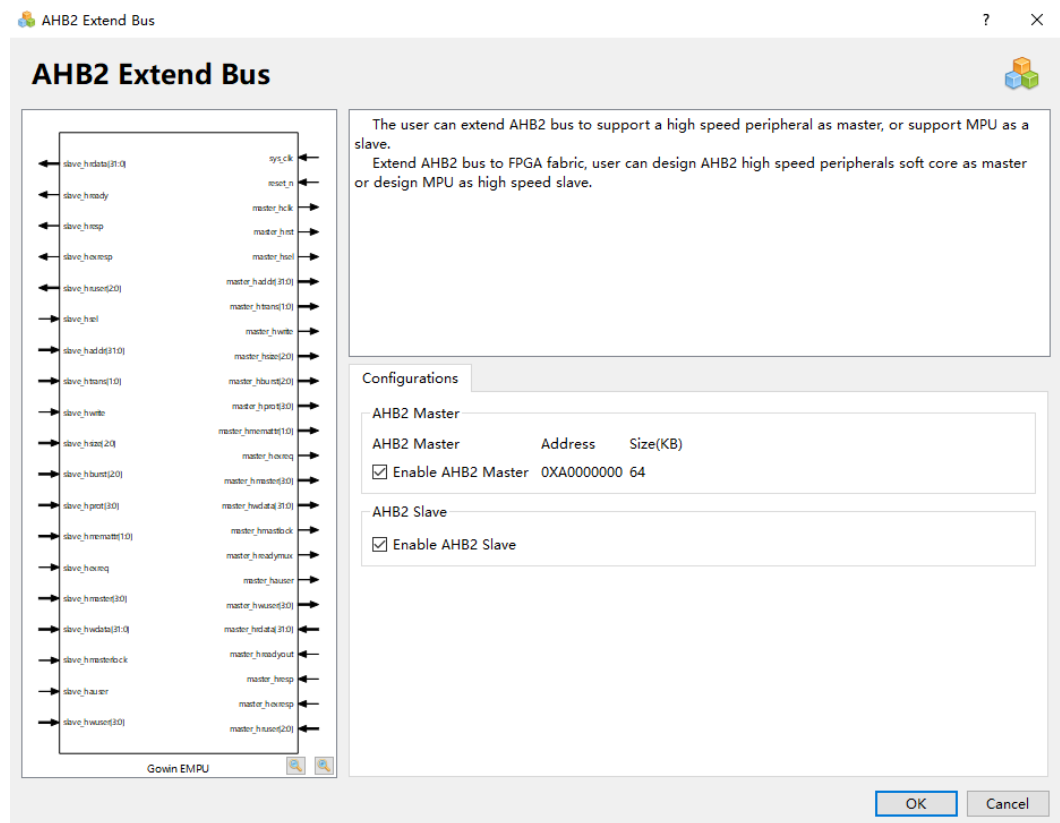
3.2.5 AHB2 Extend Bus 配置

双击打开 AHB2 Slave 或 AHB2 Master，可以选择配置 AHB2 Slave 和 AHB2 Master，如图 3-11 所示。

- 如果选择 Enable AHB2 Master，则 Gowin_EMPU(GW1NS-2C)支持 AHB2 Master，默认关闭。
- 如果选择 Enable AHB2 Slave，则 Gowin_EMPU(GW1NS-2C)支持 AHB2 Slave，默认关闭。

AHB2 Master 用户扩展外部设备的基地址映射：0xA0000000。

图 3-11 AHB2 Extend Bus 配置



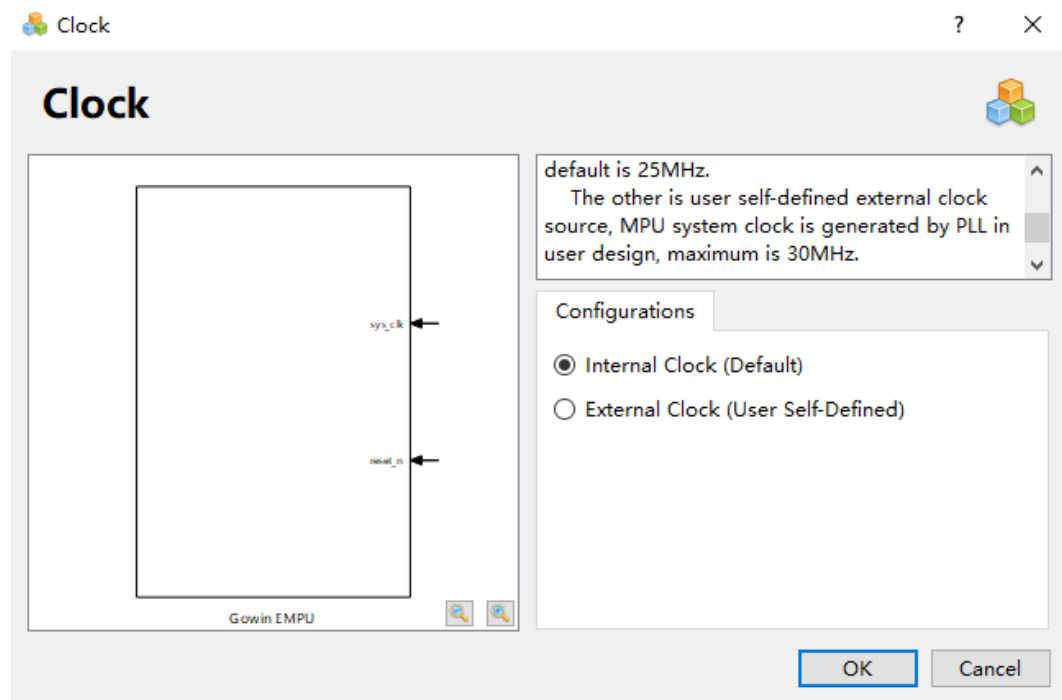
3.2.6 Clock 配置

双击打开 **Clock**，可以选择配置 MCU 内核系统时钟，如图 3-12 所示。

- 如果选择 **Internal Clock (Default)**，则内部二分频处理后的时钟作为 MCU 内核的系统时钟。例如，如果外部时钟晶振输入 **50MHz**，则内部二分频处理后的 **25MHz** 时钟作为 MCU 内核的系统时钟。
- 如果选择 **External Clock (User Self-Defined)**，则用户自定义时钟作为 MCU 内核的系统时钟。

默认为 **Internal Clock (Default)**。MCU 内核的系统时钟，最高为 **30MHz**。

图 3-12 Clock 配置

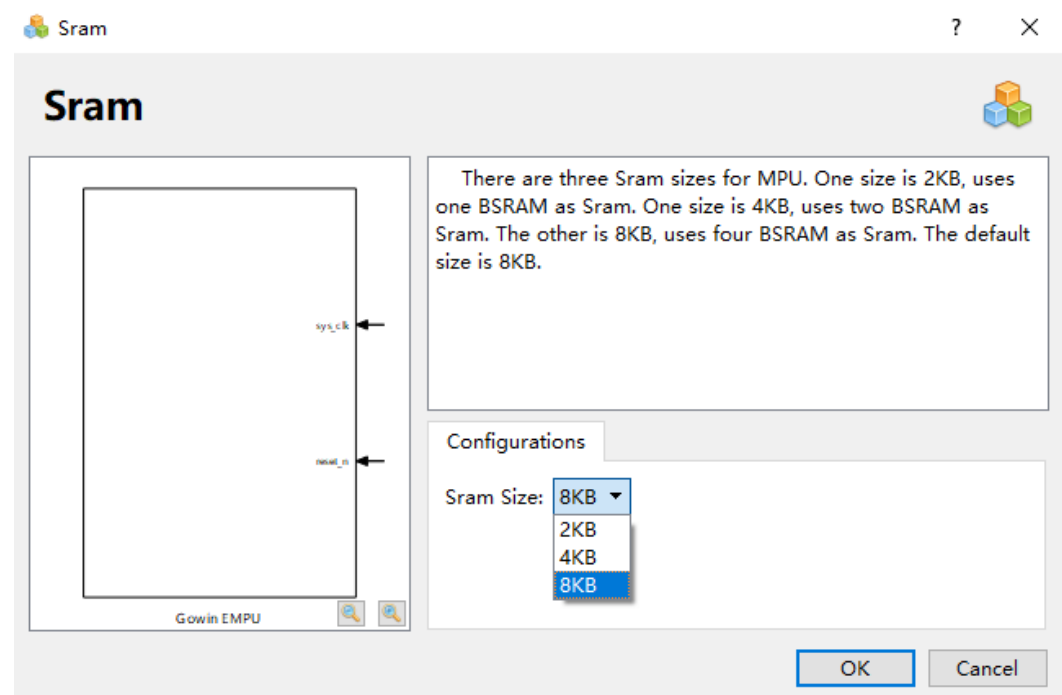


3.2.7 Sram 配置

双击打开 Sram，选择配置 Sram Size，如图 3-13 所示。

默认的 Sram Size 为 8KB，可以选择配置 Sram Size 为 2KB、4KB 或 8KB。

图 3-13 Sram 配置



3.2.8 APB2 Extend Bus 配置

双击 I2C Soft-Core 或 UART Soft-Core 或 SPI Soft-Core 或 ADC Hard-Core 或 APB2 Master[1-12]，可以选择配置 I2C Master、UART、SPI Master、ADC 和 12 个 APB2 Master[1-12]用户扩展接口。

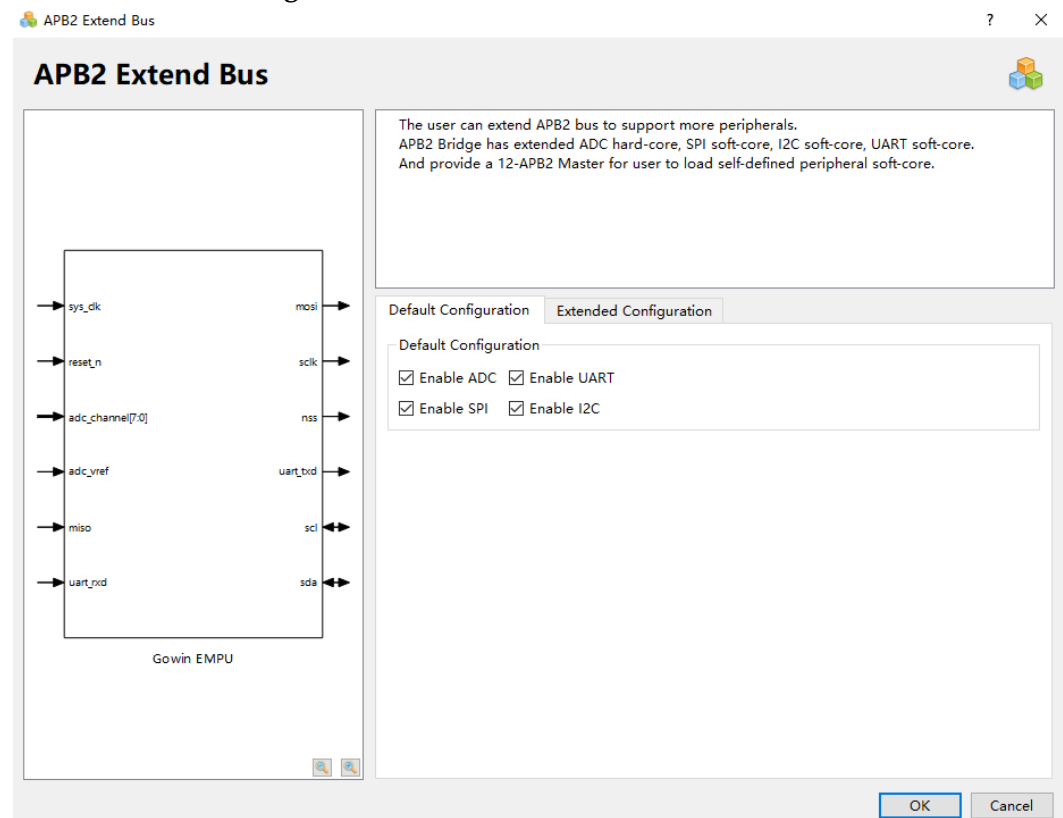
APB2 Extend Bus 配置，包括 Default Configuration 和 Extended Configuration。

Default Configuration

Default Configuration，包括 ADC、UART、SPI Master 和 I2C Master 配置选项，如图 3-14 所示。

- 如果选择 Enable ADC，则 Gowin_EMPU(GW1NS-2C)支持 ADC，默认关闭。
- 如果选择 Enable UART，则 Gowin_EMPU(GW1NS-2C)支持 UART，默认关闭。
- 如果选择 Enable SPI，则 Gowin_EMPU(GW1NS-2C)支持 SPI Master，默认关闭。
- 如果选择 Enable I2C，则 Gowin_EMPU(GW1NS-2C)支持 I2C Master，默认关闭。

图 3-14 Default Configuration

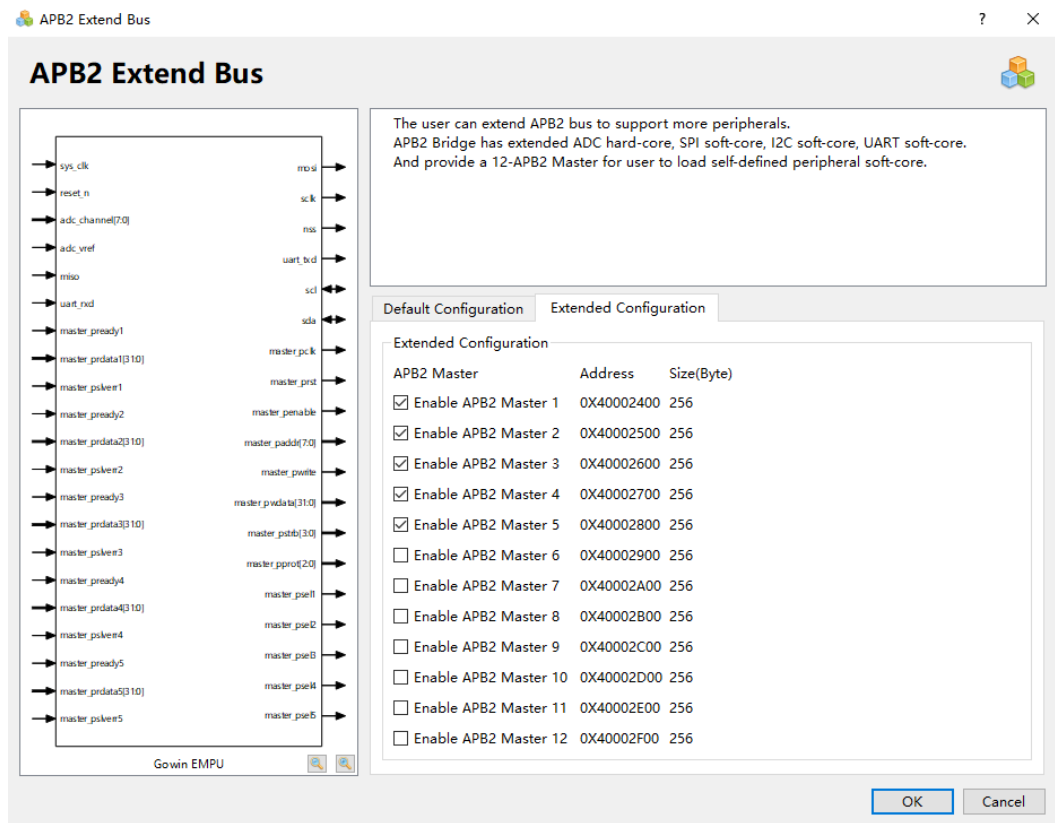


Extended Configuration

Extended Configuration，包括 APB2 Master [1-12]用户扩展接口配置选项，如图 3-15 所示。

- 如果选择 Enable APB2 Master 1，则 Gowin_EMPU(GW1NS-2C)支持 APB2 Master [1]，默认关闭。
- 如果选择 Enable APB2 Master 2，则 Gowin_EMPU(GW1NS-2C)支持 APB2 Master [2]，默认关闭。
- 如果选择 Enable APB2 Master 3，则 Gowin_EMPU(GW1NS-2C)支持 APB2 Master [3]，默认关闭。
- 如果选择 Enable APB2 Master 4，则 Gowin_EMPU(GW1NS-2C)支持 APB2 Master [4]，默认关闭。
- 如果选择 Enable APB2 Master 5，则 Gowin_EMPU(GW1NS-2C)支持 APB2 Master [5]，默认关闭。
- 如果选择 Enable APB2 Master 6，则 Gowin_EMPU(GW1NS-2C)支持 APB2 Master [6]，默认关闭。
- 如果选择 Enable APB2 Master 7，则 Gowin_EMPU(GW1NS-2C)支持 APB2 Master [7]，默认关闭。
- 如果选择 Enable APB2 Master 8，则 Gowin_EMPU(GW1NS-2C)支持 APB2 Master [8]，默认关闭。
- 如果选择 Enable APB2 Master 9，则 Gowin_EMPU(GW1NS-2C)支持 APB2 Master [9]，默认关闭。
- 如果选择 Enable APB2 Master 10，则 Gowin_EMPU(GW1NS-2C)支持 APB2 Master [10]，默认关闭。
- 如果选择 Enable APB2 Master 11，则 Gowin_EMPU(GW1NS-2C)支持 APB2 Master [11]，默认关闭。
- 如果选择 Enable APB2 Master 12，则 Gowin_EMPU(GW1NS-2C)支持 APB2 Master [12]，默认关闭。

图 3-15 Extended Configuration



APB2 Master [1-12]用户扩展外部设备的基地址映射，如表 3-2 所示。

表 3-2 APB2 Master[1-12]基地址映射

APB2 Master	Address	Size(Byte)
1	0x40002400	256
2	0x40002500	256
3	0x40002600	256
4	0x40002700	256
5	0x40002800	256
6	0x40002900	256
7	0x40002A00	256
8	0x40002B00	256
9	0x40002C00	256
10	0x40002E00	256
11	0x40002E00	256
12	0x40002F00	256

3.2.9 AHB PSRAM 配置

如果是器件 GW1NSR-2C，则 Gowin_EMPU(GW1NS-2C)支持 MCU 内核外部设备 AHB PSRAM。以参考设计方式，提供 MCU 内核外部设备 AHB PSRAM。

设计流程

Gowin_EMPU(GW1NS-2C) AHB PSRAM 硬件设计流程：

- IP Core Generator 配置和产生 Gowin_EMPU(GW1NS-2C)，使能 AHB2 Master；
- IP Core Generator 配置和产生 PSRAM Memory Interface；
- 基于 PSRAM Memory Interface，设计 AHB PSRAM；
- 实例化 Gowin_EMPU(GW1NS-2C) Top Module 和 AHB PSRAM Top Module。

Gowin_EMPU(GW1NS-2C) AHB PSRAM 软件设计流程：

- 定义 AHB PSRAM 寄存器结构体 PSRAM_TypeDef；
- 定义 AHB PSRAM 地址映射：AHB2 Master 0xA0000000；
- 定义 AHB PSRAM 外部设备驱动函数。

硬件参考设计

Gowin_EMPU\ref_design\FPGA_RefDesign\DK_START_GW1NSR_V2.1\gowin_empu_ahb_psram

硬件参考设计描述，如表 3-3 所示。

表 3-3 硬件参考设计描述

参考设计	描述
gowin_empu.v	IP Core Generator产生的 Gowin_EMPU(GW1NS-2C)硬件设计
psram_memory_interface.v	IP Core Generator产生的PSRAM Memory Interface 硬件设计
gowin_ahb_psram.v	AHB PSRAM硬件设计
gowin_empu_template.v	实例化Gowin_EMPU(GW1NS-2C) Top Module和 AHB PSRAM Top Module
gowin_empu.cst	硬件参考设计物理约束

软件参考设计：

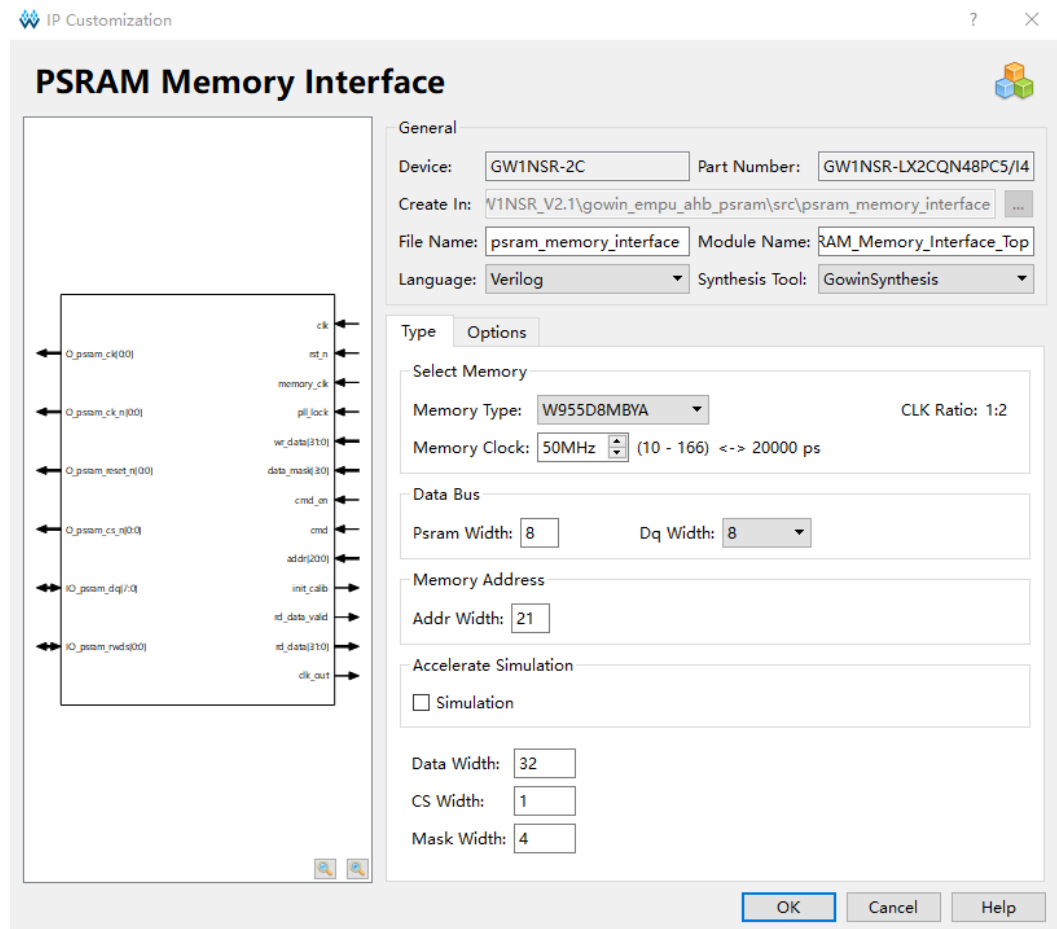
- Gowin_EMPU\ref_design\MCU_RefDesign\Keil_RefDesign\psram
- Gowin_EMPU\ref_design\MCU_RefDesign\GMD_RefDesign\psram

PSRAM 选项配置

打开 IP Core Generator，选择 Soft IP Core > Memory Control > PSRAM Memory Interface。

双击打开 PSRAM Memory Interface，如图 3-16 所示。

图 3-16 PSRAM Memory Interface



PSRAM Memory Interface 选项配置，如表 3-4 所示。

表 3-4 PSRAM Memory Interface 选项配置

配置选项	属性
Memory Type	W955D8M8BYA
CLK Ratio	1:2
Memory Clock	50MHz
Psram Width	8
Dq Width	8
Address Width	21
Data Width	32
CS Width	1
Mask Width	4
Burst Mode	16
Burst Num	4
Fixed Latency Enable	Fixed

配置选项	属性
Initial Latency	6
Drive Strength	50
Deep Power Down	OFF
Hybrid Sleep Mode	OFF
Refresh Rate	normal
PASR	full

AHB PSRAM 时钟配置，如表 3-5 所示。

表 3-5 AHB PSRAM 时钟配置

时钟信号	频率 (MHz)
psram_base_clk	25
psram_memory_clk	50

Gowin_EMPU(GW1NS-2C)选项配置

Gowin_EMPU(GW1NS-2C)，选项配置，如表 3-6 所示。

表 3-6 Gowin_EMPU(GW1NS-2C)选项配置

配置选项	属性
Sram Size	8KB
Enable AHB2 Master	Enable
Enable UART0	Enable

3.3 用户设计

- 完成 Gowin_EMPU(GW1NS-2C)配置后，产生 Gowin_EMPU(GW1NS-2C)硬件设计；
- 实例化 Gowin_EMPU(GW1NS-2C) Top Module；
- 导入用户应用设计，连接 Gowin_EMPU(GW1NS-2C) Top Module 与用户应用设计，形成完整的 RTL 设计。

3.4 约束

完成用户 RTL 设计后，根据使用的开发板和需要输入输出的 IO，产生物理约束文件。

根据时序要求，产生时序约束文件。

物理约束的产生方法请参考 [SUG101](#)，Gowin 设计约束指南。

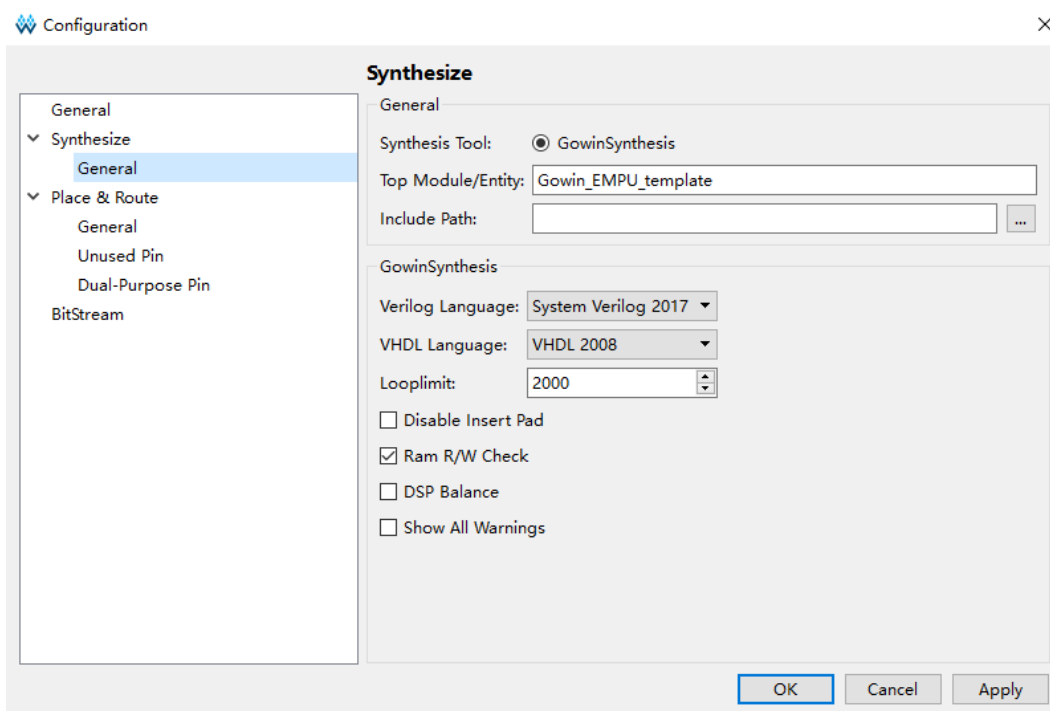
3.5 选项配置

3.5.1 综合选项配置

综合选项配置，如图 3-17 所示。

- 根据设计中的实际顶层模块名称，配置 Top Module/Entity；
- 根据设计中的实际文件路径，配置 Include Path；
- 配置 Verilog Language，如 System Verilog 2017。

图 3-17 综合选项配置

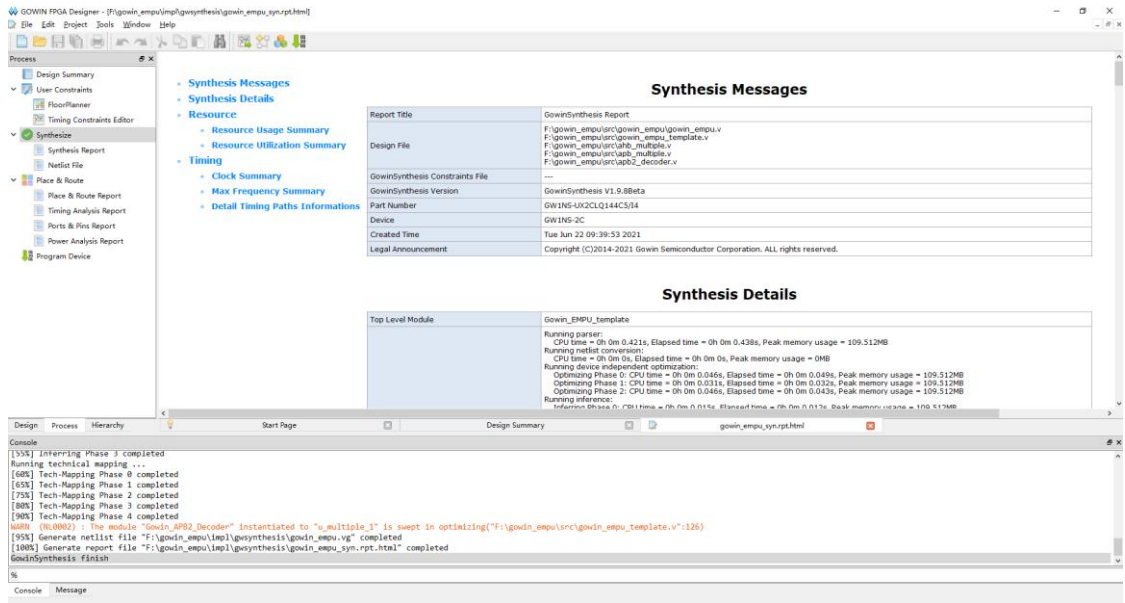


3.6 综合

运行 Gowin 云源软件的综合工具 GowinSynthesis，完成 RTL 设计的综合，如图 3-18 所示。

综合工具的使用方法，请参考 [SUG100](#)，Gowin 云源软件用户指南。

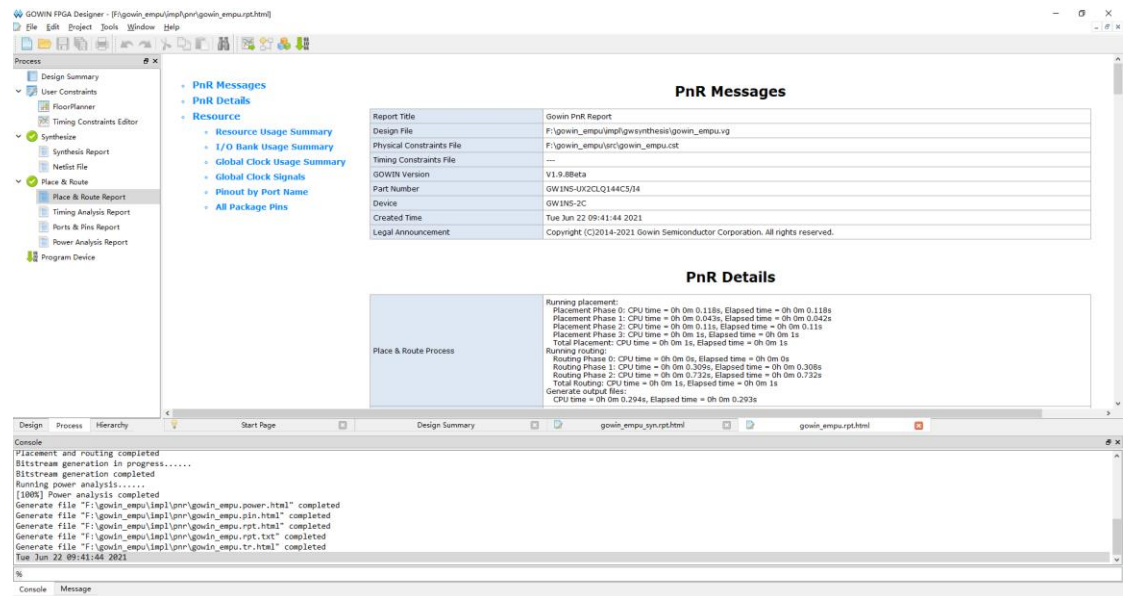
图 3-18 综合



3.7 布局布线

运行 Gowin 云源软件的布局布线工具 Place & Route，完成布局布线和生成码流文件，如图 3-19 所示。

图 3-19 布局布线




布局布线工具使用方法，请参考 [SUG100](#), Gowin 云源软件用户指南。

3.8 下载

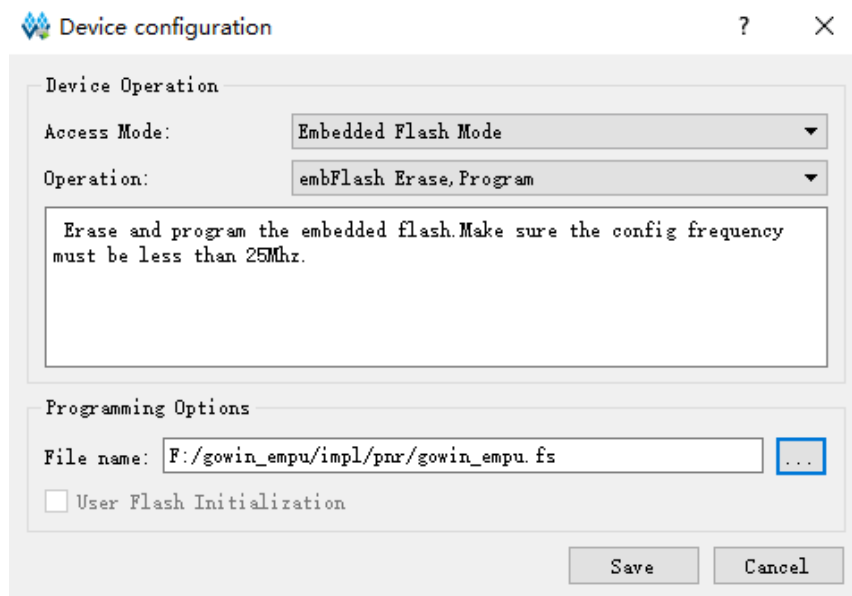
完成布局布线，产生硬件设计码流文件后，使用 Gowin 云源软件的 Programmer 下载软件，下载码流文件。


在高云云源软件中或安装路径下，打开下载软件 Programmer。

单击 Programmer 菜单栏 Edit > Configure Device 或工具栏 Configure Device “”，打开 Device configuration。

- Access Mode 下拉列表，选择“Embedded Flash Mode”选项。
- Operation 下拉列表，选择“embFlash Erase, Program”选项或“embFlash Erase, Program, Verify”选项。
- Programming Options > File name 选项，导入 Gowin_EMPU(GW1NS-2C)硬件设计码流文件。
- 单击“Save”，完成下载选项配置，如图 3-20 所示。

图 3-20 下载选项配置



完成 Device configuration 后，单击 Programmer 工具栏 Program/Configure “”，完成硬件设计码流下载。

下载工具 Programmer 使用方法，请参考 [SUG502](#), Gowin Programmer 用户指南。

4 参考设计

Gowin_EMPU(GW1NS-2C)提供硬件设计参考设计, 通过此链接获取如下参考设计 [cdn.gowinsemi.com.cn/EMPU\(GW1NS-2C\).zip](http://cdn.gowinsemi.com.cn/EMPU(GW1NS-2C).zip):

Gowin_EMPU\ref_design\FPGA_RefDesign

