



Gowin Complex Multiplier

用户指南

IPUG521-1.0,2018-09-17

版权所有©2018 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2018/09/17	1.0	初始版本。

目录

目录	i
图目录.....	iii
表目录.....	iv
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 适用产品.....	1
1.3 相关文档.....	1
1.4 术语、缩略语	2
1.5 技术支持与反馈.....	2
2 概述	3
2.1 Complex Multiplier IP 介绍.....	3
2.2 Complex Multiplier 介绍.....	3
3 特征与性能.....	5
3.1 主要特征.....	5
3.2 最大频率.....	5
3.3 延迟 Latency	5
3.4 资源利用.....	5
4 功能描述	7
4.1 Complex Multiplier 结构与功能	7
5 端口描述	8
5.1 Complex Multiplier 端口	8
6 时序说明	10
6.1 Complex Multiplier 输出信号时序	10
7 Complex Multiplier 配置及调用.....	11

7.1 Complex Multiplier 配置	11
8 参考设计	13
8.1 设计实例应用	13

图目录

图 2-1 Complex Multiplier 结构示意图	4
图 5-1 Complex Multiplier I/O 端口图	8
图 6-1 Complex Multiplier 延时一个时钟周期的信号	10
图 7-1 Complex Multiplier 配置页面	11

表目录

表 1-1 术语、缩略语	2
表 2-1 Complex Multiplier IP	3
表 3-1 Complex Multiplier 占用资源	6
表 5-1 Complex Multiplier 的 IO 端口列表	9
表 7-1 Complex Multiplier 的 Options 选项配置	12

1 关于本手册

1.1 手册内容

Gowin Complex Multiplier 用户指南主要内容包括功能特点、端口描述、时序说明、配置调用、参考设计等。主要用于帮助用户快速了解 Gowin Complex Multiplier 的产品特性、特点及使用方法。

1.2 适用产品

本手册中描述的信息适用于以下产品：

1. GW1N 系列 FPGA 产品(不包含 GW1N-1);
2. GW1NS 系列 FPGA 产品(不包含 GW1NS-2、GW1NS-2C);
3. GW1NR 系列 FPGA 产品;
4. GW2A 系列 FPGA 产品;
5. GW2AR 系列 FPGA 产品;

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. GW1N 系列 FPGA 产品数据手册
2. GW1NR 系列 FPGA 产品数据手册
3. GW2A 系列 FPGA 产品数据手册
4. GW2AR 系列 FPGA 产品数据手册
5. Gowin 云源软件用户指南

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义

表 1-1 术语、缩略语

术语、缩略语	全称	含义
IP	Intellectual Property	知识产权
LUT	Look-up Table	查找表
RAM	Random Access Memory	随机存取存储器
DSP	Digital Signal Processing	数字信号处理

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 Complex Multiplier IP 介绍

Gowin Complex Multiplier IP 旨在进行复数的乘法。

表 2-1 Complex Multiplier IP

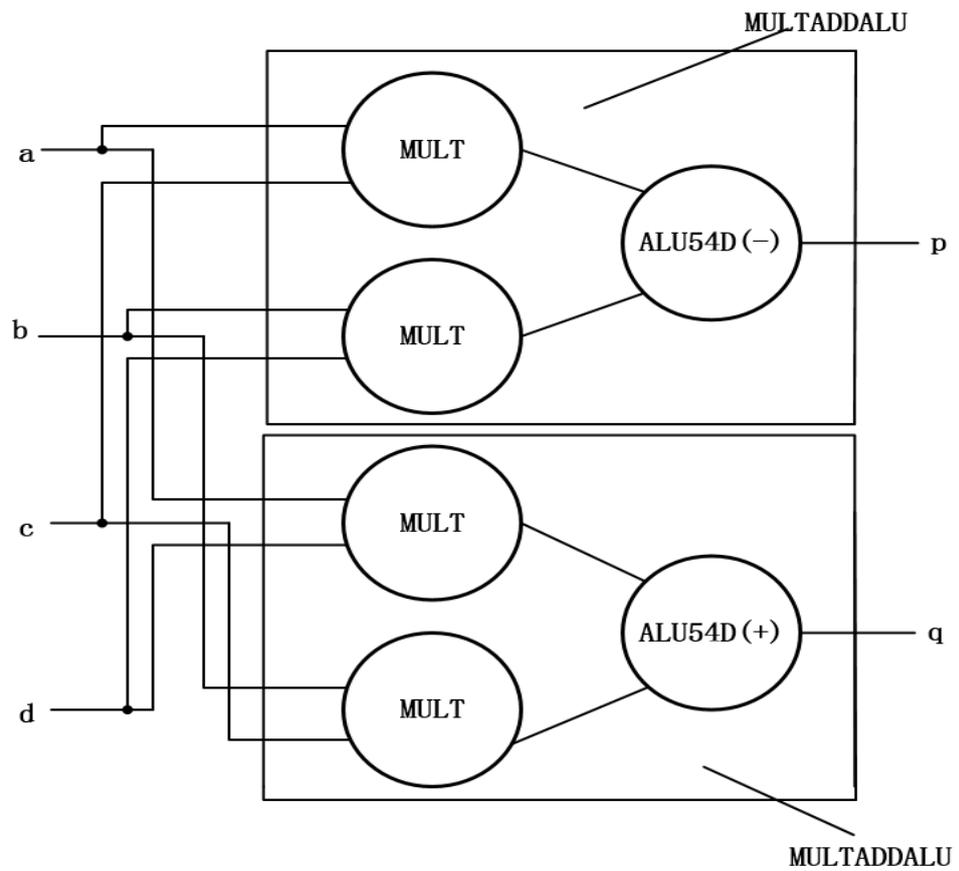
Complex Multiplier IP	
IP 核应用	
芯片支持	除 GW1N-1、GW1NS-2、GW1NS-2C 之外支持高云系列全部芯片
逻辑资源	请参见表 3-2 及表 3-3
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	Synplify_Pro
应用软件	GoWinYunYuan

2.2 Complex Multiplier 介绍

复数乘法器（Complex Multiplier）用于实现复数的乘法，其结构示意图如图 2-1 所示。

高云复数乘法器 IP 可通过调用乘加器（乘法器+加法器）实现。

图 2-1 Complex Multiplier 结构示意图



3 特征与性能

3.1 主要特征

- 输入数据位宽范围：2~26 位；
- 支持输入数据类型为有符号数或者无符号数；
- 支持同步复位和异步复位；
- 输出可延时并且延时可调，最大输出延时是 3 个时钟周期。

3.2 最大频率

Complex Multiplier 的最大频率主要根据所用器件的速度等级（speed grade of the devices）确定，高达 100M。

3.3 延迟 Latency

Complex Multiplier Latency 指从输入到输出之间的时间延迟周期。

Complex Multiplier 延时可通过数据寄存器实现，目前高云 Complex Multiplier 最大的时钟延时是 3 个时钟周期，最小是无延时。

3.4 资源利用

通过 Verilog 语言实现 Complex Multiplier。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。

以高云 GW2A-55 系列 FPGA 为例，Complex Multiplier 其资源利用情况如表 3-1 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

高云复数乘法器 GUI 配置选项不同，Complex Multiplier IP 资源消耗也不尽相同。

表 3-1 Complex Multiplier 占用资源

		Complex Multiplier IP		
芯片型号(速度等级)		55K(-7)	55K(-7)	55K(-7)
资源 消 耗 量	数据位宽 (N)	N<=9	9<N<=18	18<N<=26
	BSRAM	0	0	0
	DSP	3	2	6
	REG	0	0	0
	LUT	0	0	0

4 功能描述

4.1 Complex Multiplier 结构与功能

用户可通过 Complex Multiplier IP 实现复数的乘法。高云 Complex Multiplier IP 是通过乘加器（乘法器+加法器）实现的复数乘法并且高云 Complex Multiplier IP 输入数据位宽是可调的并且调用不同位宽的复数乘法器资源消耗也不相同，所以用户要配置的 IP 在满足需求的情况下要尽可能的小以节省资源。

高云 Complex Multiplier IP 可配置选项如下：

- 输入数据位宽

输入数据位宽 N 可以通过 GUI 进行配置，并且我们输入的数据为有符号数或者无符号数；目前我们输入有符号数或者无符号数数据 N 的位宽最大为 26 位，并且我们根据输入数据的位宽来选择最节省资源的方法实现复数乘法。

- 输出数据位宽

当 GUI 配置输入的数据位宽 $N \leq 9$ 时，输出数据位宽为 19 位；当 $9 < N \leq 18$ 时，输出数据位宽为 37 位；当 $18 < N \leq 26$ 时，输出数据位宽为 73 位。

- 数据类型选择

在 GUI 界面配置 IP 核时，我们可以选择数据类型，选择数据为有符号数或者无符号数。

- 复位模式选择

在 GUI 界面配置 IP 核时，我们可以选择复位模式，选择复位模式为同步复位或者异步复位。

- 寄存器参数配置

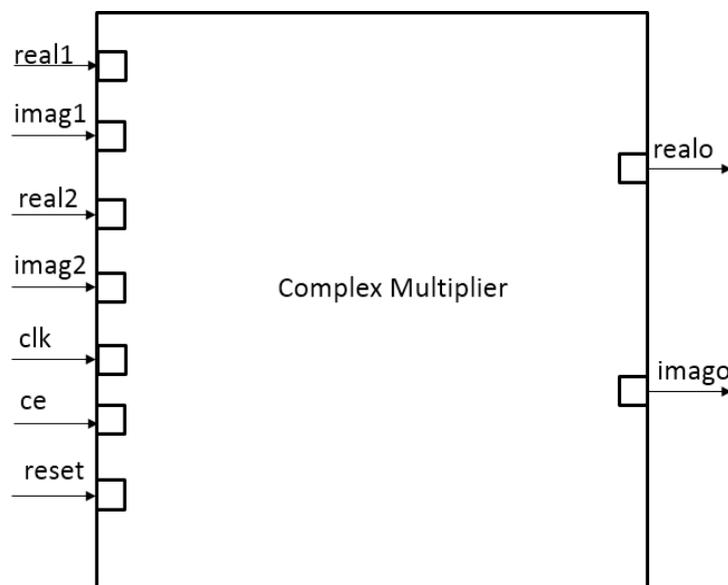
可通过启用 DSP 中的寄存器实现延时输出。输出的延时周期最多可延时 3 个周期，最少不进行延时。

5 端口描述

5.1 Complex Multiplier 端口

Complex Multiplier I/O 端口图，如图 5-1 所示。

图 5-1 Complex Multiplier I/O 端口图



Complex Multiplier 的 I/O 端口信息如表 5-1 所示。

表 5-1 Complex Multiplier 的 IO 端口列表

信号	方向	描述
clk	input	时钟
reset	input	复位
ce	input	时钟输入使能
real1	input	实部输入 1
real2	input	实部输入 2
imag1	input	虚部输入 1
imag2	input	虚部输入 2
realo	output	实部输出
imago	output	虚部输出

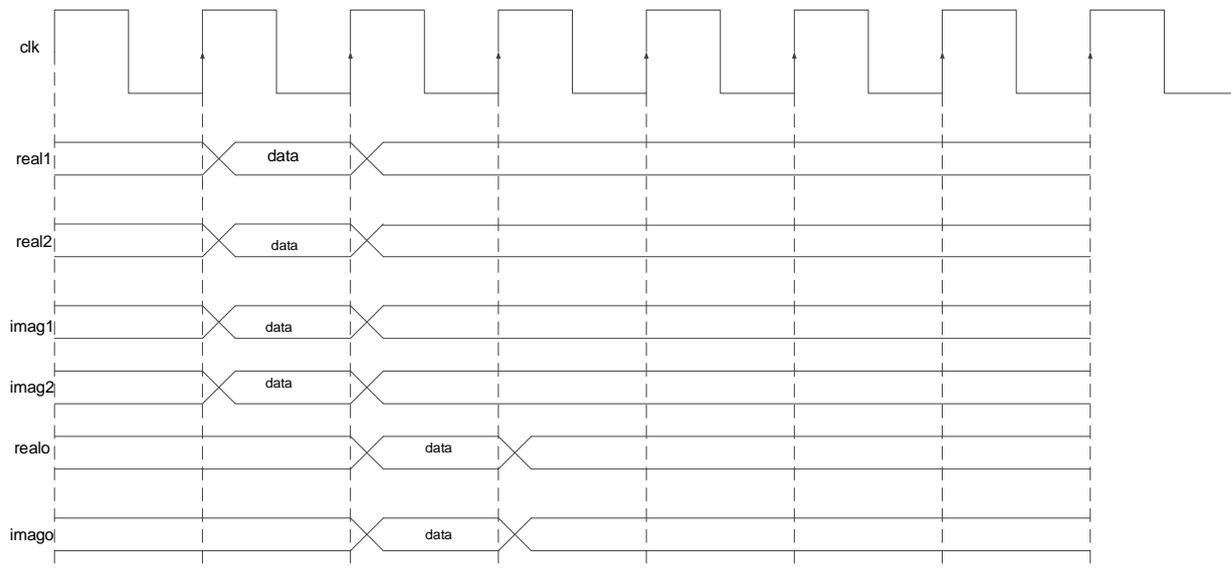
6 时序说明

本节旨在介绍 Complex Multiplier 输出信号的时序情况。

6.1 Complex Multiplier 输出信号时序

我们可以通过使数据经过寄存器来完成输出延时的目的，输出延时一个周期的示意图如图 6-1 所示。

图 6-1 Complex Multiplier 延时一个时钟周期的信号



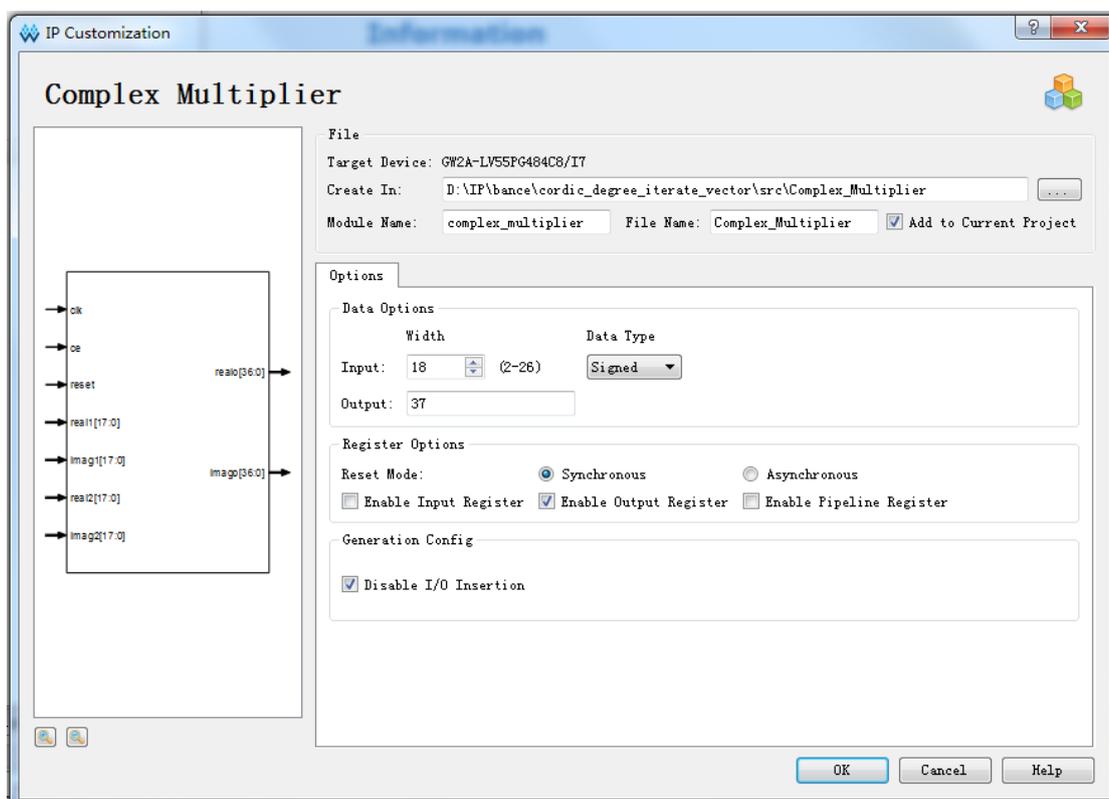
7 Complex Multiplier 配置及调用

在高云云源软件界面菜单栏 Tools 下，可启动 IP Core Generator 工具，完成调用并配置 Complex Multiplier。

7.1 Complex Multiplier 配置

Complex Multiplier 配置界面如图 7-1 所示。

图 7-1 Complex Multiplier 配置页面



1. 可通过修改 File Name，配置产生 Complex Multiplier 文件名称；
2. 可通过修改 Module Name，配置产生的 Complex Multiplier 顶层模块名称；
3. 可通过配置 Options 选项，配置输入数据位宽、数据类型、复位模式以及是否启用寄存器等，各选项配置如表 7-1 所示；
4. 默认配置下，输入位宽为 18 位、同步复位并且只启用一个输出寄存器。

表 7-1 Complex Multiplier 的 Options 选项配置

选项	描述
Data Options	输入数据位宽选择 (2~26);
	数据类型选择;
	输出位宽 (只读);
Register Options	复位模式选择;
	输入寄存器选择;
	输出寄存器选择;
	流水线寄存器选择;

8 参考设计

本节主要介绍 **Complex Multiplier** 的参考设计实例的搭建及其使用方法。**Complex Multiplier** 的设计实例只有一个模块，详细信息见 **Complex Multiplier** 的 **reference design**。

在设计实例中，其运行步骤如下所示：

1. 我们将文档中存储得一串数据输入到 **Complex Multiplier IP**；
2. 通过 **Complex Multiplier IP** 计算后得到输出，再与正确数据进行比较。

8.1 设计实例应用

利用该设计实例能够快速验证 **Complex Multiplier** 的功能。当该参考设计应用于板级测试时，用户需为参考设计提供合适的激励，信号的观测可配合在线逻辑分析仪或示波器进行。

