



Gowin DIVIDER

用户指南

IPUG523-1.0,2018-08-31

版权所有©2018 广东高云半导体科技股份有限公司

未经本公司书面许可,任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部,并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可,并未以明示或暗示,或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外,高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保,包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等,均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任,高云半导体保留修改文档中任何内容的权利,恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2018/08/31	1.0	初始版本。

目录

目录	i
图目录.....	iii
表目录.....	iv
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 适用产品.....	1
1.3 相关文档.....	1
1.4 术语、缩略语	2
1.5 技术支持与反馈.....	2
2 概述	3
2.1 DIVIDER IP 介绍.....	3
2.2 DIVIDER 介绍	4
3 特征与性能.....	5
3.1 主要特征.....	5
3.2 最大频率.....	5
3.3 延迟 Latency	5
3.4 资源利用.....	5
4 功能描述	7
4.1 DIVIDER 结构与功能	7
4.2 数据位宽设置	7
4.3 小数位精度设置.....	8
5 端口描述	9
5.1 DIVIDER 端口	9
6 时序说明	10
6.1 DIVIDER 信号时序.....	10

7 GUI 配置说明	11
7.1 DIVIDER IP 配置.....	11
7.2 配置 DIVIDER IP.....	12
8 参考设计	13
9 文档交付	14
9.1 文档.....	14

图目录

图 2-1 DIVIDER 结构示意图	4
图 4-1 DIVIDER 的接口实现	7
图 6-1 DIVIDER 信号时序	10
图 7-1 工程界面	11
图 7-2 DIVIDER IP 打开步骤	11
图 7-3 DIVIDER IP 界面	12
图 7-4 参数配置界面	12

表目录

表 1-1 术语、缩略语	2
表 2-1 DIVIDER IP	3
表 3-1 DIVIDER 占用资源	6
表 5-1 DIVIDER 的 I/O 端口列表	9
表 9-1 文档列表	14

1 关于本手册

1.1 手册内容

Gowin DIVIDER 用户指南主要内容包括功能特点、端口描述、时序说明、配置调用、参考设计等。主要用于帮助用户快速了解 Gowin DIVIDER 的产品特性、特点及使用方法。

1.2 适用产品

本手册中描述的信息适用于以下产品：

1. GW1N 系列 FPGA 产品
2. GW1NR 系列 FPGA 产品
3. GW1NS 系列 FPGA 产品
4. GW1NZ 系列 FPGA 产品
5. GW2A 系列 FPGA 产品
6. GW2AR 系列 FPGA 产品

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. GW1N 系列 FPGA 产品数据手册
2. GW1NR 系列 FPGA 产品数据手册
3. GW1NS 系列 FPGA 产品数据手册
4. GW1NZ 系列 FPGA 产品数据手册
5. GW2A 系列 FPGA 产品数据手册
6. GW2AR 系列 FPGA 产品数据手册
7. Gowin 云源软件用户指南

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
Register	Register	寄存器
ALU	Arithmetic Logical Unit	算术逻辑单元
LUT	Look-up Table	查找表

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 DIVIDER IP 介绍

Gowin DIVIDER IP 适用于所有高云 FPGA 芯片，旨在用于完成除法的运算。

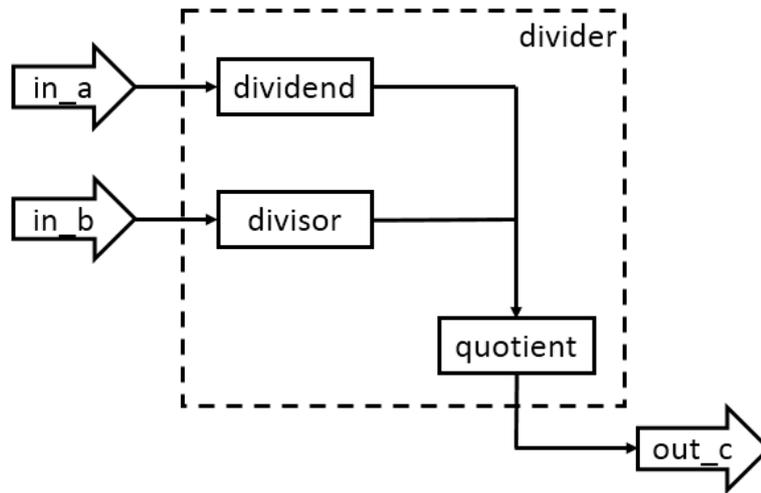
表 2-1 DIVIDER IP

DIVIDER IP	
IP 核应用	
芯片支持	GW1N、GW1NR 系列 GW1NS、GW1NZ 系列 GW2A、GW2AR 系列
逻辑资源	请参见表 3-1
交付文件	
设计文件	Verilog
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	Synplify_Pro
应用软件	GowinYunYuan

2.2 DIVIDER 介绍

除法器（DIVIDER）是以为用户提供实现有符号的小数除法运算模块为目的而设计的 IP。高云 DIVIDER IP 可实现有符号小数的除法运算，是一个功能全面的除法运算 IP。其结构示意图如图 2-1 所示。

图 2-1 DIVIDER 结构示意图



3 特征与性能

3.1 主要特征

- 可实现有符号小数的除法运算；
- 可配置数据位宽；
- 可配置小数位精度；
- 输出延迟与参数的配置有关（数据位宽 N 和小数位精度 Q ）。

3.2 最大频率

DIVIDER 的最大频率主要根据所选器件的速度等级（speed grade of the devices）确定。

3.3 延迟 Latency

DIVIDER 输出延迟主要由配置参数（数据位宽 N 和小数位精度 Q ）来确定。

3.4 资源利用

通过 Verilog 语言实现 DIVIDER。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。

以高云 GW2A-55 系列 FPGA 为例，DIVIDER 资源利用情况如表 3-1 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

表 3-1 DIVIDER 占用资源

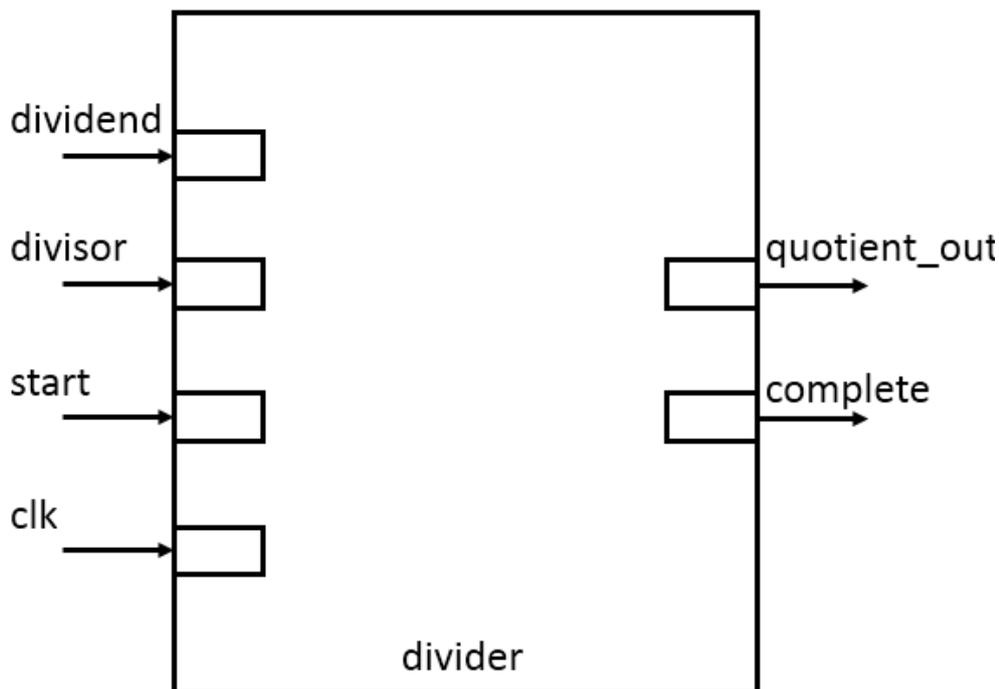
器件系列	速度等级	器件名称	资源利用
GW2A-55	C8/I7	LUT	89
		ALU	50
		logic registers	68

4 功能描述

4.1 DIVIDER 结构与功能

高云 DIVIDER IP 可实现有符号小数的除法运算，用户生成该模块时可根据需求自行配置数据位宽、小数位精度。其结构框图如图 4-1 所示。

图 4-1 DIVIDER 的接口实现



用户自行输入数据 `dividend`（被除数）、`divisor`（除数），IP 计算得出 `quotient_out`（商）。

4.2 数据位宽设置

可以通过 GUI 界面配置数据位宽，该除法器支持有符号位数据，最高位为符号位，最大位宽 32 位，最小位宽 8 位。

4.3 小数位精度设置

可以通过 GUI 界面配置小数部分精度，通过更改 Q 的值，可以达到不同精度的小数。

5 端口描述

5.1 DIVIDER 端口

有关 DIVIDER 的 I/O 端口详情, 如表 5-1 所示。接口框图请参考图 4-1。

表 5-1 DIVIDER 的 I/O 端口列表

信号	方向	描述
dividend	Input	输入被除数
divisor	Input	输入除数
start	Input	开始信号
clk	Input	时钟信号
quotient_out	Output	输出商
complete	Output	结束信号

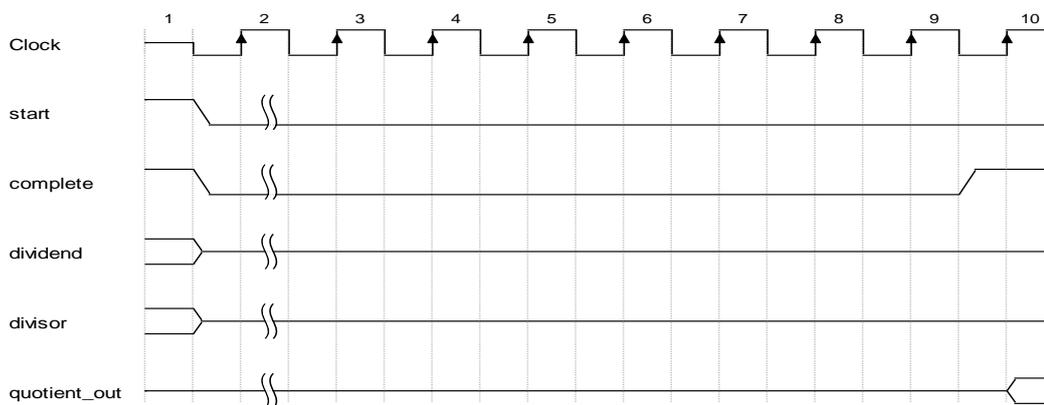
6 时序说明

本节旨在介绍 DIVIDER IP 的时序情况。

6.1 DIVIDER 信号时序

DIVIDER 信号时序图如图 6-1 所示。

图 6-1 DIVIDER 信号时序



如图，在 **start** 和 **complete** 信号同为高电平时，输入 **dividend**（被除数）和 **divisor**（除数）并开始运行，经过一定周期（该延迟周期由配置参数 **N**（数据位宽）、**Q**（小数位精度）决定）后 **complete** 信号上升沿到来后得到并输出结果 **quotient_out**（商）。

7 GUI 配置说明

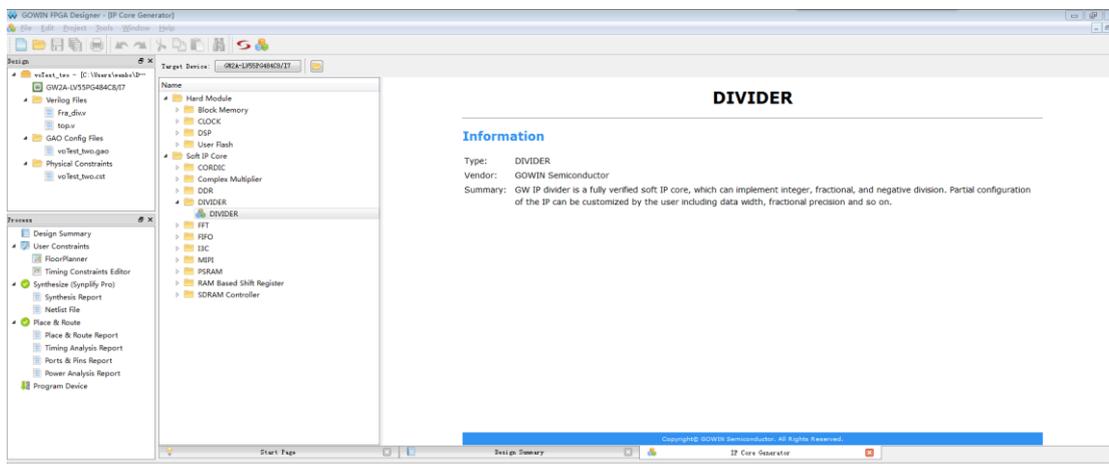
在高云云源软件界面菜单栏 Tools 下，可启动 IP Core Generator 工具，完成调用并配置 DIVIDER IP。

7.1 DIVIDER IP 配置

DIVIDER IP 配置过程如下所示。

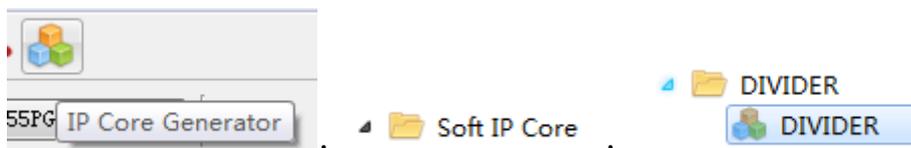
1. 建立一个工程，如图 7-1 所示。

图 7-1 工程界面



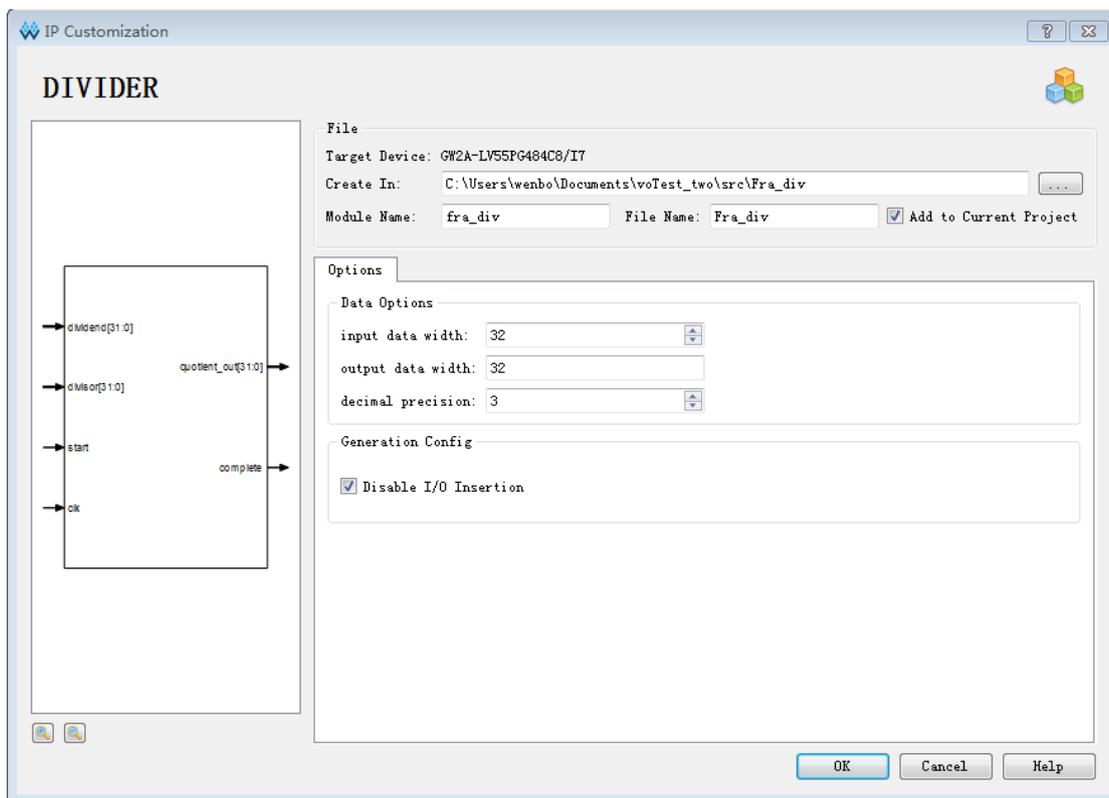
2. 建立一个工程后，依次点击，即可打开 DIVIDER IP，如图 7-2 所示：

图 7-2 DIVIDER IP 打开步骤



3. 打开 DIVIDER IP 界面如图 7-3 所示。

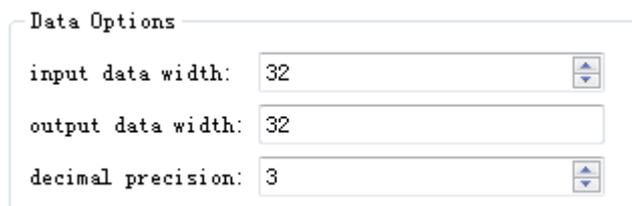
图 7-3 DIVIDER IP 界面



7.2 配置 DIVIDER IP

打开 GUI 配置界面后，如图 7-4 所示。

图 7-4 参数配置界面



在此处可配置数据位宽，小数位精度。**input data width** 为输入数据位宽，范围是 8-32。**output data width** 为输出数据位宽，大小与 **input data width** 相同且随之变化。**decimal precis I/On** 为小数位精度，范围是 1 到 **input data width-2**。

用户根据自身需求配置好上述参数后点击“ok”即可生成 DIVIDER IP。

8 参考设计

可参考 ref_design 内相关测试案例。

9 文档交付

GOWIN DIVIDER IP 包括文档和参考设计两个部分。

9.1 文档

文件夹主要包含用户指南 PDF 文档。

表 9-1 文档列表

名称	描述
Gowin DIVIDER用户指南	高云除法器IP用户手册。



