



Gowin I3C DDR eXtension

用户指南

IPUG524-1.0,2018-09-17

版权所有©2018 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2018/09/17	1.0	初始版本。

目录

目录	i
图目录.....	iv
表目录.....	v
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 适用产品.....	1
1.3 相关文档.....	1
1.4 术语、缩略语	2
1.5 技术支持与反馈.....	3
2 概述	4
2.1 I3C DDR eXtension IP 介绍.....	4
3 特征与性能.....	5
3.1 主要特征.....	5
3.2 资源利用.....	6
3.3 时钟频率.....	6
4 功能描述	7
4.1 操作模式.....	7
4.2 时序	7
4.2.1 写数据	7
4.2.2 读时序	8
4.3 Master 通讯编程	8
4.3.1 SDR 写操作	8
4.3.2 SDR 读操作	10
4.3.3 动态地址分配	10

4.3.4 DDR 写操作	11
4.3.5 DDR 读操作	12
4.4 Slave 通讯编程	13
4.4.1 SDR 写操作	13
4.4.2 SDR 读操作	14
4.4.3 动态地址分配	15
4.4.4 DDR 写操作	17
4.4.5 DDR 读操作	17
4.5 中断标识.....	18
4.5.1 DONE 标识	18
4.5.2 NACK 标识.....	18
4.5.3 STA 标识.....	18
4.5.4 SR 标识.....	18
4.5.5 STO 标识	18
4.5.6 DA 标识.....	18
4.5.7 LOST 标识	18
4.5.8 DDR_DONE 标识	18
4.5.9 DDR_SR 标识.....	19
4.5.10 DDR_EXIT 标识.....	19
4.6 寄存器映射	19
4.6.1 一号基础控制寄存器	20
4.6.2 二号基础控制寄存器	22
4.6.3 呼叫控制寄存器.....	23
4.6.4 挂断控制寄存器.....	24
4.6.5 预分频寄存器	25
4.6.6 SDR 消息长度寄存器.....	25
4.6.7 DDR 消息长度寄存器.....	26
4.6.8 Slave 静态地址	27
4.6.9 字节传输计数器.....	27
4.6.10 字传输计数器	28
4.6.11 SDR 呼叫地址	29

4.6.12 DDR 呼叫地址	29
4.6.13 写缓冲指针低位部分	30
4.6.14 写缓冲指针高位部分	31
4.6.15 读缓冲指针低位部分	31
4.6.16 读缓冲指针高位部分	31
4.6.17 缓冲指针复位寄存器	32
4.6.18 状态寄存器	32
4.6.19 一号中断标识寄存器	33
4.6.20 二号中断标识寄存器	34
5 结构、接口和配置	36
5.1 微结构	36
5.2 接口	38
5.2.1 框图	38
5.2.2 接口说明	38
5.2.3 可配置参数	39
6 编译配置和文件	40
6.1 编译 I3C DDR eXtension	40
6.2 IP Core Generator 生成文件	43
6.2.1 文件结构	43

图目录

图 4-1 写时序示意	7
图 4-2 读时序示意	8
图 4-3 SDR 写 master 流程	9
图 4-4 SDR 写 master 时序	9
图 4-5 SDR 读 Master 流程	10
图 4-6 SDR 读 Master 时序	10
图 4-7 动态地址分配 M aster 流程.....	11
图 4-8 动态地址分配 Master 时序图	11
图 4-9 DDR 写操作 Master 时序图 a	12
图 4-10 DDR 写操作 Master 时序图 b	12
图 4-11 DDR 读 Master 时序图.....	12
图 4-12 SDR 写操作 Slave 流程图	13
图 4-13 SDR 写操作 Slave 时序图	14
图 4-14 SDR 读操作 Slave 流程图	15
图 4-15 SDR 读操作 Slave 时序图	15
图 4-16 动态地址分配 Slave 流程图	16
图 4-17 动态地址分配 Slave 时序图 a	16
图 4-18 动态地址分配 Slave 时序图 b	17
图 4-19 DDR 写操作 Slave 时序图 a	17
图 4-20 DDR 写操作 Slave 时序图 b	17
图 4-21 DDR 读操作 Slave 时序图	17
图 4-22 线性地址划分图	19
图 4-23 IP 接口交互模式图.....	19
图 5-1 微结构框图	37
图 5-2 I3C DDR eXtension 框图.....	38
图 6-1 FPGA RTL 工程初始界面图	40
图 6-2 调用 I3C DDR eXtension.....	41
图 6-3 I3C DDR eXtension 配置界面图.....	42
图 6-4 生成 I3C DDR eXtension 图	43
图 6-5 IP Core Generator 生成文件.....	43

表目录

表 1-1 术语、缩略语	2
表 2-1 I3C DDR eXtension IP	4
表 3-1 I3C DDR eXtension 占用资源	6
表 4-1 控制寄存器名称及地址	20
表 5-1 I3C DDR eXtension 接口说明.....	38
表 5-2 可配置参数	39

1 关于本手册

1.1 手册内容

Gowin I3C DDR eXtension 用户指南主要内容包括功能特点、端口描述、时序说明、配置调用、参考设计等。主要用于帮助用户快速了解 Gowin I3C DDR eXtension 的产品特性、特点及使用方法。

1.2 适用产品

本手册中描述的信息适用于以下产品：

1. GW1N 系列 FPGA 产品
2. GW1NR 系列 FPGA 产品
3. GW2A 系列 FPGA 产品
4. GW2AR 系列 FPGA 产品

注！

由于该 IP 需要两块 BSRAM，上述所列芯片系列中部分器件可能由于资源过小而无法支持。

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. GW1N 系列 FPGA 产品数据手册
2. GW1NR 系列 FPGA 产品数据手册
3. GW2A 系列 FPGA 产品数据手册
4. GW2AR 系列 FPGA 产品数据手册
5. Gowin 云源软件用户指南

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
ACK	ACKnowledge	应答
NACK	Not ACKnowledge	不应答
SDR	Single Data Rate	单倍数据速率
HDR	High Data Rate	高速数据速率
DDR	Double Data Rate	双倍数据速率
SRAM	Static Radom Access Memory	静态随机存取存储器
SCL	Serial CLock	串行时钟
SDA	Serial DAta	串行数据
CCC	Common Command Code	公用命令代码
CRC	Cyclic Redundancy Check	循环冗余校验
DAR	Dynamic Address Request	动态地址请求
DCR	Device Characteristics Register	设备特性寄存器
BCR	Bus Characteristics Register	总线特性寄存器
BER	Bit Error Rate	位流误码率
IBI	In-Band Interrupt	线载中断
LCR	Legacy Characteristics Register	旧设备特征寄存器
Mbps	Megabits per second	兆位每秒
MHz	Mega Hertz	兆赫兹
MID	MIPI Manufacturer Identification	MIPI 制造商身份识别码
OD	Open Drain	漏极开路
sysCLK	SYStem CLock	系统时钟
CE	Clock Enable	时钟使能
WRE	Write Enable	写使能
DI	Data Input	数据输入
DO	Data Output	数据输出
AD	ADdress	地址

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 I3C DDR eXtension IP 介绍

Gowin I3C DDR eXtension IP 应用于串行通讯接口和串行传感器接口中，用于接收或发送数据。I3C DDR eXtension 提供了带有同步 SRAM 接口的 I3C 总线通讯控制器。I3C DDR eXtension IP 如表 2-1 所示。

表 2-1 I3C DDR eXtension IP

I3C DDR eXtension IP	
IP 核应用	
芯片支持	GW1N、GW1NR 系列 GW2A、GW2AR 系列
逻辑资源	请参见表 3-1
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	Synplify_Pro
应用软件	GoWinYunYuan

3 特征与性能

3.1 主要特征

- 仅需 2 线实现单主机多从机的通讯系统
 - 总线时钟 12.5MHz;
 - 最多 11 个设备同时在线;
 - 使用具有 4mA 驱动器的普通 IO PAD (I2C 一般需要特殊设计的 IO);
 - Slave 使用总线上的时钟作为外围设备的时钟 (因此设备可以根据需要设计内部的低速或不精确的时钟);
 - 内建 CDC 模块, 通讯控制器逻辑工作在 SCL 时钟域, 用户接口工作在 system clock 时钟域;
 - 从 slave 读取数据时, Slave 和 Master 都可以主动终止, 因此无需事先知道读取的长度, (I2C、SPI 都要求读取之前 Master 必须知道读取的长度)。
- 支持多种传输模式: SDR 和 HDR
 - SDR 模式最高数据速率 12.5Mbps;
 - DDR 模式最高数据速率 25Mbps。
- 支持最新的 I3C 标准
- 支持 I3C CCC 命令
 - 支持动态地址配置;
 - 其他可选的 CCC 命令。
- 支持 IBI, hot-Join
 - 允许 Slave 主动通知 Master;
 - 允许多个 Slave 同时通知 Master, 通过各自的动态地址和仲裁机制解决冲突;

- 不需要额外的中断线，建立在两总线机制之上。
- 支持命令排队
- 支持最大 4KB 缓存（SDR 2KB， DDR 4KB）
- 支持同步 SRAM 用户接口

3.2 资源利用

通过 Verilog 语言实现 RTL 代码。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。

以高云 GW1N-9 系列 FPGA 为例，其资源利用情况如表 3-1 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

表 3-1 I3C DDR eXtension 占用资源

器件系列	速度等级	器件名称	资源利用	备注
GW1N-9	-5	LUT	1059	-
		ALU	93	
		REG	401	
		BSRAM	2	

3.3 时钟频率

本 IP 使用固定时钟频率设计，频率为 25MHz。在该频率下，IP 可以达到标准的 I3C 总线速度。用户可以根据实际需求提升或降低系统时钟频率，从而获得更高的总线速度，或更低的功率消耗。频率最高可以提升至 150%，选择具有更高性能芯片，可以帮助进一步提高频率。

4 功能描述

4.1 操作模式

本软核向用户提供同步 SRAM 接口。用户通过写控制寄存器来配置 IP 运行时参数，控制 IP 通讯行为；通过读写 cache 实现通讯数据的交换；IP 通过中断通知用户总线上发生的事件，用户通过中断服务函数处理中断事件完，成与 IP 的交互操作，也就完成了总线通讯。

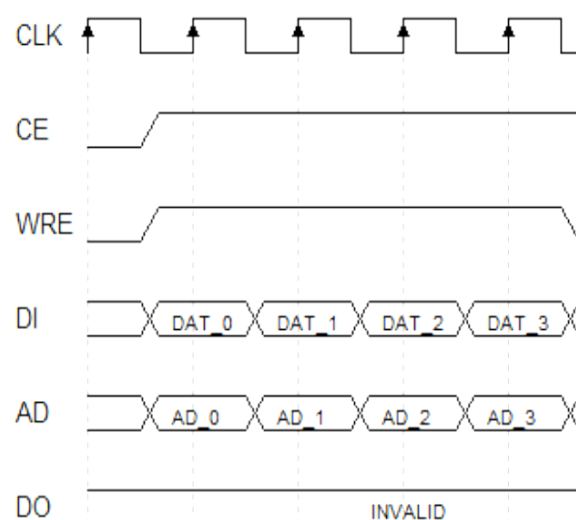
为了实现高数据吞吐率，本软核配备了高达 4KB 的 cache，为了防止大量数据通讯时读写数据的相互覆盖，特将 cache 按地址划分为读缓冲和写缓冲两部分。注意，读是指 Master 读 Slave，写是指 Master 写 Slave。因此，在一次读操作的数据传输中，Slave 从读缓冲中取数据发送到总线上，Master 收取总线上的数据存储到写缓冲中；在一次写操作的数据传输中，Master 从读缓冲中取数据发送到总线上，Slave 收取总线上的数据存储到写缓冲中。

4.2 时序

4.2.1 写数据

在用户接口写入数据到 IP 的时序如图 4-1 所示。

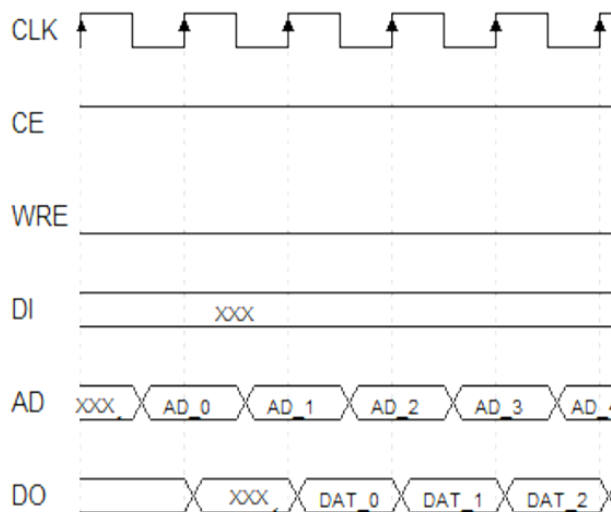
图 4-1 写时序示意



4.2.2 读时序

在用户接口读数据的时序如图 4-2 所示。

图 4-2 读时序示意



4.3 Master 通讯编程

4.3.1 SDR 写操作

SDR 模式下进行写操作时，master 通讯流程如图 4-3 和图 4-4 所示完成通讯。

图 4-3 SDR 写 master 流程

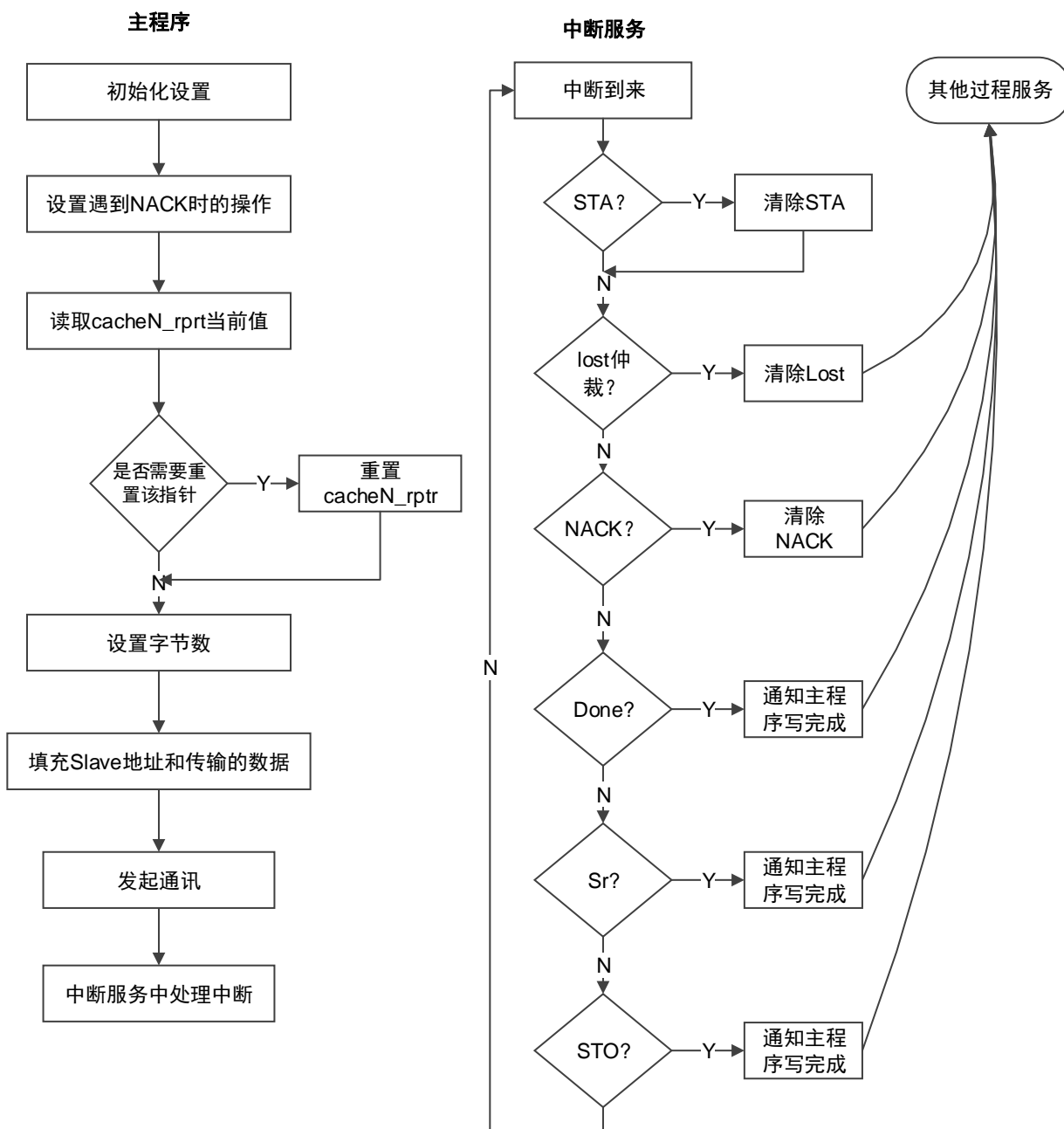
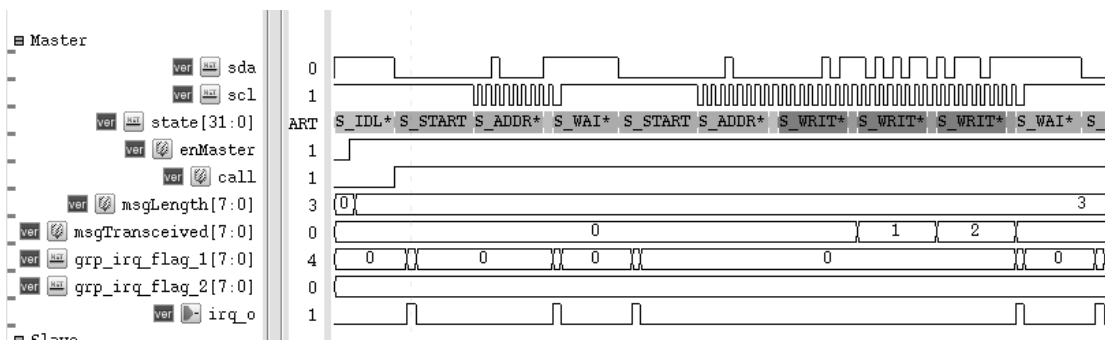


图 4-4 SDR 写 master 时序



4.3.2 SDR 读操作

SDR 模式下进行读操作时，master 流程如图 4-5 和图 4-6 所示。

图 4-5 SDR 读 Master 流程

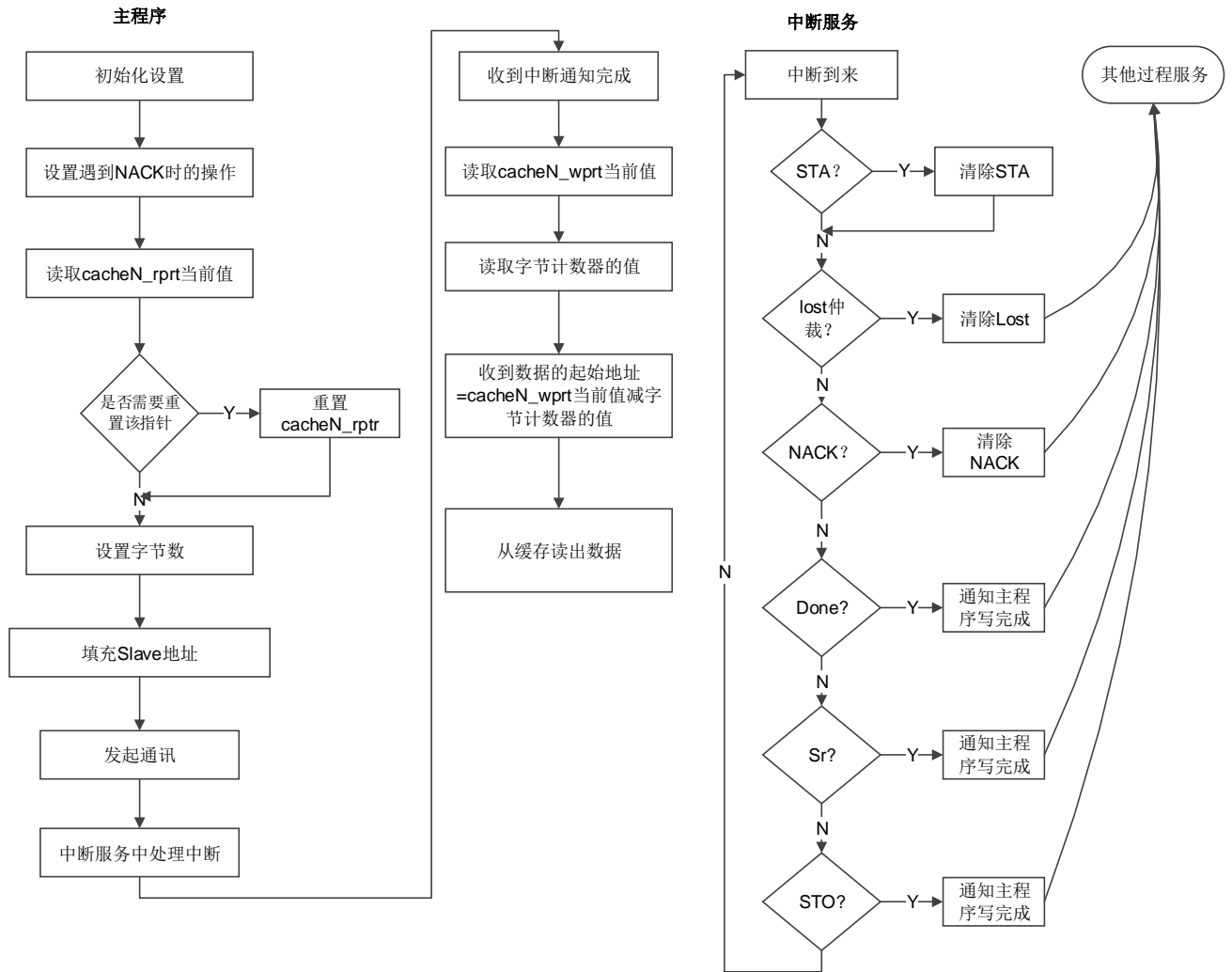
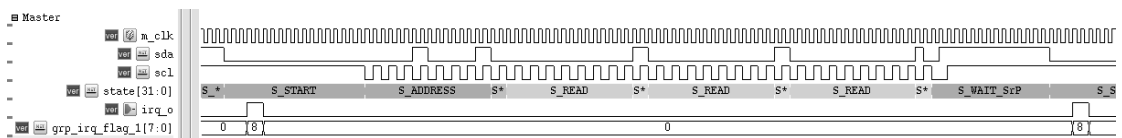


图 4-6 SDR 读 Master 时序



4.3.3 动态地址分配

系统需要进行动态地址分配时，master 通讯流程如图 4-7 和图 4-8 所示。

图 4-7 动态地址分配 Master 流程

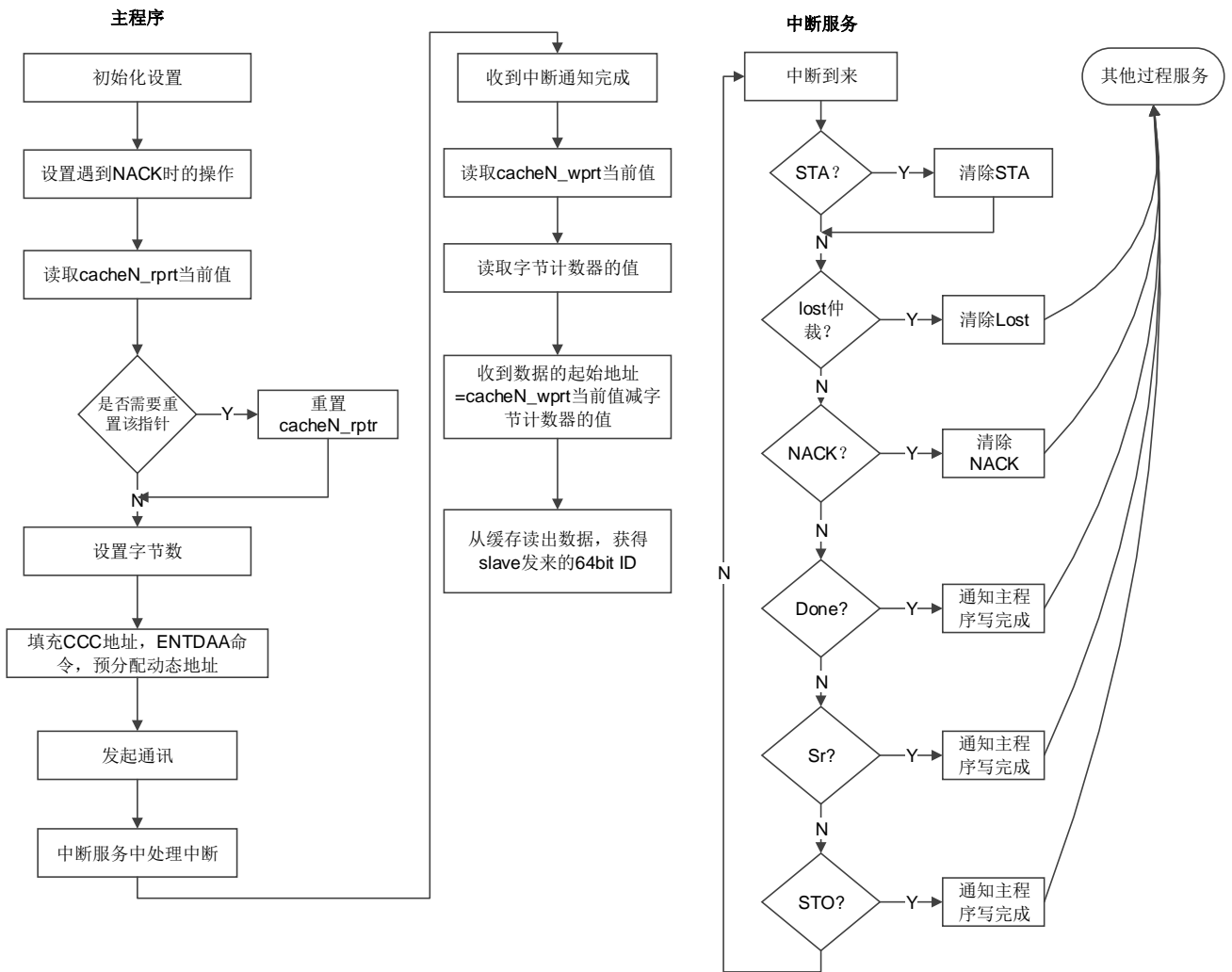
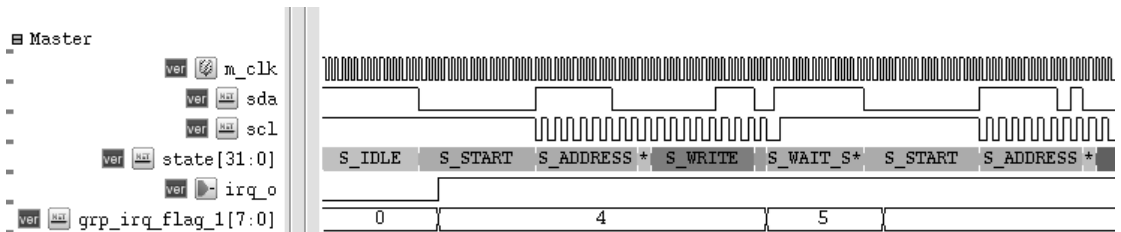


图 4-8 动态地址分配 Master 时序图



4.3.4 DDR 写操作

DDR 模式写操作需先使用 SDR 模式发送 CCC 命令将总线导入 DDR 模式，通讯编程同 SDR 写操作，如图 4-9 和图 4-10 所示。此处只绘制通讯波形示意图。

图 4-9 DDR 写操作 Master 时序图 a

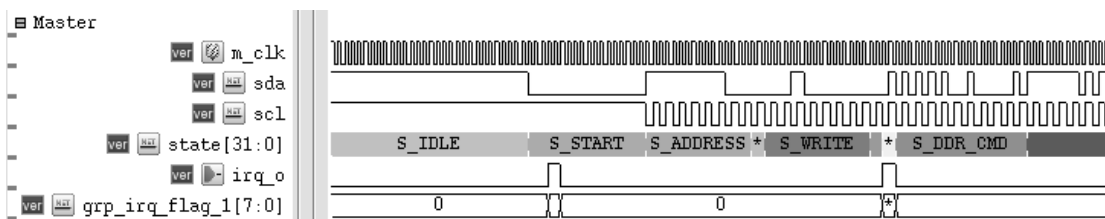
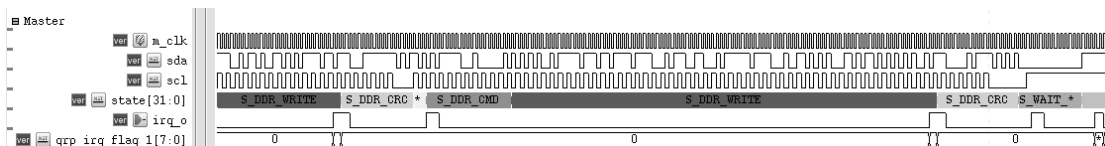


图 4-10 DDR 写操作 Master 时序图 b



4.3.5 DDR 读操作

DDR 模式读操作需先使用 SDR 模式发送 CCC 命令将总线导入 DDR 模式，通讯编程同 SDR 写操作，如图 4-11 所示。此处只绘制通讯波形示意图。

图 4-11 DDR 读 Master 时序图



4.4 Slave 通讯编程

4.4.1 SDR 写操作

SDR 模式下进行写操作时，slave 通讯流程如图 4-12 和图 4-13 所示。

图 4-12 SDR 写操作 Slave 流程图

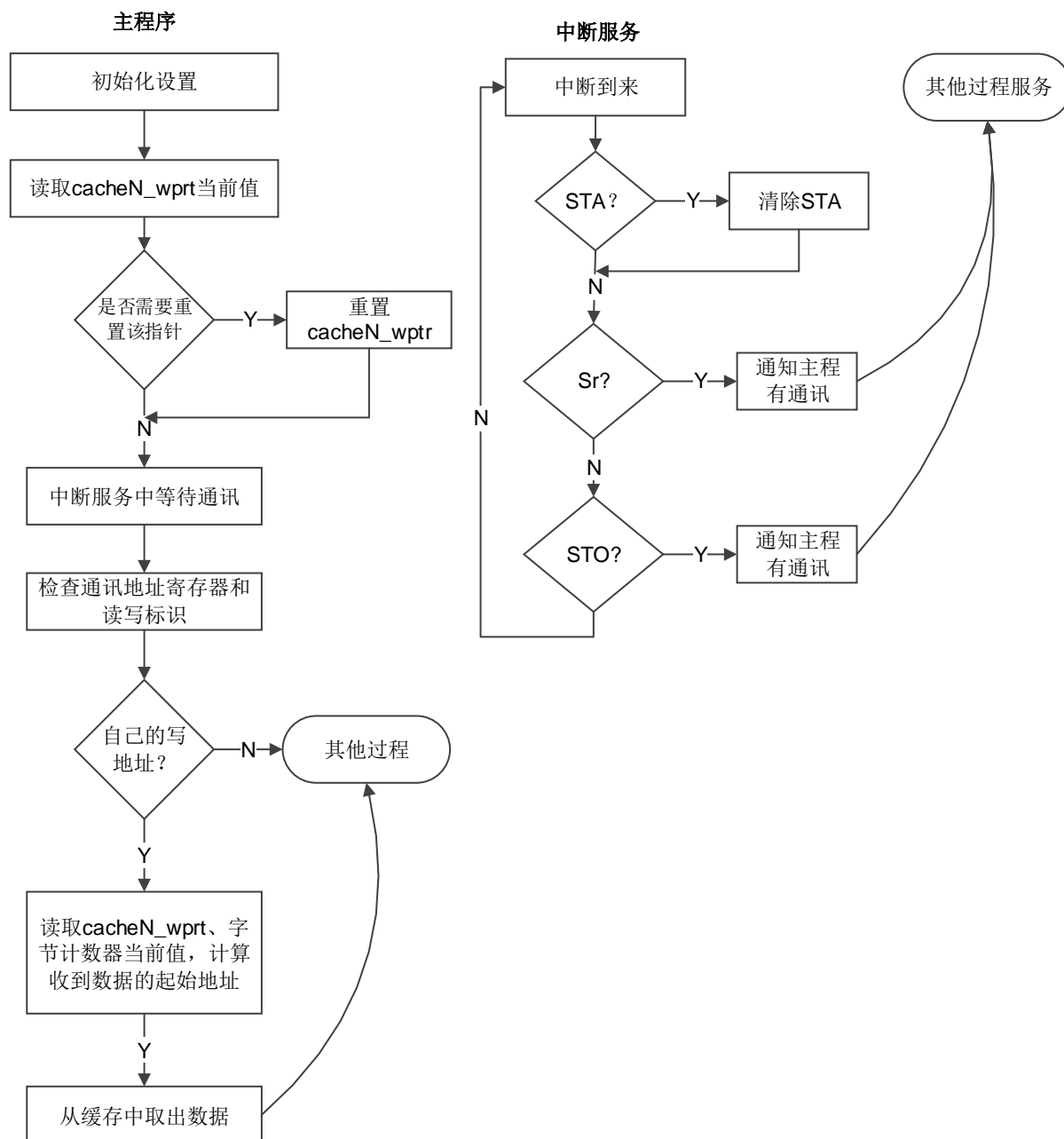
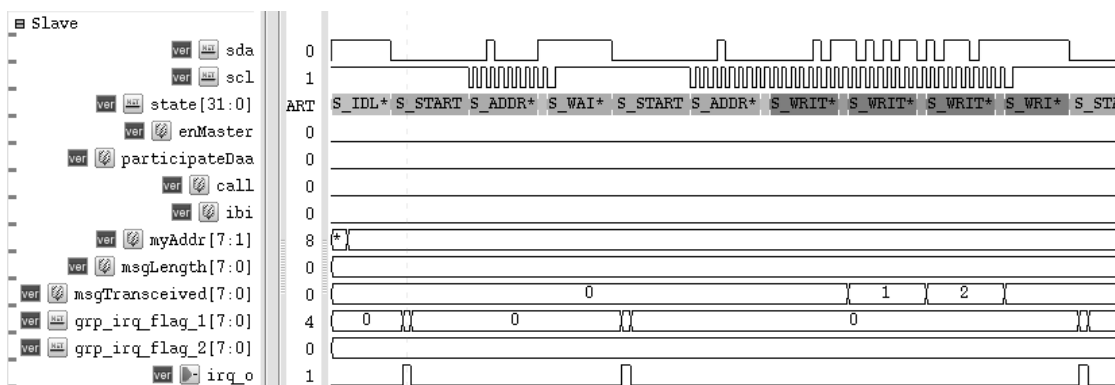


图 4-13 SDR 写操作 Slave 时序图



4.4.2 SDR 读操作

SDR 模式下进行读操作时，slave 通讯流程如图 4-14 和图 4-15 所示。

图 4-14 SDR 读操作 Slave 流程图

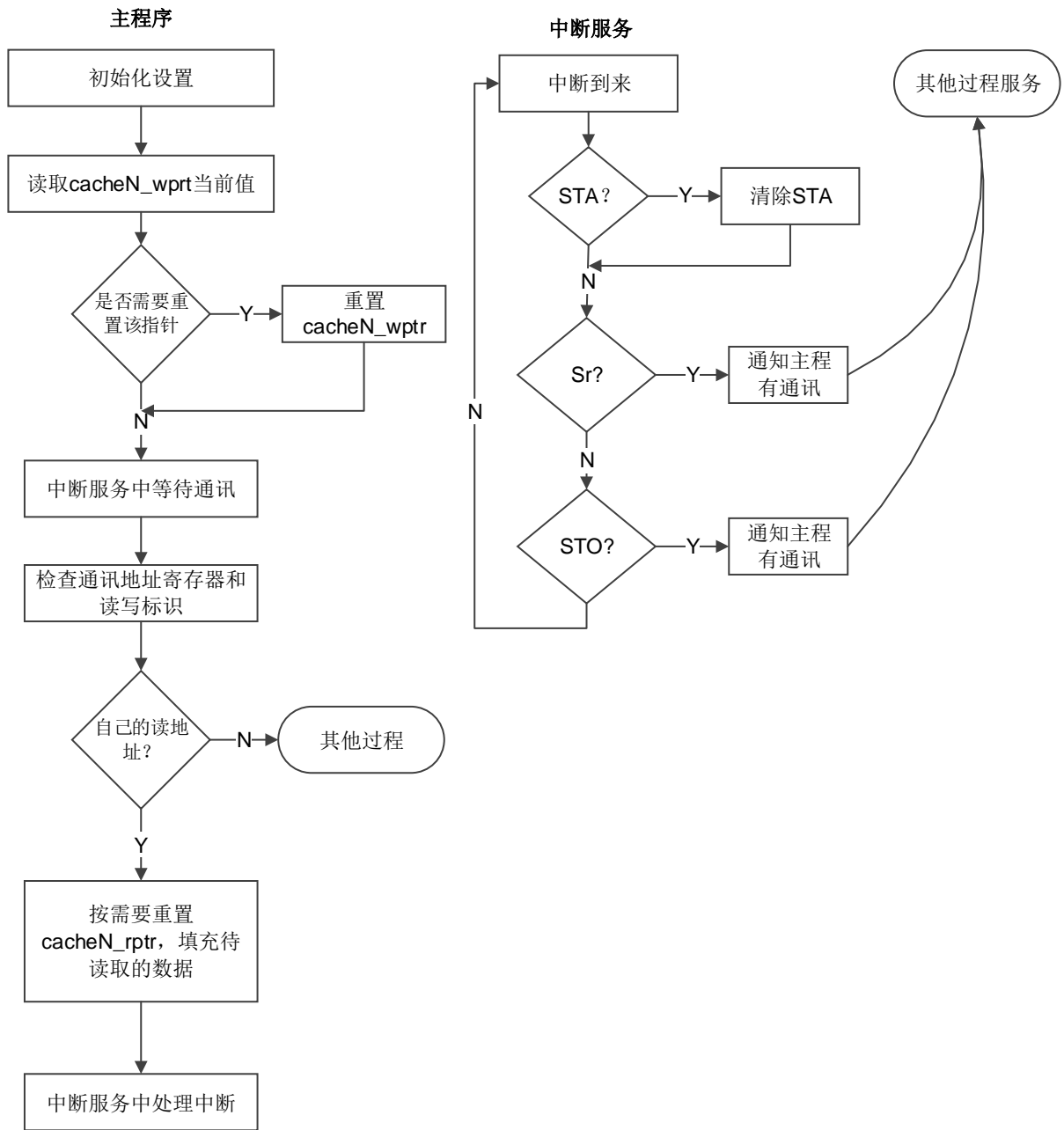
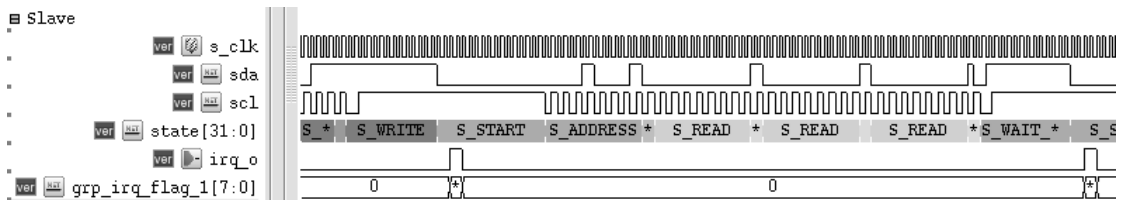


图 4-15 SDR 读操作 Slave 时序图



4.4.3 动态地址分配

模式下进行读操作时，master 通讯流程如图 4-16、图 4-17 和图 4-18

所示。

图 4-16 动态地址分配 Slave 流程图

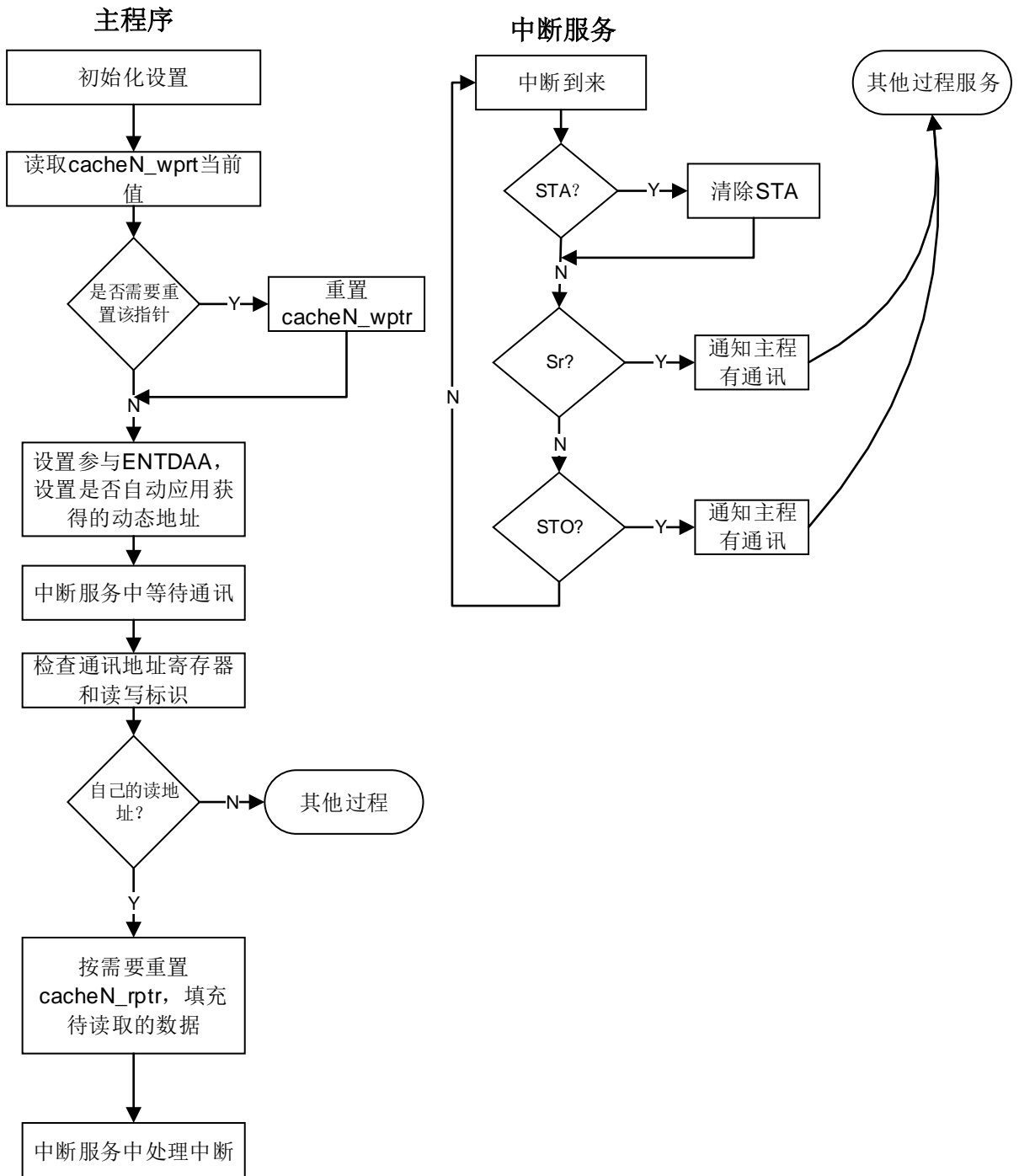


图 4-17 动态地址分配 Slave 时序图 a

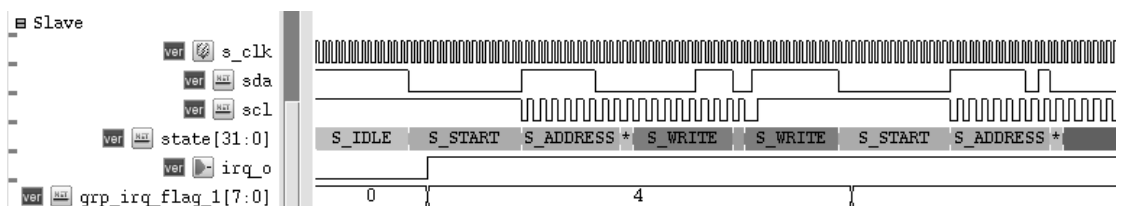
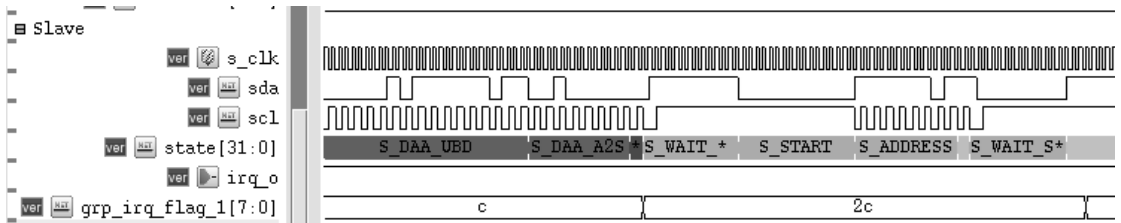


图 4-18 动态地址分配 Slave 时序图 b



4.4.4 DDR 写操作

DDR 模式写，需要先使用 SDR 模式发送 CCC 命令将总线导入 DDR 模式，通讯编程同 SDR 写操作，如图 4-19 和图 4-20。此处只绘制通讯波形示意图。

图 4-19 DDR 写操作 Slave 时序图 a

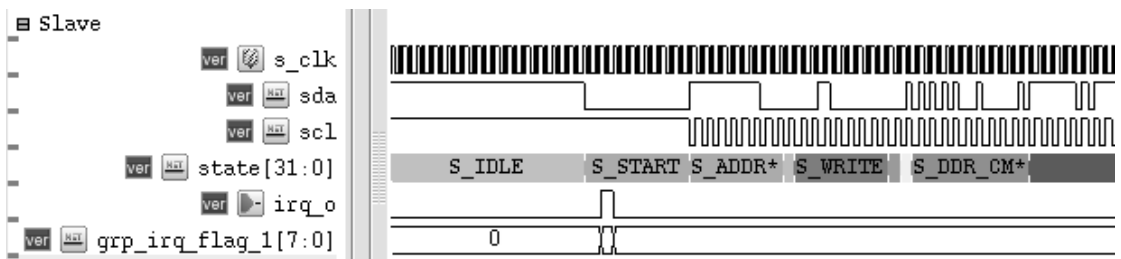
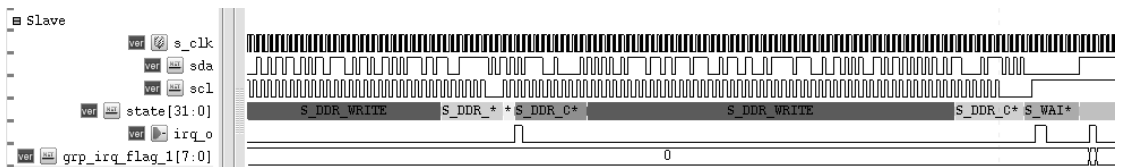


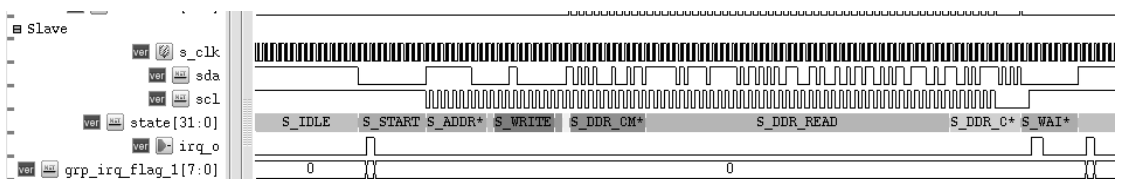
图 4-20 DDR 写操作 Slave 时序图 b



4.4.5 DDR 读操作

DDR 模式读，需要先使用 SDR 模式发送 CCC 命令将总线导入 DDR 模式，通讯编程同 SDR 写操作，如图 4-21 所示。此处只绘制通讯波形示意图。

图 4-21 DDR 读操作 Slave 时序图



4.5 中断标识

本 IP 在收到总线上的事件时，会向用户侧发出一个 IRQ 请求，同时置位相应的标识位，告知用户发生了哪些事件。

关于总线上的事件的定义请参考《mipi_I3C_specification》。

4.5.1 DONE 标识

SDR 模式下数据传输完成中断标识。只有 Master 会收到该事件。

4.5.2 NACK 标识

SDR 模式下总线 NACK 事件中断标识。只有 Master 会收到该事件。

4.5.3 STA 标识

SDR 模式下 start condition 事件中断标识。Master 和 Slave 均会收到该事件。

4.5.4 SR 标识

SDR 模式下 Re-startcondition 事件中断标识。Master 和 Slave 均会收到该事件。

4.5.5 STO 标识

SDR 模式下 stop condition 事件中断标识。Master 和 Slave 均会收到该事件。

4.5.6 DA 标识

动态地址分配过程中，收到动态地址事件中断标识。只有 Slave 会发生该事件。

4.5.7 LOST 标识

当总线发生仲裁时，仲裁丢失事件中断标识。Master 和 Slave 均会收到该事件。参与总线仲裁的设备在失去总线控制权时候该中断置位。

4.5.8 DDR_DONE 标识

DDR 模式下，数据传输完成事件中断标志。只有 Master 会发生该事件。

4.5.9 DDR_SR 标识

DDR 模式下 restart condition 事件中中断标志。Master 和 Slave 均会收到该事件。

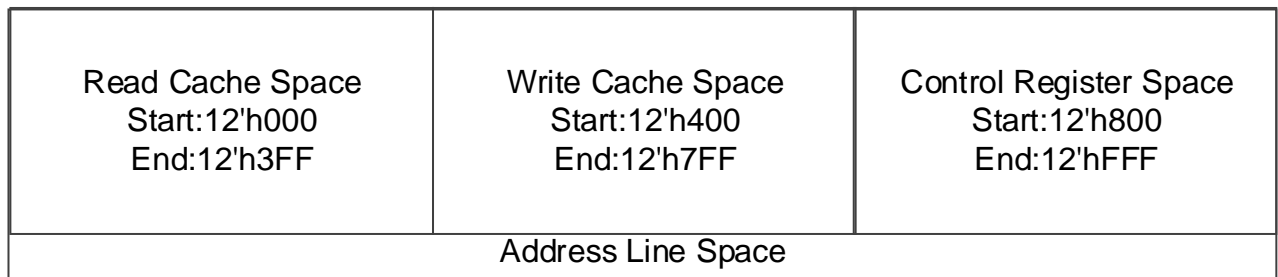
4.5.10 DDR_EXIT 标识

DDR 模式下 exit condition 事件中中断标志。Master 和 Slave 均会收到该事件。

4.6 寄存器映射

本软核将缓存和控制寄存器设计在同一个地址空间，简化了用户接口。通过划分地址控制，将控制寄存器和读/写缓存分配到不同的地址段上，如图 4-22 所示。

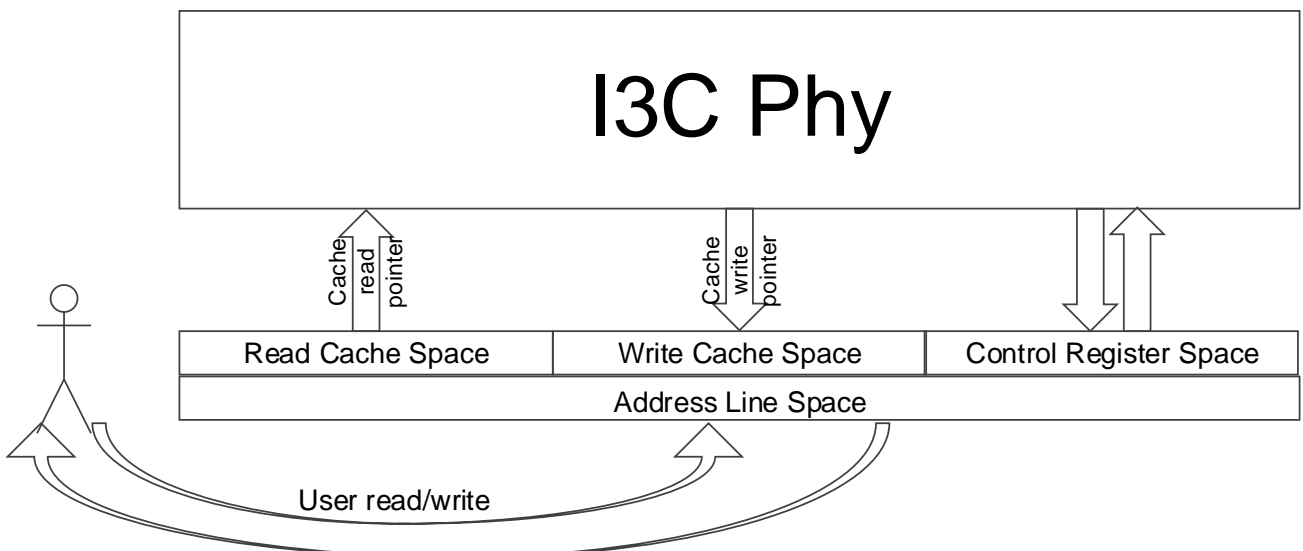
图 4-22 线性地址划分图



定义控制寄存器基址 `control_base_ptr = 0x800`。

用户读写数据如图 4-23 所示模式进行。

图 4-23 IP 接口交互模式图



控制寄存器部分地址分配一览表如表 4-1 所示。

表 4-1 控制寄存器名称及地址

名称	偏移	功能
Basic control register 1	0x00	一号基础控制寄存器
Basic control register 2	0x01	二号基础控制寄存器
Call control register	0x02	呼叫控制寄存器
Hang up control register	0x03	挂断控制寄存器
Pre-scale register	0x04	预分频寄存器
SDR Message Length register	0x05	SDR 消息长度寄存器
DDR Message Length register	0x06	DDR 消息长度寄存器
Slave Static Address	0x07	Slave 静态地址
Byte transferred	0x08	字节传输计数器
Word transferred	0x09	字传输计数器
SDR Call Address	0x0a	SDR 呼叫地址
DDR Call Address	0x0b	DDR 呼叫地址
cache_wptrL	0x10	写缓冲指针低位部分
cache_wptrH	0x11	写缓冲指针高位部分
cache_rptrL	0x12	读缓冲指针低位部分
cache_rptrH	0x13	读缓冲指针高位部分
Cache pointer reset register	0x18	缓冲指针复位寄存器
State register	0x20	状态寄存器
Interrupt flag register 1	0x30	一号中断标识寄存器
Interrupt flag register 2	0x31	二号中断标识寄存器

4.6.1 一号基础控制寄存器

偏移地址: 0x00

	7	6	5	4	3	2	1	0
名称	Res.	Res.	Res.	Res.	Res.	enSEvent	lgcyMode	enMaster
读写	Res.	Res.	Res.	Res.	Res.	rw	rw	rw

Bit 0: enable master

Write 1 to enable master

Write 0 to enable slave

Can only be written at IDLE state

Read return current setting

Bit 1: legacy mode

Write 1 to enter legacy mode (only when enMaster = 1)

Write 0 to enable I3C mode

Can only be written at IDLE state

Read return current setting

Bit 2: enable slave event

Write 1 to enable acknowledge slave IBI(only when enMaster = 1)

Write 0 to disable acknowledge slave IBI(only when enMaster = 1)

Can only be written at IDLE state

Read return current setting

4.6.2 二号基础控制寄存器

偏移地址: 0x01

	7	6	5	4	3	2	1	0
名称	Res.	Res.	Res.	Res.	Res.	Res.	autoApplyDaa	participateDaa
读写	Res.	Res.	Res.	Res.	Res.	Res.	rw	rw

Bit 0: participate Dynamic Address Assignment

Write 1 to enable Slave participate Dynamic Address Assignment

Write 0 to disable Slave participate Dynamic Address Assignment

Can only be written at IDLE state

Read return current setting

Will be cleared by the hardware after ENTDAAs

Bit 1: automatically apply dynamic address

Write 1 to automatically apply dynamic address

Write 0 to manually apply dynamic address

Can only be written at IDLE state

Read return current setting

4.6.3 呼叫控制寄存器

偏移地址: 0x02

	7	6	5	4	3	2	1	0
名称	Res.	Res.	Res.	Res.	Res.	abortRead	ibi	call
读写	Res.	Res.	Res.	Res.	Res.	wr	wr	wr

Bit 0: master call

Write 1 to start a transfer

Write 0 ignore

Can only be written at IDLE state

Read return current setting

Can only operate when enMaster =1

Will be cleared by the hardware after call

Bit 1: slave start in-band-Interrupt

Write 1 to start a transfer

Write 0 ignore

Can only be written at IDLE state

Read return current setting

Can only operate when enMaster =0

Will be cleared by the hardware after ibi

Bit 3: abort a read operation

Write 1 to abort a read operation

Write 0 ignore

Can be written at any state, but only take effect in read operation

Read return current setting

Will be cleared by the hardware after abort

4.6.4 挂断控制寄存器

偏移地址: 0x03

	7	6	5	4	3	2	1	0
名称	Res.	Res.	Res.	Res.	Res.	srWhenAbort	srWhenDone	srWhenNack
读写	Res.	Res.	Res.	Res.	Res.	rw	rw	rw

Bit 0: srWhenNack

Write 1 to force master re-start when encounter a NACK

Write 0 to force master stop when encounter a NACK

Can be written at any state, only work with master

Read return current setting

Bit 1: srWhenDone

In SDR mode

Write 1 to force master re-start when data transfer over

Write 0 to force master stop when data transfer over

In DDR mode

Write 1 to force master re-start when data transfer over

Write 0 to force master exit DDR when data transfer over

Can be written at any state, only work with master

Read return current setting

Bit 2: srWhenAbort

In SDR MODE

Write 1 to force master re-start when abort a read

Write 0 to force master stop when abort a read

In DDR MODE

Write 1 to force master re-start when abort a read

Write 0 to force master exit DDR when abort a read

Can be written at any state, only work with master

Read return current setting

4.6.5 预分频寄存器

偏移地址: 0x04

	7	6	5	4	3	2	1	0
名称	Res.	Res.	Res.	prescale				
读写	Res.	Res.	Res.	rw				

Bit 4-0: prescale

Writing the prescale number to this register will take effect immediately when enMaster =1.

$SCL_clock_cycle/2 = prescale + 1$

So the actual SCL frequency depends on your system clock and prescale.

Can only be written at IDLE state

Read return current setting

4.6.6 SDR 消息长度寄存器

偏移地址: 0x05

	7	6	5	4	3	2	1	0
名称	Msg length							
读写	rw							

Bit 7-0: SDR mode byte try to transfer

Write the number before call

Read return current setting

Can be written at any state

Do not write in the middle of a transfer

4.6.7 DDR 消息长度寄存器

偏移地址: 0x06

	7	6	5	4	3	2	1	0
名称	DDR length							
读写	rw							

Bit 7-0: DDR mode word try to transfer

Write the number before DDR transfer

Read return current setting

Can be written at any state

Do not write in the middle of a DDR transfer

Must be greater than 0 when perform a DDR read

4.6.8 Slave 静态地址

偏移地址: 0x07

	7	6	5	4	3	2	1	0
名称	Slave address							Res.
读写								Res.

Bit 7:1: Slave Static Address

Write new address will take effect immediately

If automatically apply Dynamic Address, this register will change by hardware. If manually apply Dynamic Address, you should write new address to this register.

Can only be written at IDLE state

Read return current setting

4.6.9 字节传输计数器

偏移地址: 0x08

	7	6	5	4	3	2	1	0
名称	Byte transferred							
读写	r							

Bit 7-0: Byte transferred

Write ignore

Read return current value of transferred bytes after a SDR write or read

Can be read at any state

4.6.10 字传输计数器

偏移地址: 0x09

	7	6	5	4	3	2	1	0
名称	Word transferred							
读写	r							

Bit 7-0: Word transferred

Write ignore

Read return current value of transferred words after a DDR write or read

Can be read at any state

4.6.11 SDR 呼叫地址

偏移地址: 0x0a

	7	6	5	4	3	2	1	0
名称	SDR Call Address							RnW
读写	r							r

Bit 7-1: SDR Call Address

Write ignore

Read return current value of master calling address or slave ibi address in SDR mode.

Bit 0 : SDR read/write bit

Write ignore

Read return current value of master calling or slave ibi operation in SDR mode.

4.6.12 DDR 呼叫地址

偏移地址: 0x0b

	7	6	5	4	3	2	1	0
名称	DDR Call Address							Res.
读写	r							Res.

Bit 7-1: DDR Call Address

Write ignore

Read return current value of master calling address in DDR mode.

4.6.13 写缓冲指针低位部分

偏移地址: 0x10

	7	6	5	4	3	2	1	0
名称	cache_wptrL							
读写	r							

Bit 7-0: cache write pointer low

Write ignore

Read return current value of the low 8 bits of the cache write pointer

Can be read at any state

4.6.14 写缓冲指针高位部分

偏移地址: 0x11

	7	6	5	4	3	2	1	0
名称	Res.	Res.	Res.	Res.	cache_wptrH			
读写	Res.	Res.	Res.	Res.	r			

Bit 3-0: cache write pointer high

Write ignore

Read return current value of the high 4 bits of the cache write pointer

Can be read at any state

4.6.15 读缓冲指针低位部分

偏移地址: 0x12

	7	6	5	4	3	2	1	0
名称	cache_rptrL							
读写	r							

Bit 7-0: cache read pointer low

Write ignore

Read return current value of the low 8 bits of the cache read pointer

Can be read at any state

4.6.16 读缓冲指针高位部分

偏移地址: 0x13

	7	6	5	4	3	2	1	0
名称	Res.	Res.	Res.	Res.	cache_rptrH			
读写	Res.	Res.	Res.	Res.	r			

Bit 3-0: cache read pointer high

Write ignore

Read return current value of the high 4 bits of the cache read pointer

Can be read at any state

4.6.17 缓冲指针复位寄存器

偏移地址: 0x18

	7	6	5	4	3	2	1	0
名称	Res.	Res.	Res.	Res.	Res.	Res.	cacheN_rprt_rst	cacheN_wppt_rst
读写	Res.	Res.	Res.	Res.	Res.	Res.	w	w

Bit 0: cache N write pointer reset

Write 1 ignore

Write 0 to reset the pointer of the cache N writer

Can only be written at IDLE state

Read return 0

Bit 1: cache N read pointer reset

Write 1 ignore

Write 0 to reset the pointer of the cache N reader

Can only be written at IDLE state

Read return 0

4.6.18 状态寄存器

偏移地址: 0x20

	7	6	5	4	3	2	1	0
名称	Res.	Res.	Res.	state				
读写	Res.	Res.	Res.	r				

Bit 4-0: current state

Write ignore

Read return current state

4.6.19 一号中断标识寄存器

偏移地址: 0x30

	7	6	5	4	3	2	1	0
名称	Res.	lost	da	sto	sr	sta	nack	done
读写	Res.	wr	wr	wr	wr	wr	wr	wr

Bit 0: DONE flag

Write 1 ignore

Write 0 to clear the flag

Can be written at any state

Read return current flag

Bit 1: NACK flag

Write 1 ignore

Write 0 to clear the flag

Can be written at any state

Read return current flag

Bit 2: START flag

Write 1 ignore

Write 0 to clear the flag

Can be written at any state

Read return current flag

Bit 3: RE-START flag

Write 1 ignore

Write 0 to clear the flag

Can be written at any state

Read return current flag

Bit 4: STOP flag

Write 1 ignore

Write 0 to clear the flag

Can be written at any state

Read return current flag

Bit 5: DYNAMIC_ADDRESS_ASSIGNED flag

Write 1 ignore

Write 0 to clear the flag

Can be written at any state

Read return current flag

Bit 6: LOST flag

Write 1 ignore

Write 0 to clear the flag

Can be written at any state

Read return current flag

4.6.20 二号中断标识寄存器

偏移地址: 0x31

	7	6	5	4	3	2	1	0
名称	Res.	Res.	Res.	Res.	Res.	DDR_EXIT	DDR_SR	DDR_DONE
读写	Res.	Res.	Res.	Res.	Res.	rw	rw	rw

Bit 0: DDR_DONE flag

Write 1 ignore

Write 0 to clear the flag

Can be written at any state

Read return current flag

Bit 1: DDR_SR flag

Write 1 ignore

Write 0 to clear the flag

Can be written at any state

Read return current flag

Bit 2: DDR_EXIT flag

Write 1 ignore

Write 0 to clear the flag

Can be written at any state

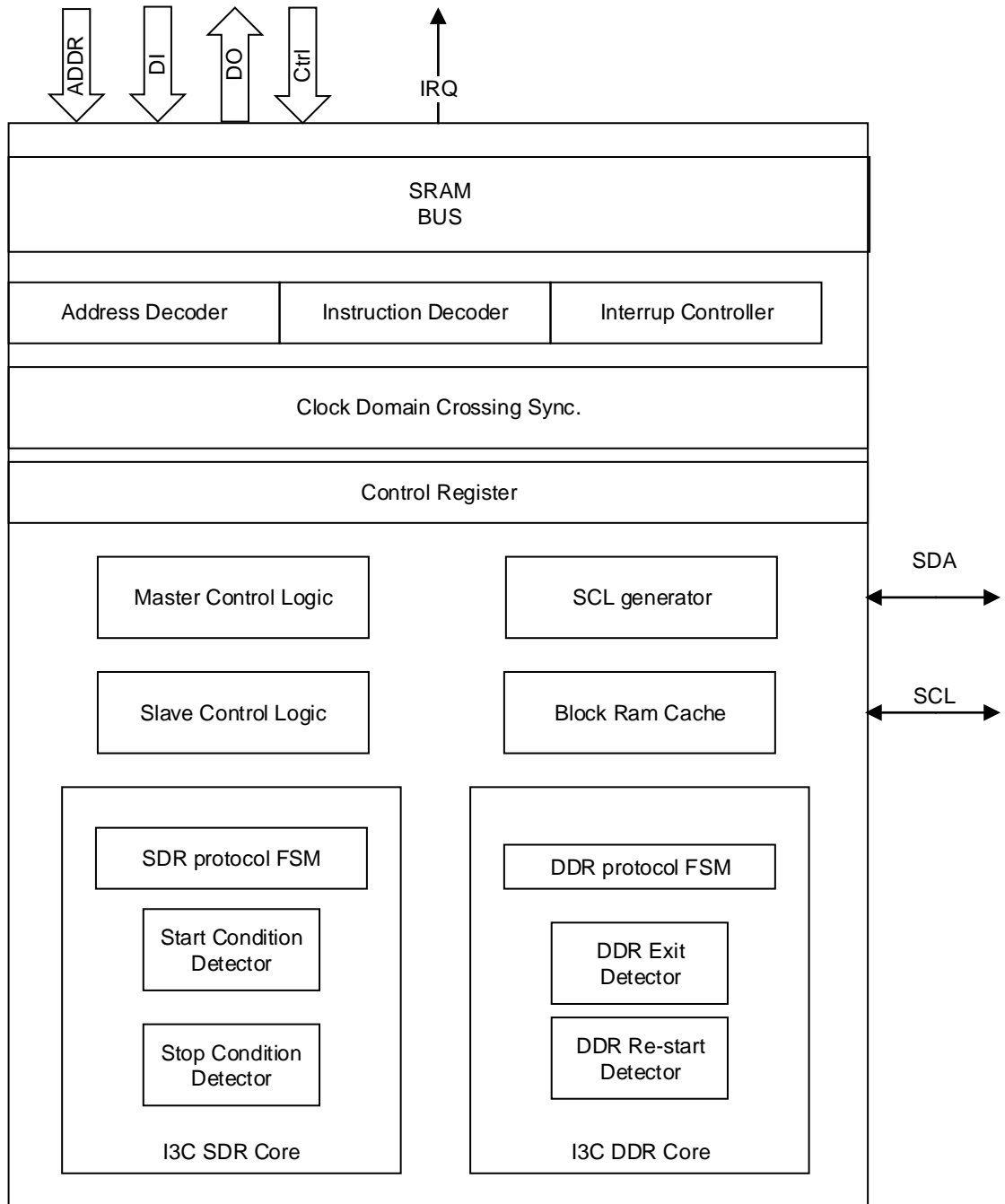
Read return current flag

5 结构、接口和配置

5.1 微结构

I3C DDR eXtension IP 在设计依据功能对 RTL 进行划分，如图 5-1 所示。

图 5-1 微结构框图

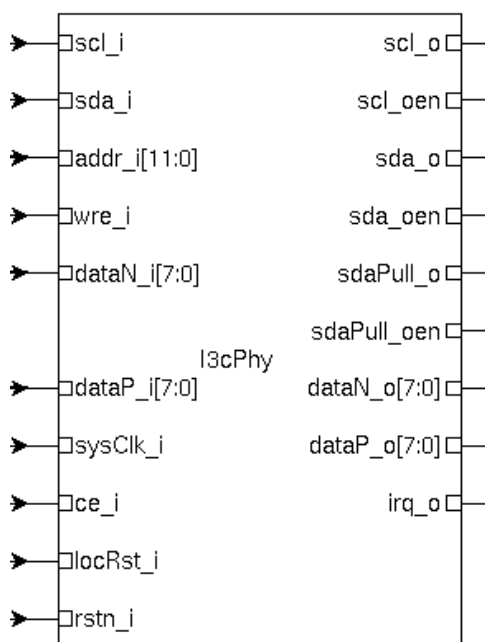


5.2 接口

5.2.1 框图

I3C DDR eXtension 框图如图 5-2 所示。

图 5-2 I3C DDR eXtension 框图



5.2.2 接口说明

I3C DDR eXtension 接口说明如表 5-1 所示。

表 5-1 I3C DDR eXtension 接口说明

名称	方向	位宽	功能
scl_i	Input	1	I3C 总线三态 SDA
scl_o	Output	1	
scl_oen	Output	1	
sda_i	Input	1	I3C 总线三态 SCL
sda_o	Output	1	
sda_oen	Output	1	
sdaPull_o	Output	1	Sda 上拉输出
sdaPull_oen	Output	1	Sda 上拉高阻控制
addr_i	Input	[11:0]	地址
wre_i	Input	1	读写控制
dataN_i	Input	[7:0]	CacheN 数据输入
dataN_o	Output	[7:0]	cacheN 数据输出

名称	方向	位宽	功能
dataP_i	Input	[7:0]	CacheP 数据输入
dataP_o	Output	[7:0]	cacheP 数据输出
irq_o	Output	1	中断信号输出
sysClk_i	Input	1	系统时钟
ce_i	Input	1	时钟使能
locRst_i	Input	1	同步复位，高电平有效
rstn_i	Input	1	异步服务，低电平有效

5.2.3 可配置参数

本节的参数配置说明 Power-On 参数。由于这些参数是 RTL 综合时的参数，因此只有在 FPGA 软核模式这些参数才会有效。在硬核模式下这些参数将全部为 0，用户只能在运行时通过写对应的寄存器才能改变相关配置。

注！

对系统进行全局复位时，配置寄存器也会回归为对应的 Power-On 参数配置的值。可配置参数如表 5-2 所示。

表 5-2 可配置参数

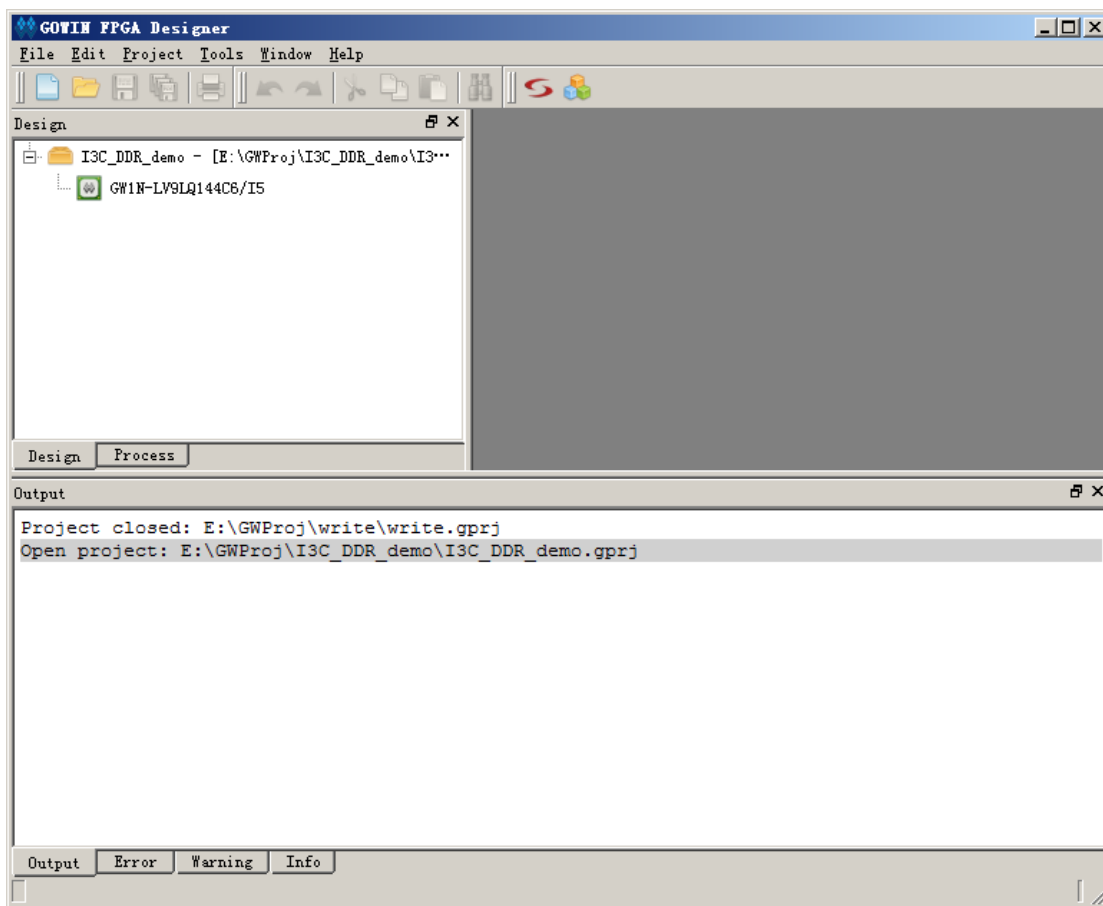
参数	功能
INI_enMaster	该参数决定系统重置后设备的角色，即 enMaster 的初值
INI_participateDaa	该参数决定系统重置后是否参与动态地址分配，即 participateDaa 的初值
INI_autoApplyDaa	该参数决定系统重置后是否自动应用获得的动态地址，即 autoApplyDaa 的初值
INI_srWhenNack	该参数决定系统重置后遇到 NACK 时的行为，即 srWhenNack 的初值
INI_srWhenDone	该参数决定系统重置后遇到 Done 时的行为，即 srWhenDone 的初值
INI_srWhenAbort	该参数决定系统重置后遇到 Abort 时的行为，即 srWhenAbort 的初值
INI_enSEvent	该参数决定系统重置后是否响应 slave IBI，即 enSEvent 的初值
INI_plsNumber	该参数决定系统重置后 SCL 分频值，即 plsNumber 的初值
INI_myAddress	该参数决定系统重置后的静态地址，即 myAddress 的初值

6 编译配置和文件

6.1 编译 I3C DDR eXtension

1. 建立一个 FPGA RTL 工程，如图 6-1 所示。

图 6-1 FPGA RTL 工程初始界面图



2. 打开 IP Core Generator，打开 I3C DDR eXtension 配置界面，如图 6-2、图 6-3 所示。

图 6-2 调用 I3C DDR eXtension

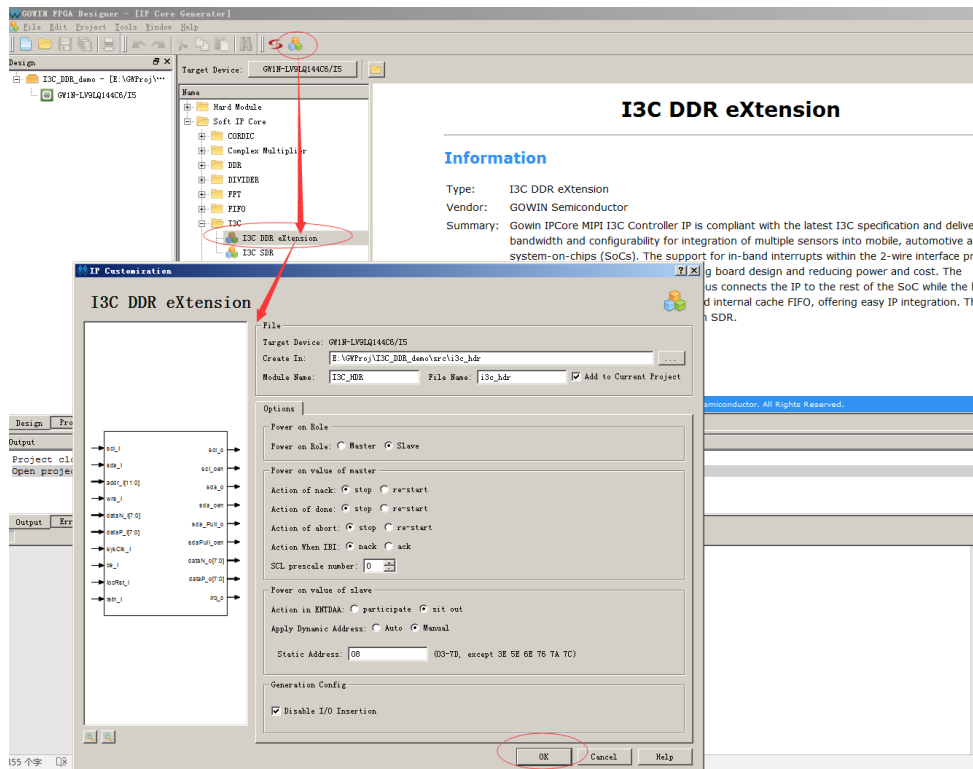
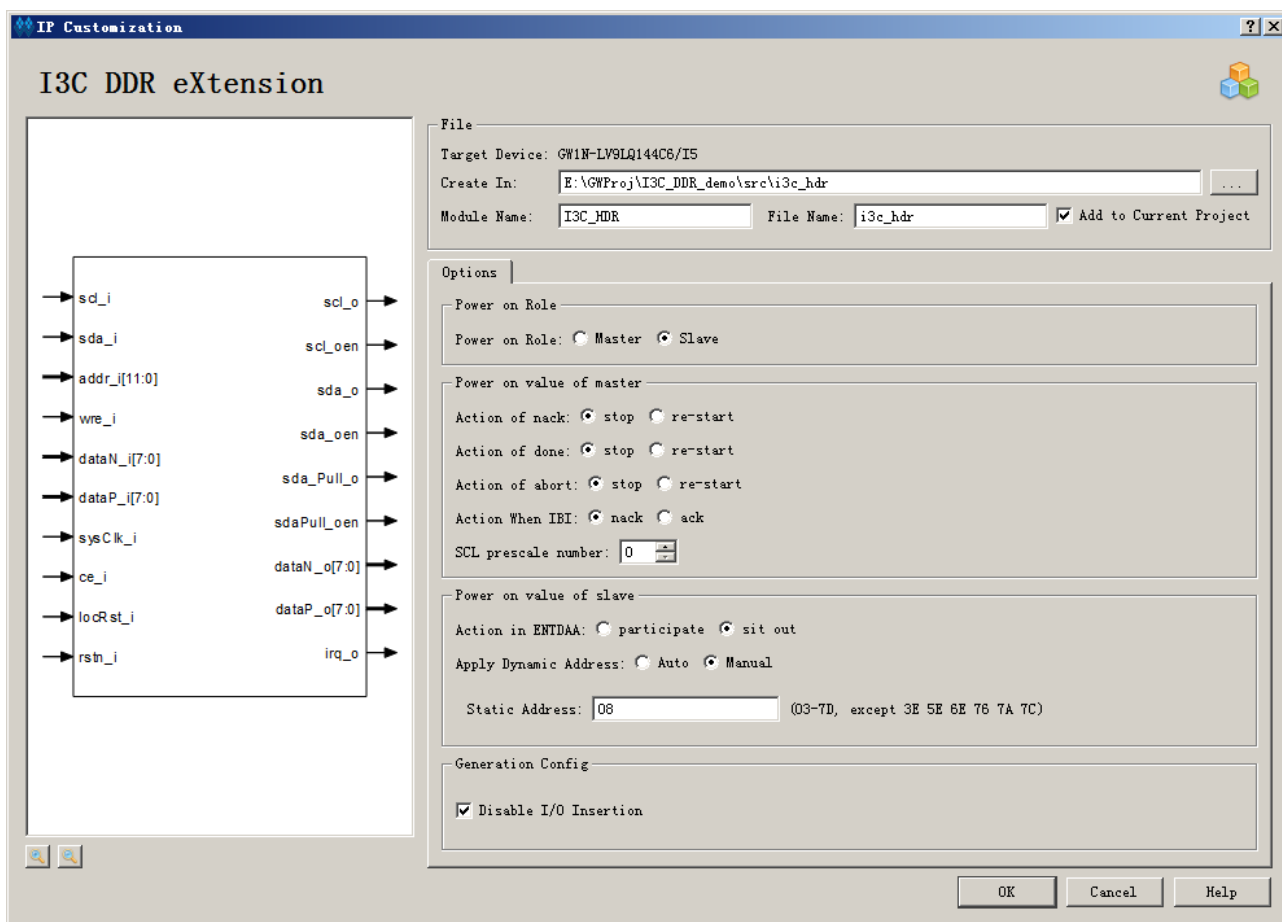
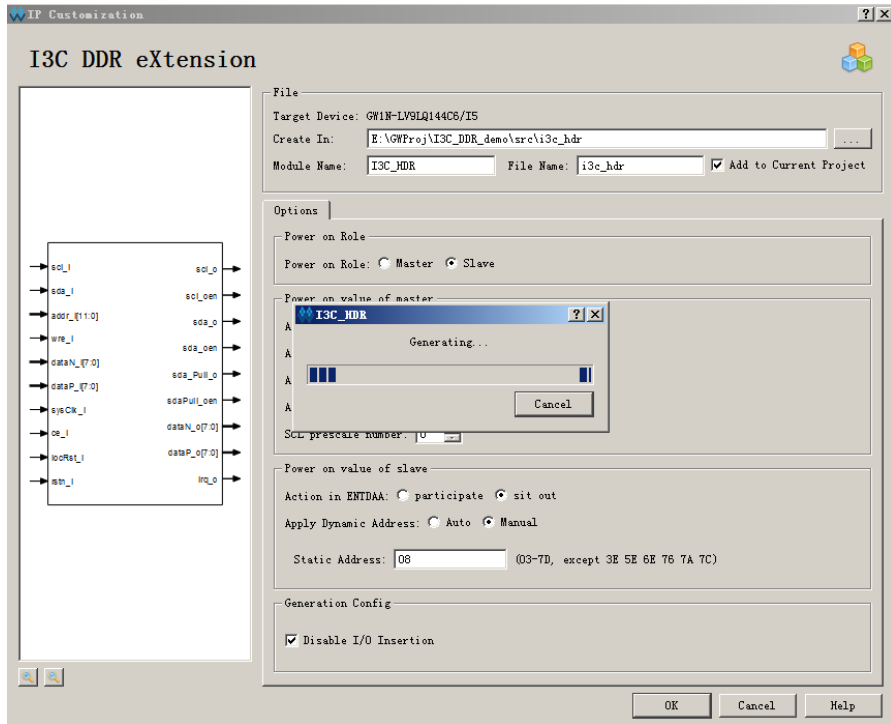


图 6-3 I3C DDR eXtension 配置界面图



3. 根据需求配置好参数后单击“OK”即可生成，如图 6-4 所示。

图 6-4 生成 I3C DDR eXtension 图



4. 在询问是否要将生成的 IP 添加进工程时，单击“OK”添加到当前工程。

6.2 IP Core Generator 生成文件

6.2.1 文件结构

以 RTL 工程的 src 为根目录，下文描述 IP Core Generator 生成的主要文件及其作用，如图 6-5 所示。

图 6-5 IP Core Generator 生成文件

