



# Gowin HyperBus(TM) & PSRAM Memory Interface IP

## 用户指南

IPUG525-1.2,2019-3-1

## **版权所有©2019 广东高云半导体科技股份有限公司**

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

日期	版本	说明
2018/10/17	1.0	初始版本。
2018/11/23	1.1	<ul style="list-style-type: none"><li>● 新增 PSRAM 用户端接口，用户自主配置 PLL 移到设计外部；修改内嵌 PSRAM 工作频率；</li><li>● 支持 GW1NSR-2C/GW1NSR-2 器件。</li></ul>
2019/2/27	1.2	新增对双通道 PSRAM IP 的支持和描述。

# 目录

目录 .....	<b>i</b>
图目录 .....	<b>iii</b>
表目录 .....	<b>iv</b>
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 适用产品 .....	1
1.3 相关文档 .....	1
1.4 术语、缩略语 .....	2
1.5 技术支持与反馈 .....	2
<b>2 概述 .....</b>	<b>3</b>
<b>3 主要特征与性能 .....</b>	<b>4</b>
3.1 主要特征 .....	4
3.2 工作频率 .....	4
3.3 资源利用 .....	5
<b>4 功能描述 .....</b>	<b>6</b>
4.1 整体结构 .....	6
4.2 Memory Controller Logic .....	6
4.2.1 CMD 单元 .....	7
4.2.2 WR_Data 单元 .....	7
4.2.3 RD_Data 单元 .....	7
4.3 PHY .....	7
4.3.1 初始化单元 .....	9
4.3.2 数据通路单元 .....	9
4.3.3 控制通路单元 .....	10
4.3.4 I/O 逻辑单元 .....	10
4.4 主要功能 .....	11
4.4.1 初始化 .....	11
4.4.2 发送地址与命令 .....	11
4.4.3 写数据 .....	13

---

4.4.4 读数据 .....	14
<b>5 端口列表 .....</b>	<b>16</b>
<b>6 参数配置 .....</b>	<b>19</b>
<b>7 参考设计 .....</b>	<b>20</b>
<b>8 界面配置 .....</b>	<b>22</b>
<b>9 文件交付 .....</b>	<b>27</b>
9.1 文档 .....	27
9.2 设计源代码（加密） .....	27
9.3 参考设计 .....	28

# 图目录

图 4-1 Gowin PSRAM Memory Interface IP 结构图 .....	6
图 4-2 PSRAM Memory Controller Logic 基本结构图 .....	7
图 4-3 PSRAM PHY 基本结构图 .....	8
图 4-4 数据通路单元与控制通路单元整体结构框图 .....	9
图 4-5 IO 逻辑单元基本结构框图 .....	10
图 4-6 初始化完成信号时序图 .....	11
图 4-7 Row-Column 顺序的寻址方案 .....	11
图 4-8 命令、地址与使能信号时序图 .....	12
图 4-9 写数据端口时序图 .....	13
图 4-10 突发长度为 32 时写数据时序图 .....	13
图 4-11 突发长度为 64 时写数据时序图 .....	14
图 4-12 突发长度为 128 时写数据时序图 .....	14
图 4-13 读数据端口时序图 .....	14
图 4-14 突发长度为 32 时读数据时序图 .....	15
图 4-15 突发长度为 64 时读数据时序图 .....	15
图 4-16 突发长度为 128 时读数据时序图 .....	15
图 7-1 参考设计基本结构框图 .....	20
图 7-2 psram_test 部分端口信号仿真波形 .....	21
图 8-1 打开 IP Core Generater .....	22
图 8-2 打开 PSRAM Memeory Interface IP 核 .....	23
图 8-3 IP 核接口示意图 .....	23
图 8-4 Help 文档 .....	24
图 8-5 基本信息配置界面 .....	25
图 8-6 Type 选项卡 .....	25
图 8-7 Options 选项卡 .....	26

# 表目录

表 1-1 术语、缩略语 .....	2
表 2-1 Gowin PSRAM Memory Interface IP .....	3
表 3-1 资源利用情况 .....	5
表 4-1 cmd 命令 .....	12
表 5-1 Gowin PSRAM Memory Interface IP 的 IO 端口列表 .....	16
表 6-1 Gowin PSRAM Memory Interface 的静态参数选项 .....	19
表 7-1 psram_syn_top 模块输入端口列表 .....	20
表 9-1 文档列表 .....	27
表 9-2 设计源代码列表 .....	27
表 9-3 Ref. Design 文件夹内容列表 .....	28

# 1 关于本手册

## 1.1 手册内容

Gowin HyperBus(TM) & PSRAM Memory Interace IP 用户指南主要内容包括 IP 的结构与功能描述、端口说明、时序说明、配置调用、参考设计等。主要用于帮助用户快速了解 Gowin HyperBus(TM) & PSRAM Memory Interace IP 的产品特性、特点及使用方法。

## 1.2 适用产品

本手册中描述的信息适用于 GW1N(R)、GW2AR 系列 FPGA 产品：

1. GW1N-4
2. GW1NR-4
3. GW1NSR-2
4. GW1NSR-2C
5. GW1NR-9
6. GW2AR-18

## 1.3 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

1. GW1N 系列 FPGA 产品数据手册
2. GW1NR 系列 FPGA 产品数据手册
3. GW1NSR 系列 FPGA 产品数据手册
4. GW2AR 系列 FPGA 产品数据手册
5. Gowin 云源软件用户指南



## 1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

**表 1-1 术语、缩略语**

术语、缩略语	全称	含义
IP	Intellectual Property	知识产权
RAM	Random Access Memory	随机存取存储器
LUT	Look-up Table	查找表
GSR	Global System Reset	全局系统复位

## 1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 概述

Gowin PSRAM Memory Interface IP 是一个通用的 PSRAM 内存接口 IP，符合 PSRAM 标准协议。该 IP 包含 PSRAM 内存控制逻辑 (Memory Controller Logic) 与对应的物理层接口 (Physical Interface, PHY) 设计。Gowin PSRAM Memory Interface IP 为用户提供一个通用的命令接口，使其与 PSRAM 内存芯片进行互连，完成用户的访存需求。

**表 2-1 Gowin PSRAM Memory Interface IP**

Gowin PSRAM Memory Interface IP	
芯片支持	<ul style="list-style-type: none"> <li>● GW1N系列</li> <li>● GW1NR系列</li> <li>● GW1NSR系列</li> <li>● GW2AR系列</li> </ul>
逻辑资源	请参见表3-1
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	Synplify_Pro
应用软件	GowinYunYuan

# 3 主要特征与性能

## 3.1 主要特征

- 支持 GW1N-4、GW1NR-4、GW1NSR-2、GW1NSR-2C、GW1NR-9、GW2AR-18 等 FPGA 器件；
- 能与标准的 PSRAM 器件接口；
- 支持存储器数据路径宽度为 8、16、24、32、40、48、56 和 64 位；
- 支持 x8 数据宽度的内存芯片；
- 可编程突发长度 16、32、64、128；
- 时钟比例为 1:2
- 支持初始延时为 6；
- 支持固定延时模式；
- 支持电源关闭选项；
- 可配置的驱动强度；
- 可配置的可刷新区域；
- 可配置的刷新速率；
- 单通道双通道两种操作模式 IP 可选；

## 3.2 工作频率

Gowin PSRAM Memory Interface IP 可支持的数据速率为：最高工作数据速率 332Mbps；

## 3.3 资源利用

Gowin PSRAM Memory Interace IP 通过 Verilog 语言实现，应用于高云 GW1N4、GW1NR-4 等系列 FPGA，其资源利用情况如表 3-1 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

表 3-1 资源利用情况

DQ_WIDTH	LOGICs	REGs	I/O	f <sub>MAX</sub>	器件系列	速度等级
8(x8)	615	541	16	332Mbps	GW1N-4 GW1NR-4	C6/I5 C5/I4
16(x8)	947	898	29			

### 注！

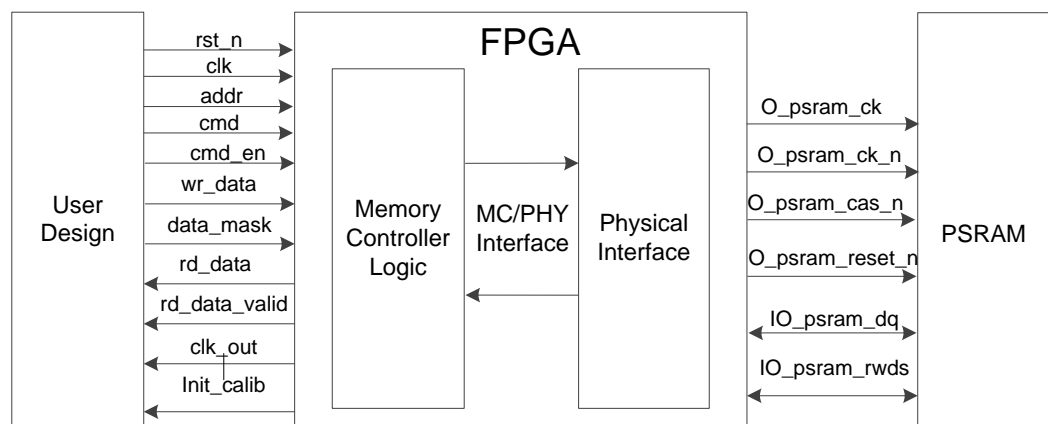
在表 3-1 中，Gowin PSRAM Memory Interace 配置用户地址宽度为 21 位，PSRAM WITDH 为 x8，突发长度为 32；突发长度增加会使资源使用率增加，使用双通道 PSRAM IP 资源使用会稍有增加。

# 4 功能描述

## 4.1 整体结构

Gowin PSRAM Memory Interface IP 基本结构如表 4-1 所示，主要包含 Memory Controller Logic、Physical Interface 等模块。图 4-1 中的 User Design 是 FPGA 中需要与外部 PSRAM SDRAM 芯片所连接的用户设计。

图 4-1 Gowin PSRAM Memory Interface IP 结构图



## 4.2 Memory Controller Logic

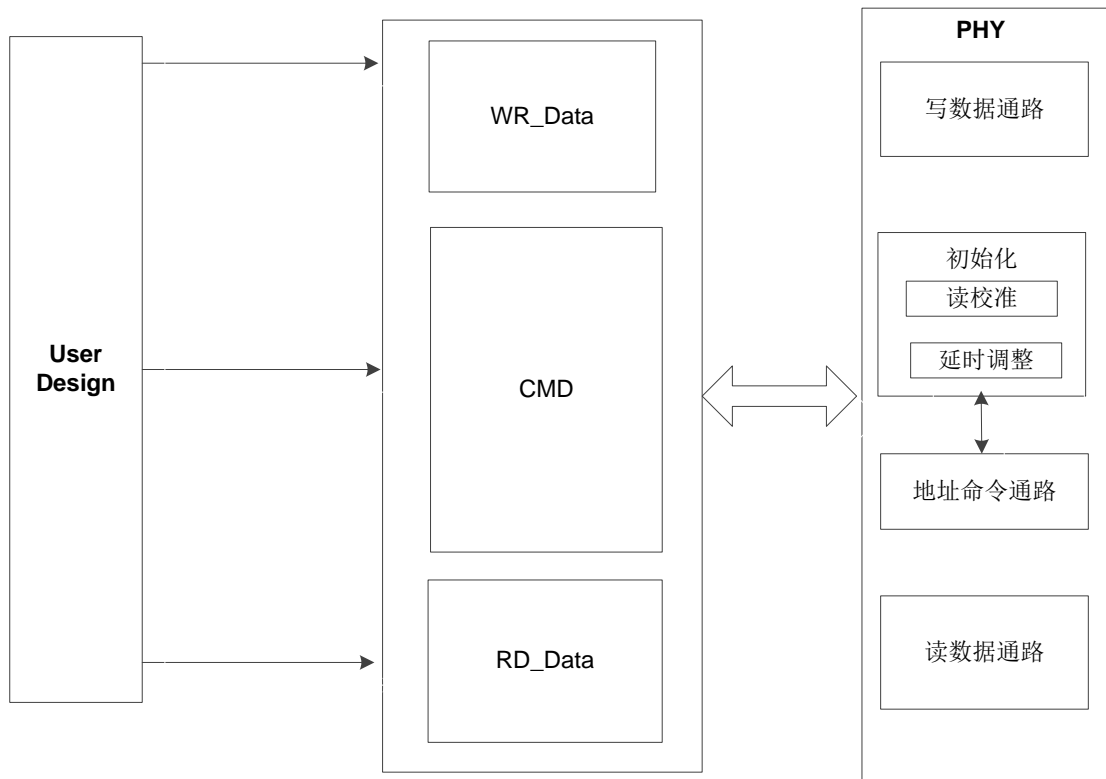
Memory Controller Logic 是 Gowin PSRAM Interface IP 的逻辑模块，位于 User Design 与 PHY 之间。Memory Controller Logic 接收来自用户接口的命令、地址与数据，并按照一定逻辑顺序进行存储。

用户发送的写、读等命令和地址在 Memory Controller Logic 中进行排序重组，组合成满足 PSRAM 协议的数据格式。同时，写数据时 Memory Controller Logic 会对数据进行重组和缓存，以满足命令和数据之间的初始延迟值，读数据时，Memory Controller Logic 会对读回的数据进行采样和重组，恢复成正确数据。

PSRAM Memory Controller 主要由以下几个模块组成：CMD 单元、

WR\_Data 单元、RD\_Data 单元等，主要结构如图 4-2 所示。

图 4-2 PSRAM Memory Controller Logic 基本结构图



### 4.2.1 CMD 单元

CMD 单元主要功能是接收并存储用户发送的地址与指令，

CMD 单元对用户发送的地址进行转换，映射为 PSRAM 对应的 ROW 地址、Upper Column 地址、Lower Column 地址，并对用户发送的命令和地址进行拆分、重组，发送给 PHY。

### 4.2.2 WR\_Data 单元

WR\_Data 单元主要功能是接收并存储用户发送的写数据 wr\_data 与写遮挡信号 data\_mask。

同时在 WR\_Data 单元中，根据目前存储的写数据与 MC 接收到写命令，配置的突发长度等，为 PHY 提供写数据，并向 PHY 传送写遮挡信 data\_mask。

### 4.2.3 RD\_Data 单元

RD\_Data 单元主要功能是接收 PHY 返回的读数据，并将其发送给用户；

PHY 在返回读数据时，会提供相应的读有效信号，RD\_Data 单元在读有效时接收读数据，将数据整理后发送给用户 rd\_data，并为用户产生合适的读有效信号 rd\_data\_valid。

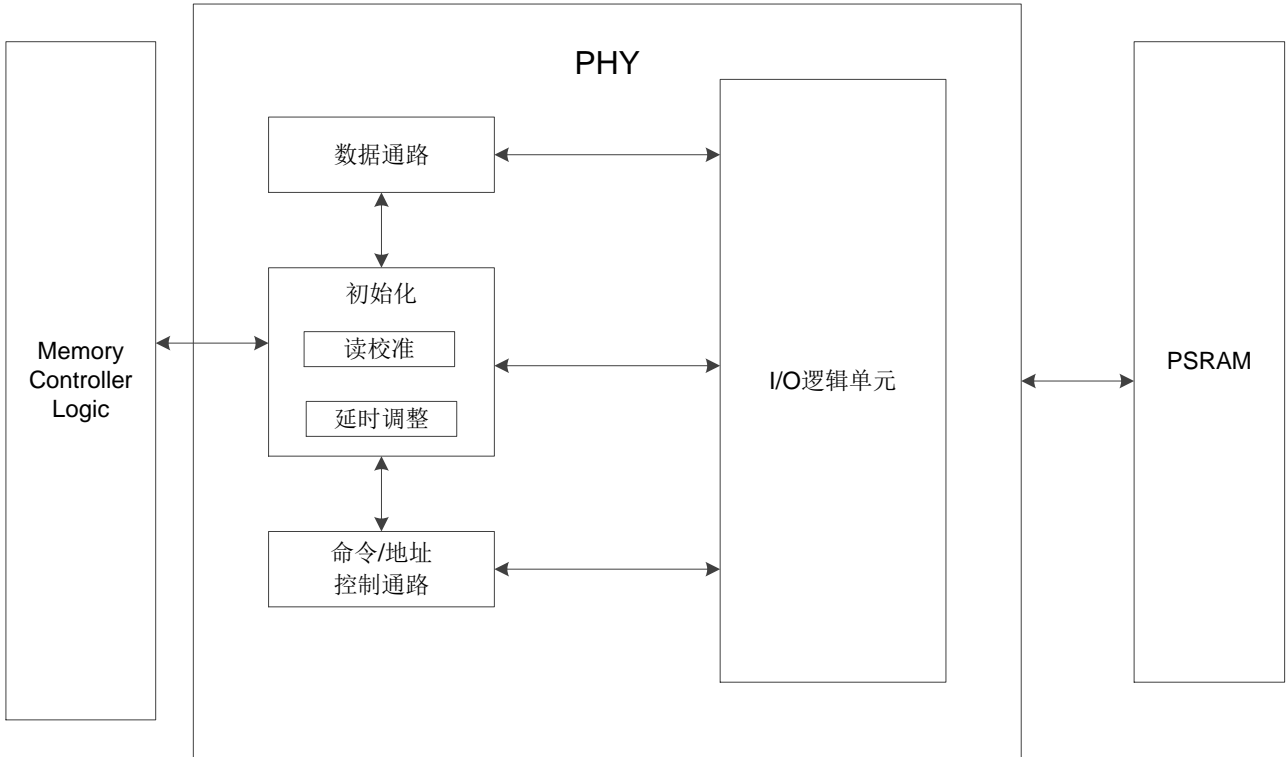
## 4.3 PHY

PHY 提供了 Memory Controller Logic 与外部 PSRAM 之间的物理层定

义与接口，接收来自 Memory Controller Logic 的命令地址和数据，并向 PSRAM 接口提供满足时序与顺序要求的信号。

PHY 的基本结构如图 4-3 所示，主要包括四个模块，分别为初始化模块、数据通路、命令地址控制通路和 I/O 逻辑模块。

图 4-3 PSRAM PHY 基本结构图



### 4.3.1 初始化单元

初始化模块主要完成 PSRAM 上电后的初始化和读校准。在完成所有初始化与读校准之后，信号“init\_calib”会由低变高，指示整个初始化完成。

#### 上电初始化

按照 PSRAM 协议标准，上电后需对 PSRAM 颗粒进行初始化，包括复位、模式寄存器的配置及读校准等过程。

#### 读校准

读校准的目的是恢复出正确的读数据。由于数据读回过程经过串并转换硬核，所以恢复出的数据相位不稳定，需要动态调整数据相位，直到读出的数据相位正确。

在读校准过程中，由于 PSRAM 颗粒数据返回有延时，所以读校准过程中引入动态延时调整过程，PHY 会向 PSRAM 某一地址写一串固定数据，并验证从 PSRAM 中读回的数据是否符合预期，如不符合预期，则自动增加延时，直到多次读回正确稳定数据，读校准过程结束。

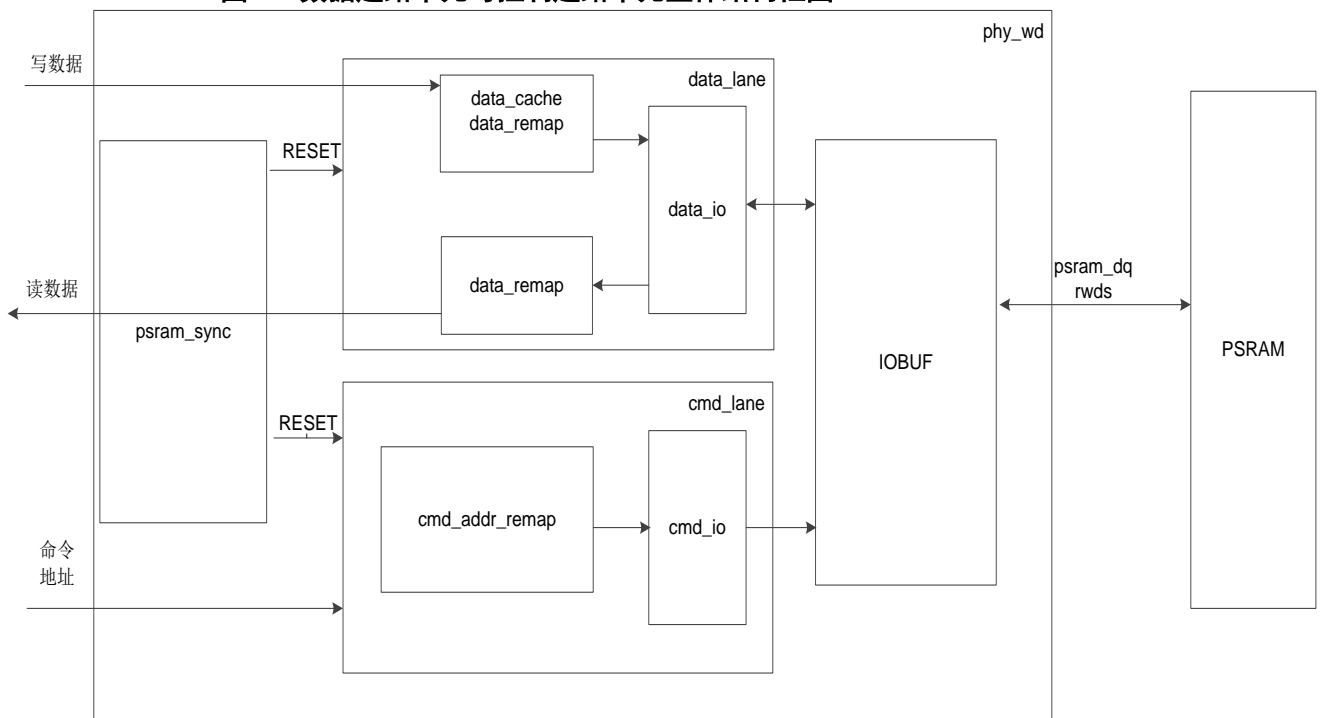
### 4.3.2 数据通路单元

数据通路包括写数据和读数据过程，模块结构为图 4-4 中 data\_lane 模块。

在写数据时，PHY 接收来自 Memory Controller Logic 的数据和写使能信号，并根据写初始延时参数 initial Latency 对数据进行缓存处理，然后将数据和数据使能信号发送到 I/O 逻辑模块。

在读数据时，PHY 根据 I/O 逻辑模块发送过来的 RWDS 信号来选择其传递过来的数据，并将该数据发送给 Memory Controller Logic。

图 4-4 数据通路单元与控制通路单元整体结构框图





### 4.3.3 控制通路单元

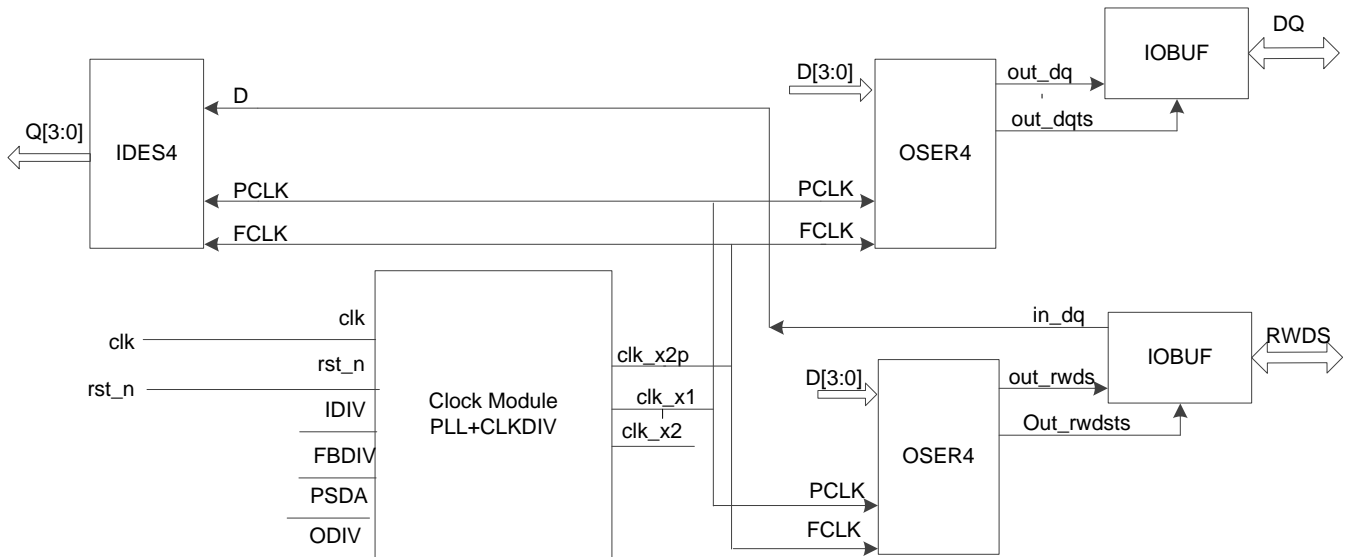
命令/地址控制通路为单向通路，接收 Memory Controller Logic 发送的命令与地址信号，并与数据通路配合，处理写、读数据时延参数，并将命令发送到 I/O 逻辑模块，结构为图 4-4 中 cmd\_lane 模块。

系统上电后首先对控制通路单元同时进行复位。系统稳定工作后，根据 Memory Controller Logic 传来的命令及初始化是否完成等控制信号，决定数据总线由写寄存器命令模块控制，或命令模块控制，或数据模块控制。

### 4.3.4 I/O 逻辑单元

I/O 逻辑模块主要是对数据通路和命令/地址通路传递过来的数据、命令、地址信号进行时钟域的转换，从 clk\_x1 时钟域转换到 clk\_x2 时钟域，从而产生 PSRAM 需要的信号，基本结构如图 4-5 所示。

图 4-5 IO 逻辑单元基本结构框图



## 4.4 主要功能

PSRAM Memory Interface IP 可实现以下功能：

- PSRAM 颗粒的初始化；
- 发送地址、命令；
- 写数据；
- 读数据；

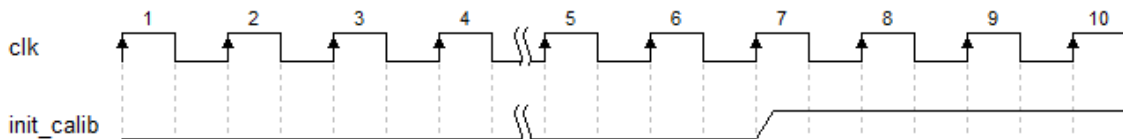
### 4.4.1 初始化

PSRAM 必须经过读校准操作才能进行正常的写、读操作。因此上电后 PHY 会对 PSRAM 进行初始化读校准操作，初始化完成后返回初始化完成标志 `init_calib`，单通道 PSRAM IP 会将两颗 psram 颗粒同时初始化，而双通道 IP 则是两颗 psram 颗粒各自初始化，并将两个初始化完成信号分别送给用户使用。

初始化操作包括上电复位、配置模式寄存器、读校准等，对 PSRAM 初始化过程具体可见 4.3.1 章节中初始化模块部分。

初始化完成后向用户返回操作完成信号，如图 4-6 所示。

图 4-6 初始化完成信号时序图



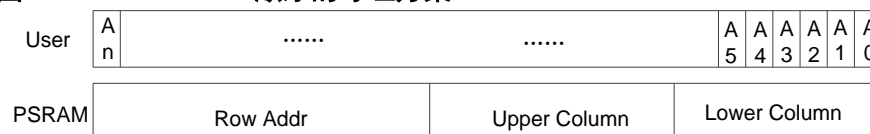
### 4.4.2 发送地址与命令

用户可通过 `addr`、`cmd`、`cmd_en` 等用户接口发送操作命令与地址。

- `addr` 为地址数据端口；
- 连续地址写操作时，相邻两次操作地址自加突发长度/2，连续地址读操作相同；
- `cmd` 为命令数据端口；
- `cmd_en` 为地址与命令使能信号，高电平有效。
- 双通道 PSRAM IP 和单通道 PSRAM IP 的操作方式一致，但是双通道 PSRAM IP 两个通道的命令和地址是独立的，需要分别给出控制信号；

在应用中，用户接口的地址总线与物理内存的 ROW、Upper Column、Lower Column 之间存在一定的映射关系，在本设计中，按照 ROW-Upper Column-Lower Column 的顺序进行依次排列，其寻址方案如图 4-7 所示。用户在应用中，只需按照需要给出地址，不需要关心映射关系。

图 4-7 Row-Column 顺序的寻址方案



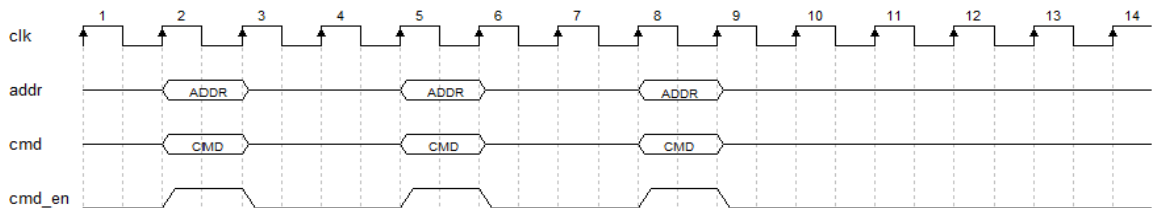
用户通过 cmd 端口可发送的命令如表 4-1 所示：

表 4-1 cmd 命令

命令	cmd
Read	1'b0
Write	1'b1

在用户接口端，命令、地址及使能信号之间的时序如图 4-8 所示，当 cmd\_en 为高时，此时的 cmd 与 addr 有效。

图 4-8 命令、地址与使能信号时序图



用户在使用 PSRAM 时，读写命令间隔需根据颗粒  $t_{RWR}$  值进行计算，以 166M 时钟，颗粒使用 W955D8MBY 为例， $t_{RWR}$  最小值为 36ns，即读写命令间隔需要大于 6 个时钟周期，在实际使用读写切换中，建议用户在写数据全部写入后再进行读取操作，在读数据全部读出后，再进行写操作；

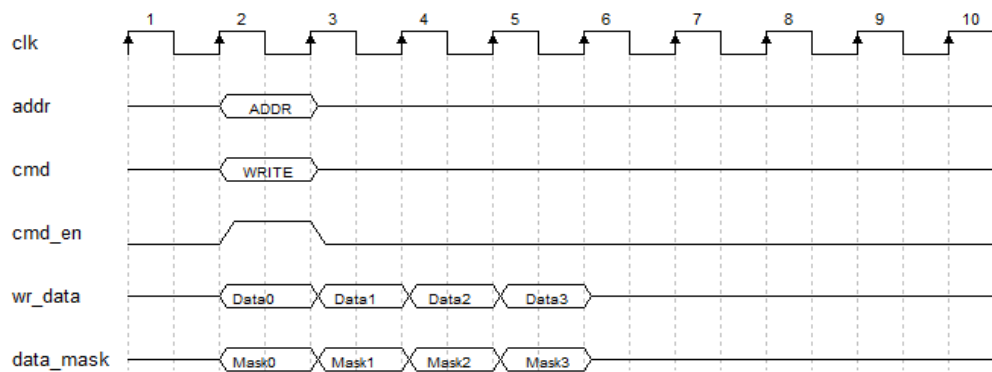
在用户端实际使用时两个命令（写-读/读-写/写-写/读-读）间隔需满足最小间隔周期，即突发长度为 16 时，命令间隔最小为 15 个时钟周期；突发长度为 32 时，命令间隔最小为 19 个时钟周期；突发长度为 64 时，命令间隔最小为 27 个时钟周期；突发长度为 128 时，命令间隔最小为 43 个时钟周期。

### 4.4.3 写数据

用户可通过用户接口 `wr_data`、`data_mask` 等端口将写数据发送给 Gowin PSRAM Memory Interface IP，写数据经过处理后会发送给 PSRAM 颗粒。

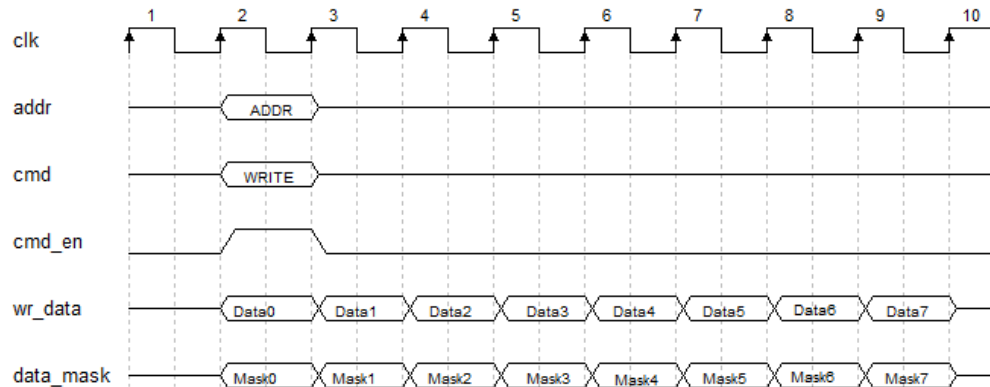
- `wr_data` 为写数据端口；
- `data_mask` 为写遮掩端口；
- 写数据通道与命令通道之间存在多种时序情况，下图以突发长度为 16 为例；
- 双通道 PSRAM IP 与单通道 PSRAM IP 写操作模式一致，但是双通道 PSRAM IP 两个通道的数据端口是独立的，需要分别给出写数据；

图 4-9 写数据端口时序图



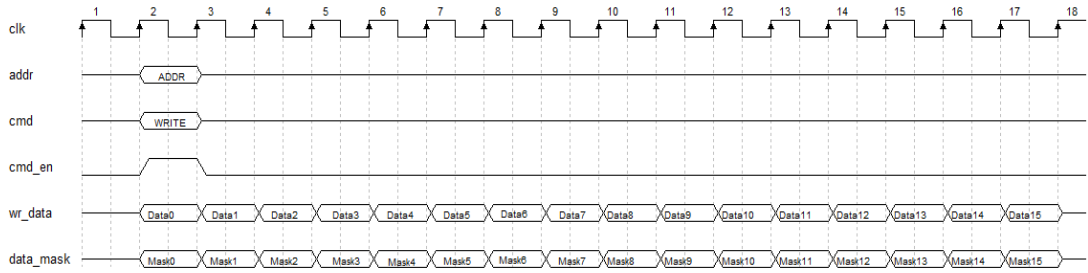
- 用户配置突发长度为 32 时，写数据占用 8 个 `clk` 周期，如图 4-110 所示。
- 如果不使用 `mask` 功能 `data_mask` 可以为 0。

图 4-10 突发长度为 32 时写数据时序图



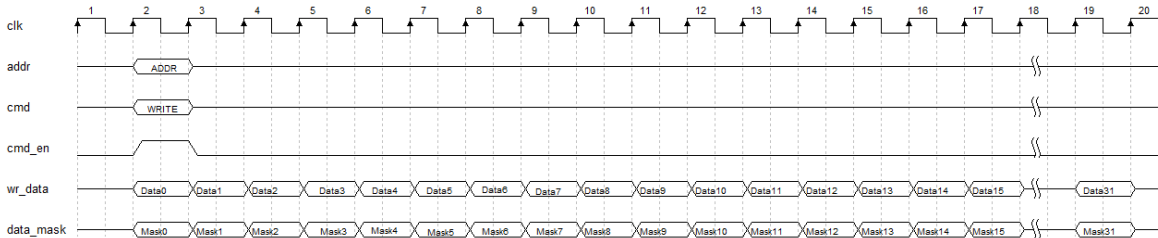
- 用户配置突发长度为 64 时，写数据占用 16 个 `clk` 周期，如图 4-111 所示。
- 如果不使用 `mask` 功能 `data_mask` 可以为 0。

图 4-11 突发长度为 64 时写数据时序图



- 用户配置突发长度为 128 时，写数据占用 32 个 clk 周期，如图 4-11 所示。
- 如果不使用 mask 功能 data\_mask 可以为 0。

图 4-12 突发长度为 128 时写数据时序图

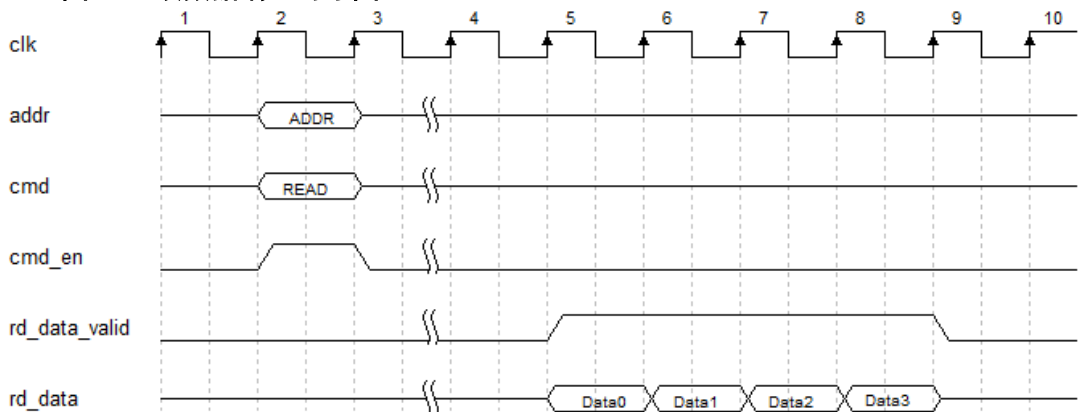


### 4.4.4 读数据

用户可通过用户接口 rd\_data、rd\_data\_valid 读取 PSRAM 返回的数据。

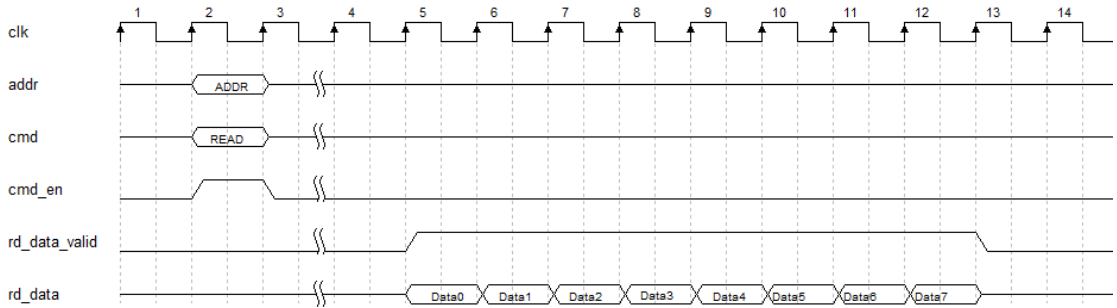
- 端口 rd\_data 为返回的读数据端口；
- 端口信号 rd\_data\_valid 为读数据有效端口，当其为高电平时，指示此时返回的 rd\_data 有效；
- 读数据通道与命令通道之间存在多种时序情况，下图以突发长度为 16 为例；
- 双通道 PSRAM IP 与单通道 PSRAM IP 读操作模式一致，但是双通道 PSRAM IP 两个通道的数据端口是独立的，需要分别接收 rd\_data\_valid 信号和 rd\_data 数据；

图 4-13 读数据端口时序图



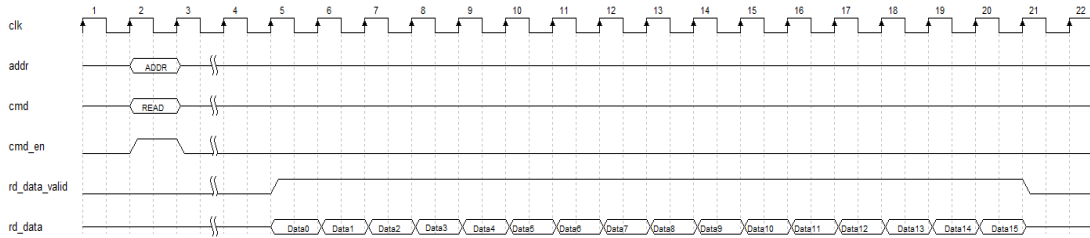
- 用户配置突发长度为 32 时，读数据占用 8 个 clk 周期，如图 4-14 所示。

图 4-14 突发长度为 32 时读数据时序图



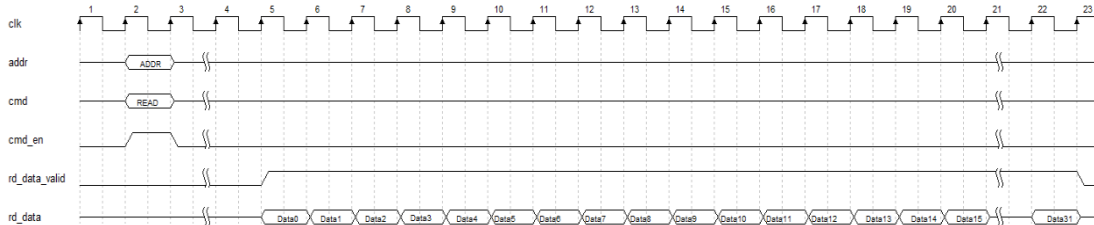
- 用户配置突发长度为 64 时，读数据占用 16 个 clk 周期，如图 4-15 所示。

图 4-15 突发长度为 64 时读数据时序图



- 用户配置突发长度为 128 时，读数据占用 32 个 clk 周期，如图 4-16 所示。

图 4-16 突发长度为 128 时读数据时序图



# 5 端口列表

Gowin PSRAM Memory Interface IP 的 IO 端口如表 5-2 所示。

表 5-1 Gowin PSRAM Memory Interface IP 的 IO 端口列表

信号	位宽	方向	描述
User Interface			
addr	ADDR_WIDTH	Input	地址输入
cmd	1	Input	命令通道
cmd_en	1	Input	命令与地址使能信号： 0: 无效 1: 有效
rd_data	4*DQ_WIDTH	Output	读数据通道
rd_data_valid	1	Output	rd_data有效信号： 0: 无效 1: 有效
wr_data	4*DQ_WIDTH	Input	写数据通道
data_mask	MASK_WIDTH	Input	为wr_data提供遮挡信号
clk	1	Input	参考输入时钟，一般为板载晶振时钟
init_calib	1	Output	初始化完成信号
clk_out	1	Output	用户设计使用时钟，频率为Memory Clk的1/2
rst_n	1	Input	用户输入复位信号： 0: 有效 1: 无效
memory_clk	1	Input	用户输入颗粒工作时钟，一般为PLL倍频出来的高速时钟，也可以不使用PLL
pll_lock	1	Input	如果memory_clk为PLL倍频输入，此接口接PLL的pll_lock管脚 如果用户不使用PLL，此接口接1'b1
PSRAM Interface			
O_psram_cs_n	CS_WIDTH	Output	片选，低有效
O_psram_ck	CS_WIDTH	Output	提供给PSRAM的时钟信号

信号	位宽	方向	描述
O_psr_ck_n	CS_WIDTH	Output	与O_psr_ck组成差分信号
O_psr_reset_n	CS_WIDTH	Output	PSRAM复位信号
IO_psr_dq	DQ_WIDTH	Bidirection	PSRAM数据
IO_rwds	RWDS_WIDTH	Bidirection	PSRAM数据选通信号及掩码信号

Gowin PSRAM Memory Inteface 2CH IP 的 IO 端口如表 5-2 所示。

**表 5-2 Gowin PSRAM Memory Inteface 2CH IP 的 IO 端口列表**

信号	位宽	方向	描述
User Interface			
addr0	ADDR_WIDTH	Input	通道0地址输入
addr1	ADDR_WIDTH	Input	通道1地址输入
cmd0	1	Input	通道0命令通道
cmd1	1	Input	通道1命令通道
cmd_en0	1	Input	通道0命令与地址使能信号： 0: 无效 1: 有效
cmd_en1	1	Input	通道1命令与地址使能信号： 0: 无效 1: 有效
rd_data0	[31:0]	Output	读数据通道0
rd_data1	[31:0]	Output	读数据通道1
rd_data_valid0	1	Output	通道0rd_data有效信号： 0: 无效 1: 有效
rd_data_valid1	1	Output	通道1rd_data有效信号： 0: 无效 1: 有效
wr_data0	[31:0]	Input	写数据通道0
wr_data1	[31:0]	Input	写数据通道1
data_mask0	[3:0]	Input	为通道0wr_data提供遮挡信号
data_mask1	[3:0]	Input	为通道1wr_data提供遮挡信号
init_calib0	1	Output	通道0初始化完成信号
init_calib1	1	Output	通道1初始化完成信号
clk	1	Input	参考输入时钟，一般为板载晶振时钟
clk_out	1	Output	用户设计使用时钟，频率为Memory Clk的1/2
rst_n	1	Input	用户输入复位信号： 0: 有效 1: 无效
PSRAM Interface			
O_psr_cs_n	[1:0]	Output	片选，低有效
O_psr_ck	[1:0]	Output	提供给PSRAM的时钟信号



信号	位宽	方向	描述
O_psram_ck_n	[1:0]	Output	与O_psram_ck组成差分信号
O_psram_reset_n	[1:0]	Output	PSRAM复位信号
IO_psram_dq	[15:0]	Bidirection	PSRAM数据
IO_rwds	[1:0]	Bidirection	PSRAM数据选通信号及掩码信号

# 6 参数配置

Gowin PSRAM Memory Interface IP 可支持 PSRAM 器件，用户需根据设计要求配置 Gowin PSRAM Memory Interface 的各个静态参数与时序参数，具体参数如表 6-1 所示。

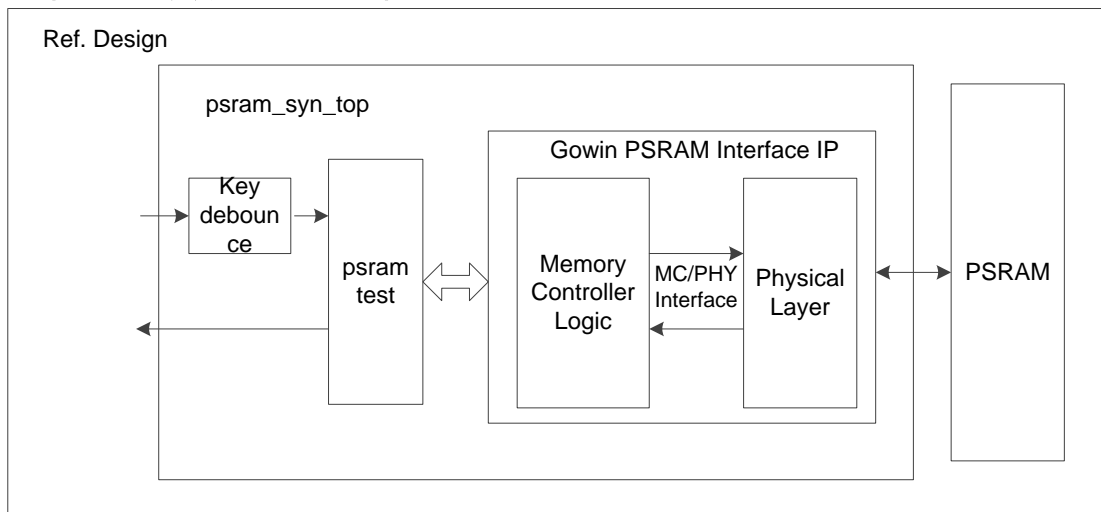
**表 6-1 Gowin PSRAM Memory Interface 的静态参数选项**

名称	描述	选项
Memory TYPE	PSRAM颗粒型号	W955D8MBYA, Custom;
CLk Ratio	PSRAM PHY与内部逻辑时钟比例, 用户不可操作	1:2;
Memory Clock	用户期望的颗粒工作频率	10Mhz~166Mhz;
Psram Width	PSRAM颗粒DQ宽度	8;
Dq Width	用户需要使用的数据位宽	8,16,24,32,40,48,56,64;
Addr Width	颗粒的地址位宽,用户根据具体颗粒填写	21;
Data Width	用户数据位宽	4*Dq Width;
CS Width	片选位宽	Dq Width/Psram Width;
Mask Width	掩码位宽	Data Width/Psram Width;
Burst Mode	数据突发长度	16, 32, 64, 128;
Burst Num	突发数据数量	Burst Mode/4;
Fixed Latency Enable	固定延时使能	“Fixed”;
Initial Latency	初始延时值	6;
Drive Strength	驱动强度	35, 50, 100,200;
Deep Power Down	电源关闭选项	“OFF”, “ON” ;
Hybrid Sleep Mode	睡眠模式	“OFF”, “ON” ;
Refresh Rate	刷新速度	“normal”, “faster”
PASR	自刷新区域	full,bottom_1/2,bottom_1/4,bottom_1/8, top_1/2, top_1/4, top_1/8;

# 7 参考设计

为方便用户快速熟悉并使用 Gowin PSRAM Memory Interface IP，提供了一个简单的参考设计，参考设计基本结构如图 7-1 所示。

图 7-1 参考设计基本结构框图



在参考设计中，psram\_syn\_top 模块是顶层模块单元，其端口连接输入参考时钟、外部复位等信号，端口连接如表 7-1 所示。psram\_test 用于产生 Gowin PSRAM Interface IP 所需的地址、数据与读写等命令，并且该模块单元可综合。Key\_debounce 模块是一个消抖模块，用于消除由按键或拨码开关控制外部激励时产生的信号抖动。

表 7-1 psram\_syn\_top 模块输入端口列表

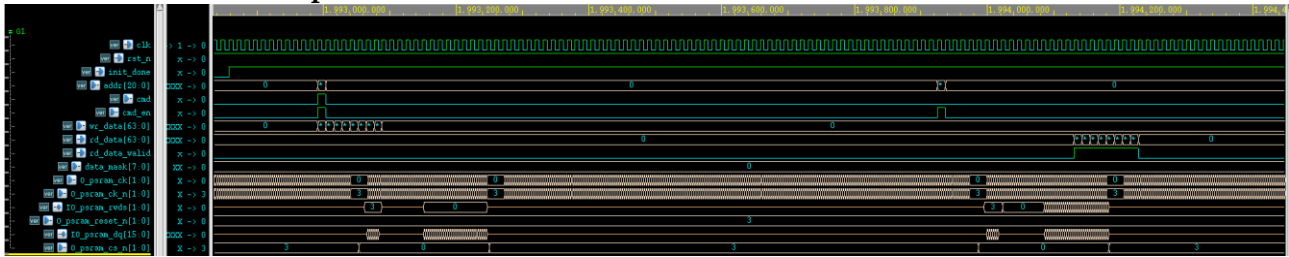
名称	描述
clk	输入参考时钟，默认50MHz
rst_n	输入复位信号

PSRAM\_test 产生 1 次写命令与 1 次读命令，对同一个的地址进行 1 次写与 1 次读操作。用户可修改写入的地址及数据等，并对 PSRAM Memory Interface IP 返回的读数据进行分析验证。在该参考设计中，内存颗粒选择

W955D8MBYA, 配置 Burst Mode 为 32, DQ 宽度为 16 位。

psram\_test 与 PSRAM Memory Interface IP 端口之间部分信号的仿真波形如图 7-2 所示。

图 7-2 psram\_test 部分端口信号仿真波形



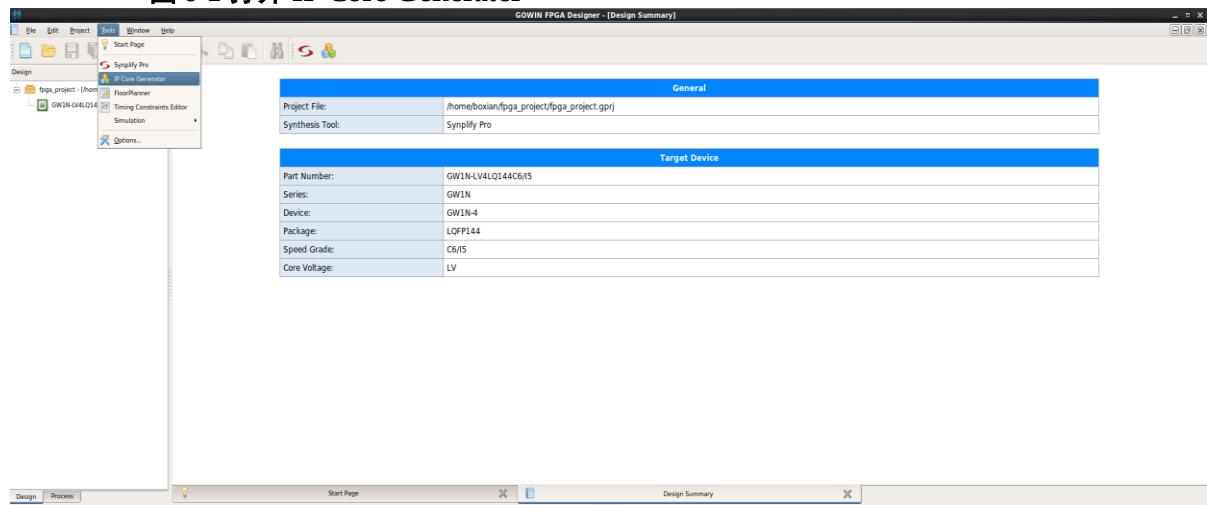
# 8 界面配置

用户可在 IDE 中通过 IP Core Generator 工具调用并配置 Gowin PSRAM Memory Interface IP。本章节以选择使用 winbond W955D8MBYA PSRAM 内存颗粒为例，介绍了主要配置界面、配置流程以及各配置选项含义。

## 1. 打开 IP Core Generator

用户建立工程后，点击左上角 Tools 选项卡，下拉单击 IP Core Generator 选项，就可打开 GOWIN 的 IP 核产生工具，如图 8-1 所示。

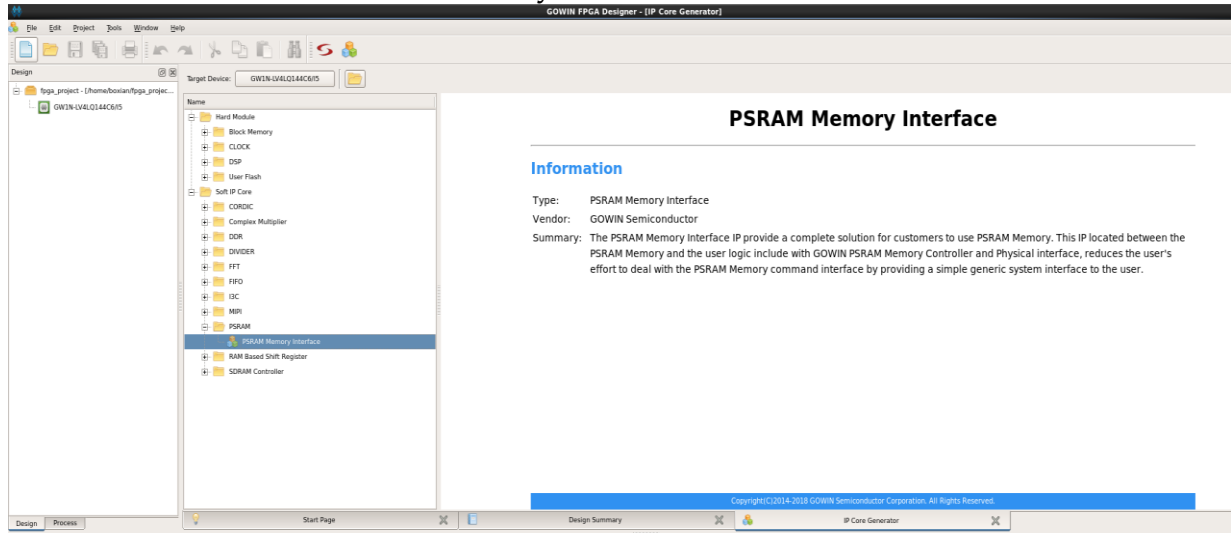
图 8-1 打开 IP Core Generator



## 2. 打开 PSRAM Memory Interface IP 核

点击 PSRAM 选项，双击 PSRAM Memory Interface，打开 PSRAM Memory Interface IP 核的配置界面，如图 8-2 所示。

图 8-2 打开 PSRAM Memeory Interface IP 核

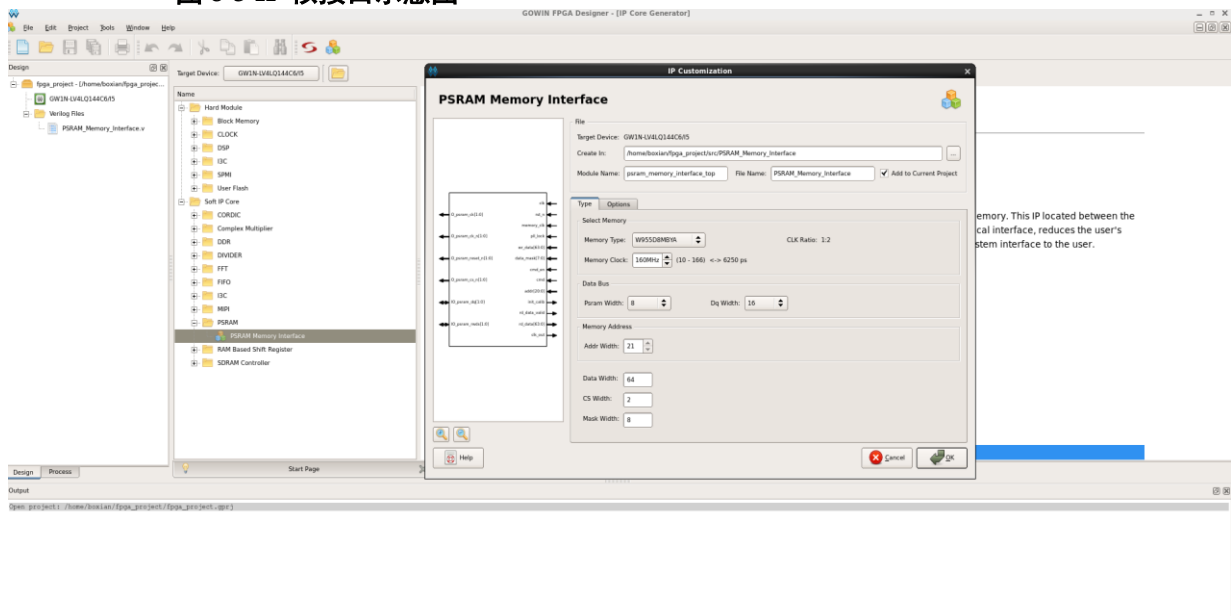


### 3. PSRAM Memeory Interface IP 核端口界面

配置界面左端是 PSRAM Memeory Interface IP 核的接口示意图，如图 8-3 所示。

接口示意图中右端是 PSRAM Memory Controller 与用户端接口，用户通过将自己的用户设计连接到 PSRAM Memeory Interface IP 中实现命令和数据的收发，左端是 PHY（Physical interface）与内存颗粒的接口，用户通过将 PSRAM Memeory Interface IP 核与自己所需内存颗粒连接，实现对数据的存取。用户使用不同的配置信息，接口示意图中的信号位宽，信号数量将会随之改变。

图 8-3 IP 核接口示意图



### 4. 打开 Help 文档

在图 8-3 的左下角，有一个 Help 按钮，用户可以点击 Help 按钮查看配置界面中各个选项的简单英文介绍，方便用户快速完成对 IP 核的配置，Help

文档选项介绍顺序和界面顺序一致，如图 8-4 所示。

图 8-4 Help 文档

## PSRAM Memory Interface

### Information

Type:	PSRAM Memory Interface
Vendor:	GOWIN Semiconductor
Summary:	The PSRAM Memory Interface IP provide a complete solution for customers to use PSRAM Memory. This IP located between the PSRAM Memory and the user logic include with GOWIN PSRAM Memory Controller and Physical interface, reduces the user's effort to deal with the PSRAM Memory command interface by providing a simple generic system interface to the user.

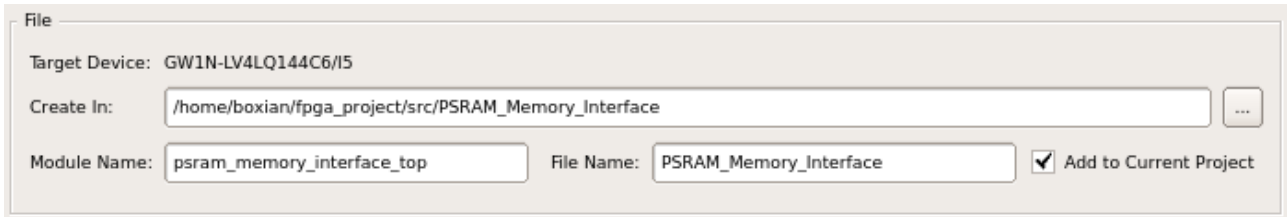
### Options

Option	Description
Type	
Memory Type	Choose the type of PSRAM Memory which consumer use.
CLK Ratio	This is the Memory Controller clock to PSRAM Memory clock ratio.
Memory Clock	The consumer desire PSRAM Memory working frequency.
Reference Clock	PCB input clock.
Dq Width	This is the memory DQ bus width.
Psram Width	When Memory Type choose Custom, Psram Width can be modified.
Addr Width	This is the memory address bus width.
Data Width	It is equal to 4*Dq.
CS Width	It is equal to Dq Width/Psram Width.
Mask Width	It is equal to Data Width/Psram Width.
Option	
Burst Mode	This is the memory data burst length.
Burst Num	It is equal to Burst Mode/4 for cache write data.
Fixed Latency Enable	Control flag for fixed or unfixed latency.
Initial Latency	This is the basic latency from command to data.
Drive Strength	The x8 IO Psram support nominal impedance of 35, 50, 100 and 200 Ohms at VCC/2.
Deep Power Down	Deep power-down (DPD) operation disables all refresh-related activity.
Hybrid Sleep Mode	It will significantly decrease internal power consumption when staying at Hybrid Sleep Mode.
Refresh Rate	Refresh normal or faster.
PASR	Partial array self refresh.

### 5. 配置基本信息

在配置界面的上部分是工程基本信息配置界面，本文芯片型号选择 GW1N-4 为例，封装选择 LQFP144。Module Name 选项后面是工程产生后顶层文件的名称，默认为“psram\_memory\_interface\_top”，用户可自行修改。“File Name”是 IP 核文件产生的文件夹，存放 PSRAM Memory Interface IP 核所需文件，默认为“PSRAM Memory\_Interface”，用户可自行修改路径。Creat IN 选项是 IP 核文件夹产生路径，默认为“\工程路径\src\PSRAM\_Memory\_Interface”，用户可自行修改路径。右下角“Add to Current Project”选项是询问是否产生的 IP 直接添加到你的工程中，默认勾选，如图 8-5。

图 8-5 基本信息配置界面



## 6. Type 选项卡

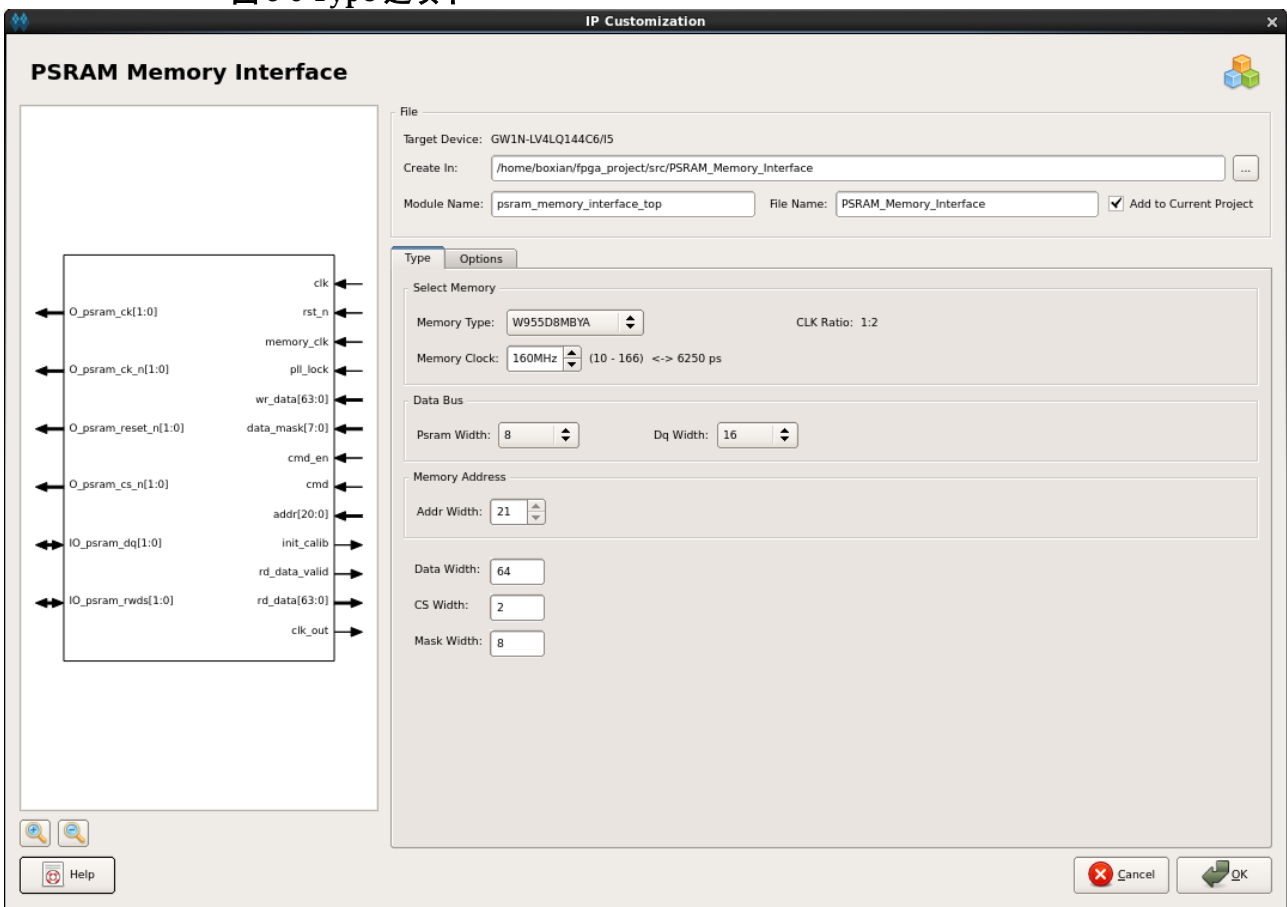
在 Type 选项卡中，用户需要配置所使用的 PSRAM 内存芯片的基本信息。

- Select Memory 选项
- Data Bus 选项
- Memory Address 选项

Memory Address 中主要填写 PSRAM 内存颗粒的地址信息，用户需要知道所用颗粒的地址位宽，填写数据等于颗粒的 ROW +Upper Column+Lower Column，当选择好 PSRAM 内存颗粒类型后，GUI 会自动填写，如果选择 Custom 则需要用户根据自己使用的 PSRAM 内存类型自行选择

- 不可操作项

图 8-6 Type 选项卡



## 7. Options 选项卡

- Memory options 选项

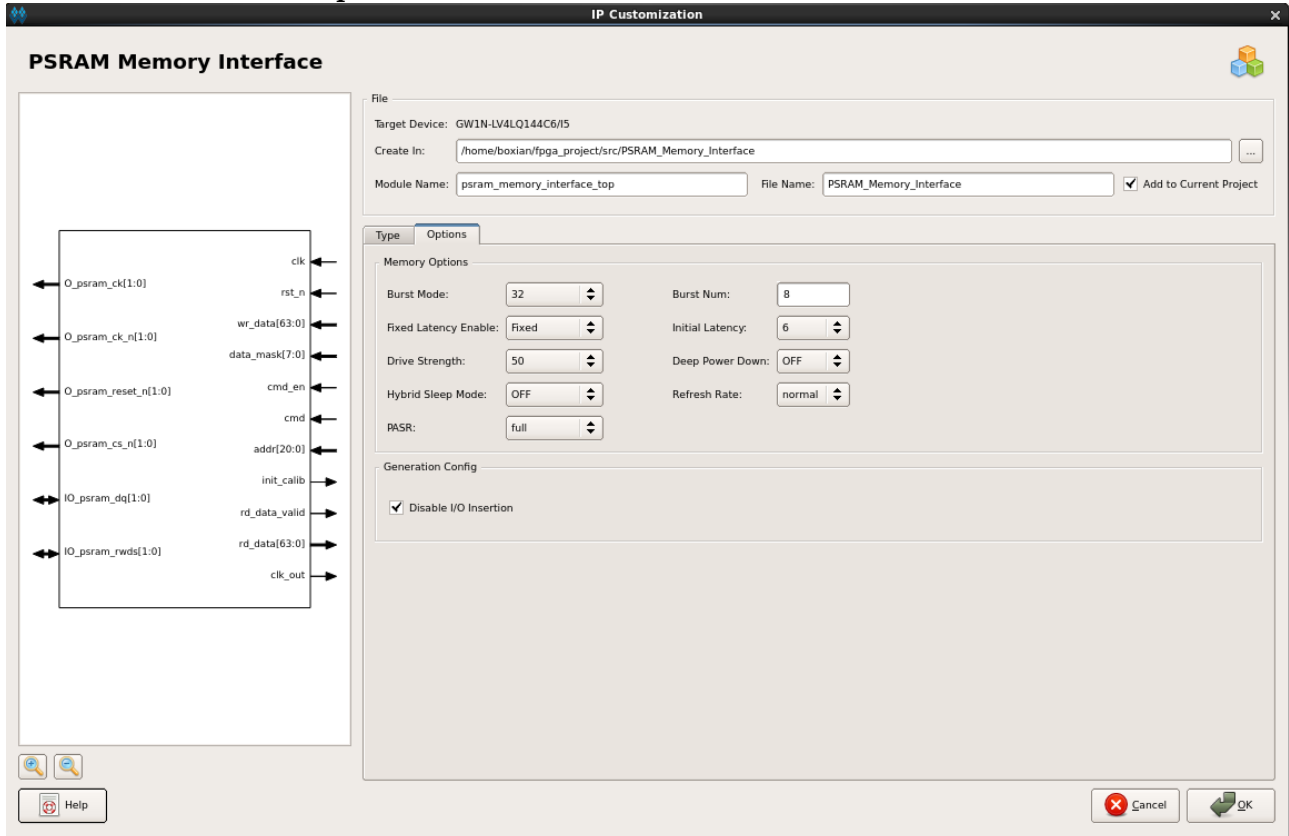


- **Generation Config 选项**

勾选后产生的 IP 中，没有插入 IBUF、OBUF 等原语，直接使用 port 连接逻辑，默认勾选。

Options 选项卡如图 8-7 所示，已选择 winbond W955D8MBYA PSRAM 内存颗粒为例。

图 8-7 Options 选项卡



## 8. PSRAM 2CH IP 特殊说明

- **Dq Width Psram Width 不可修改**，已经按照一个颗粒位宽配置好，顶层文件将例化两个通道，形成双通道传输；
- 顶层文件为明文，用户可根据自己需求修改，顶层文件包括一个 DLL，一个 PLL，一个同步模块，两个 psram 控制器模块，用户需要根据实际使用速度配置 PLL 输出的时钟频率（默认配置 160M），其他不用修改，顶层文件路径为

Gowin 安装目录/1.9/IDE/ipcore/PSRAM\_2CH/data/PSRAM\_TOP.v  
用户根据所需频率配置完 PLL 后，使用软件 IPcore Generate 重新生成 IP 即可；

# 9 文件交付

Gowin PSRAM Memory Interface IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

## 9.1 文档

文件夹主要包含用户指南 PDF 文档。

**表 9-1 文档列表**

名称	描述
Gowin PSRAM Memory Interace IP用户指南	高云PSRAM内存接口IP用户手册，即本手册。
Gowin PSRAM Memory Interace IP发布说明	-

## 9.2 设计源代码（加密）

加密代码文件夹包含 Gowin PSRAM Memory Interface IP 的 RTL 加密代码，供 GUI 使用，以配合高云云源软件产生用户所需的 IP 核。

**表 9-2 设计源代码列表**

名称	描述
PSRAM_TOP.v	IP核顶层文件，给用户提提供接口信息，未加密。
GOWIN PSRAM Memeory Interface部分代码	
psram_code.v	高云PSRAM Memory Interface IP 设计RTL源文件，加密
psram_pll_config.v	高云psram内存控制器PLL配置文件，由用户通过GUI配置产生，未加密
psram_define.v	高云psram内存控制器参数定义模块，由用户通过GUI配置产生，未加密
psram_local_define.v	高云psram内存控制器参数定义处理模块，加密
psram_param.v	高云psram内存控制器参数配置模块，由用户通过GUI配置产生，未加密
psram_local_param.v	高云psram内存控制器参数处理模块，处理GUI传进的参数，加密

## 9.3 参考设计

Ref. Design 文件夹主要包含 Gowin PSRAM Memory Interface IP 的网表文件，用户参考设计，约束文件、消抖模块、顶层文件及工程文件夹等。

**表 9-3 Ref. Design 文件夹内容列表**

名称	描述
psram_syn_top.v	参考设计的顶层module
key_debounce.v	按键消抖模块
psram_test.v	测试激励产生模块
PSRAM_Memory_Interface.vo	Gowin PSRAM Memory Interface IP网表文件
psram.cst	PSRAM 工程物理约束文件
psram.sdc	PSRAM 工程时序约束文件
psram.gao	抓取PSRAM颗粒数据
PSRAM_Memory_Interface	PSRAM IP 工程文件夹

