



Gowin_EMPU_M1 硬件设计参考手册

IPUG531-1.0,2019-02-19

版权所有©2019 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2019/02/19	1.0	初始版本。

目录

目录	i
图目录	iii
表目录	iv
1 硬件架构	1
1.1 系统架构	1
1.2 系统特征	2
1.2.1 Cortex-M1 子系统	2
1.2.2 AHB-Lite Extension 子系统	3
1.3 系统端口	3
1.3.1 Cortex-M1 端口	3
1.3.2 AHB-Lite Extension 端口	4
2 硬件设计流程	5
2.1 硬件环境	5
2.2 软件环境	5
2.3 软核生成器	5
2.4 下载软件	5
2.5 设计流程	5
3 工程模板	7
3.1 工程创建	7
3.1.1 新建工程	7
3.1.2 设定工程名称和路径	7
3.1.3 选择器件	8
3.1.4 完成工程创建	8
3.2 硬件设计	9
3.2.1 Cortex-M1 硬件设计	10
3.2.2 AHB-Lite Extension 硬件设计	14
3.3 用户设计	19
3.4 约束	19

3.5 配置	19
3.5.1 顶层模块配置	19
3.5.2 引用文件配置	20
3.5.3 Post-Place File 配置	21
3.6 综合	21
3.7 布局布线	22
4 参考设计	23

图目录

图 1-1 Gowin_EMPU_M1 系统架构	1
图 3-1 新建 FPGA Design 工程	7
图 3-2 设定工程名称和路径	8
图 3-3 选择器件	8
图 3-4 完成工程创建	9
图 3-5 选择 Gowin_EMPU_M1	9
图 3-6 Gowin_EMPU_M1 系统架构	10
图 3-7 Cortex-M1 配置页面	11
图 3-8 Cortex-M1 通用配置	12
图 3-9 Cortex-M1 调试配置	13
图 3-10 Cortex-M1 存储配置	14
图 3-11 AHB-Lite Extension 配置	15
图 3-12 AHB 默认接口配置	16
图 3-13 AHB 扩展接口配置	17
图 3-14 APB 默认接口配置	18
图 3-15 APB 扩展接口配置	19
图 3-16 顶层模块配置	20
图 3-17 引用文件路径配置	20
图 3-18 Post-Place File 配置	21
图 3-19 综合	21
图 3-20 Place & Route	22

表目录

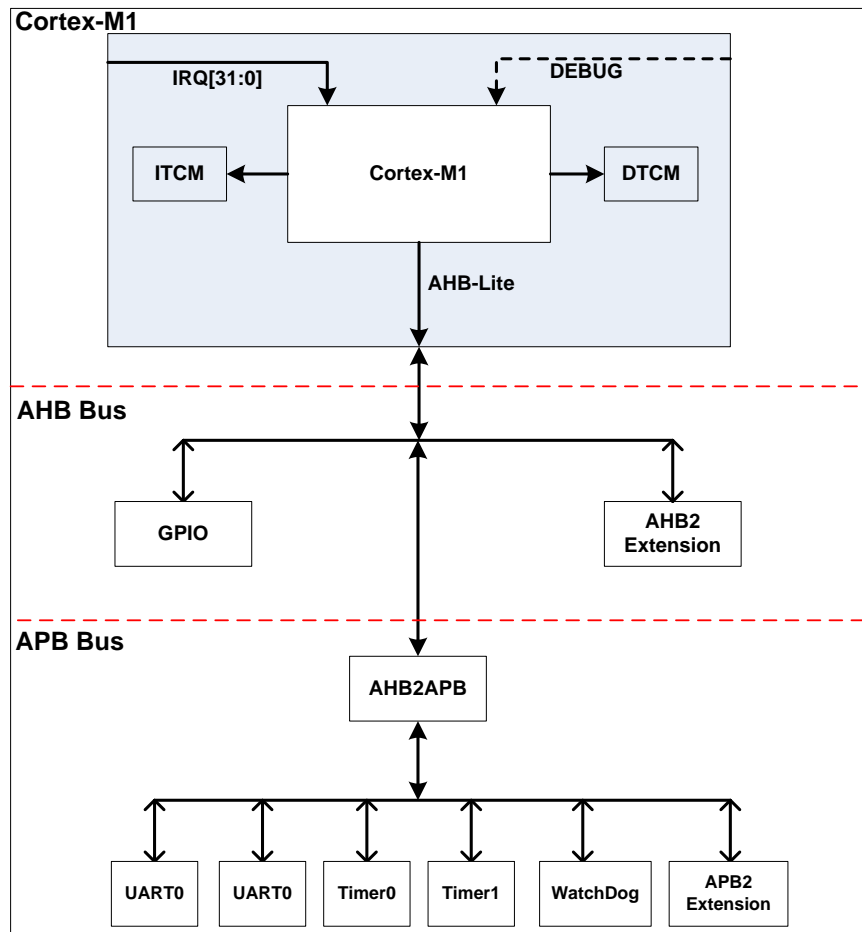
表 1-1 Cortex-M1 端口	3
表 1-2 AHB-Lite Extension 端口	4
表 3-1 Cortex-M1 配置选项	10
表 3-2 AHB-Lite Extension 配置选项	14

1 硬件架构

1.1 系统架构

Gowin_EMPU_M1 分为三级结构，如图 1-1 所示。

图 1-1 Gowin_EMPU_M1 系统架构



- 第一级，Cortex-M1 及 ITCM、DTCM
- 第二级，AHB 总线及 GPIO、AHB2 Extension Bus
- 第三级，APB 总线及 UART0、UART1、Timer0、Timer1、Watch Dog、APB2 Extension Bus

1.2 系统特征

Gowin_EMPU_M1 包括两个子系统:

- Cortex-M1 内核子系统
- AHB-Lite 扩展 AHB 总线和 APB 总线, 及外设接口子系统

1.2.1 Cortex-M1 子系统

处理器内核

- ARM architecture v6-M Thumb 指令集架构, 支持 16-bit Thumb 和 32-bit Thumb2 指令集, 参考 [arm-download-3964764 / AR085-DA-70000-r0p0-05rel0 / DDI0419E_armv6m_arm.pdf](#)
- 可配置扩展操作系统
- 系统异常处理
- 中断异常处理和正常线程模式
- 栈指针, 正常是一个栈指针, 扩展操作系统时两个栈指针
- 大小端格式
 - 可配置数据大小端格式
 - 指令和系统控制寄存器小端格式
 - 调试系统小端格式

NVIC

- 可配置外部中断数量, 1、8、16、32
- 4 个优先级等级
- 进入中断处理时自动保存处理器状态, 中断处理结束时自动恢复状态

调试系统

- 不支持调试系统
- 支持调试系统
 - 可配置完整 (full) 模式和简化 (reduced) 模式
 - 完整模式: 4 个 BreakPoint Unit 和 2 个 Data Watchpoint
 - 简化模式: 2 个 BreakPoint Unit 和 1 个 Data Watchpoint
 - 可配置 DAP 端口
 - JTAG/SW
 - JTAG
 - SW

Memory

- ITCM: 指令存储器, 可配置大小, Upper 或 Lower alias 方式和读入初始值
- DTCM: 数据存储器, 可配置大小

32 位硬件乘法器

- Normal 模式
- Small 模式

1.2.2 AHB-Lite Extension 子系统

- AHB 总线，及 GPIO、AHB2 Extension
- APB 总线，及 UART0、UART1、Timer0、Timer1、Watch Dog、APB2 Extension

1.3 系统端口

1.3.1 Cortex-M1 端口

Cortex-M1 端口如表 1-1 所示。

表 1-1 Cortex-M1 端口

名称	I/O	位宽	描述
HCLK	in	1	System clock
SYSRESETn	in	1	System reset
DBGRESETn	in	1	Power on debug reset
LOCKUP	out	1	Core is in lockup state
HALTED	out	1	Core is in Halt debug state
nTRST	in	1	JTAG reset
SWCLKTCK	in	1	Serial wire and JTAG clock
SWDITMS	in	1	SW Data / JTAG Test Mode Select
TDI	in	1	JTAG data input
JTAGNSW	out	1	JTAG = 1, serial wire = 0
JTAGTOP	out	1	state controller indicator
TDO	out	1	JTAG data output
nTDOEN	out	1	JTAG data out enable
SWDO	out	1	Serial wire data out
SWDOEN	out	1	Serial data output enable
IRQ	in	[31:0]	External interrupts
NMI	in	1	Non-maskable interrupt
SYSRESETREQ	out	1	System reset require
EDBGRQ	in	1	External debug request
DBGRESTART	in	1	Restart from halt request
DBGRESTARTED	out	1	Restart from halt acknowledge
HREADY	in	1	Slave ready signal
HRESP	in	1	Slave response signal
HRDATA	in	[31:0]	Data from slave to master
HTRANS	out	[1:0]	Transfer type
HBURST	out	[2:0]	Burst type
HPROT	out	[3:0]	Transfer protection bits
HSIZE	out	[2:0]	Transfer size
HWRITE	out	1	Transfer direction
HMASTLOCK	out	1	Transfer is a locked transfer
HADDR	out	[31:0]	Transfer address
HWDATA	out	[31:0]	Data from master to slave

1.3.2 AHB-Lite Extension 端口

AHB-Lite Extension 端口如表 1-2 所示。

表 1-2 AHB-Lite Extension 端口

名称	I/O	位宽	描述	所属模块
SYSRESETn	in	1	系统复位	
PORESETn	in	1	上电复位	
IRQ	out	[31:0]	外部中断	
NMI	out	1	Non-Maskable 中断	
GPIO	inout	[15:0]	通用输入输出端口	GPIO
UART0RXD	in	1	UART0 接收端口	UART0
UART0TXD	out	1	UART0 发送端口	
UART1RXD	in	1	UART1 接收端口	UART1
UART1TXD	out	1	UART1 发送端口	
TIMEROEXTIN	in	1	Timer0 外部中断	Timer0
TIMER1EXTIN	in	1	Timer1 外部中断	Timer1
WDGREGREQ	out	1	Watch Dog 复位请求	Watch Dog
APB2PSTRB	out	[3:0]	APB2 PSTRB	APB2 Extension
APB2PPROT	out	[2:0]	APB2 PPROT	
APB2PSEL	out	1	APB2 PSEL	
APB2PENABLE	out	1	APB2 PENABLE	
APB2PADDR	out	[31:0]	APB2 PADDR	
APB2PWRITE	out	1	APB2 PWRITE	
APB2PWDATA	out	[31:0]	APB2 PWDATA	
APB2PRDATA	in	[31:0]	APB2 PRDATA	
APB2PREADY	in	1	APB2 PREADY	
APB2PSLVERR	in	1	APB2 PSLVERR	
AHB2HSEL	out	1	AHB2 HSEL	AHB2 Extension
AHB2HADDR	out	[31:0]	AHB2 HADDR	
AHB2HTRANS	out	[1:0]	AHB2 HTRANS	
AHB2HWRITE	out	1	AHB2 HWRITE	
AHB2HSIZE	out	[2:0]	AHB2 HSIZE	
AHB2HBURST	out	[2:0]	AHB2 HBURST	
AHB2HPROT	out	[3:0]	AHB2 HPROT	
AHB2HWDATA	out	[31:0]	AHB2 HWDATA	
AHB2HMASTLOCK	out	1	AHB2 HMASTLOCK	
AHB2HRDATA	in	[31:0]	AHB2 HRDATA	
AHB2HREADYOUT	in	1	AHB2 HREADYOUT	
AHB2HRESP	in	1	AHB2 HRESP	

2 硬件设计流程

2.1 硬件环境

- DK-START-GW2A18 V2.0
GW2A-LV18PG256C8/I7
- EVAL-MIPI-GW1N9 V1.1
GW1N-LV9PG256C6/I5
- EVAL-MIPI-GW1N9 V2.1
GW1N-LV9CM64C6/I5
- GW2A-55K Eval Board Mini
GW2A-LV55PG484C8/I7

2.2 软件环境

GOWIN FPGA Designer version 1.9.x Beta

2.3 软核生成器

GOWIN FPGA Designer 提供软核生成器 IP Core Generator, 用于配置和产生 Cortex-M1 和 AHB-Lite Extension 硬件设计。

IP Core Generator 软件使用方法请参考 SUG284, [Gowin IP Core Generator 用户指南](#)。

2.4 下载软件

高云提供 Programmer 软件下载码流文件。

Programmer 软件使用方法请参考 SUG502, [Gowin Programmer 用户指南](#)。

2.5 设计流程

Gowin_EMPU_M1 硬件设计流程:

1. 软核生成器配置 Cortex-M1 和 AHB-Lite Extension, 产生 Cortex-M1 Debug 或 No Debug 加密硬件设计和 AHB-Lite Extension 加密硬件设计, 导入工程;
2. 例化 Cortex-M1 和 AHB-Lite Extension, 连接端口, 导入用户设计、约束等;

3. 使用 Synplify_Pro 或 GowinSynthesis 综合，使用 Place & Route 布局布线，产生码流文件；
4. 使用 Programmer 下载。

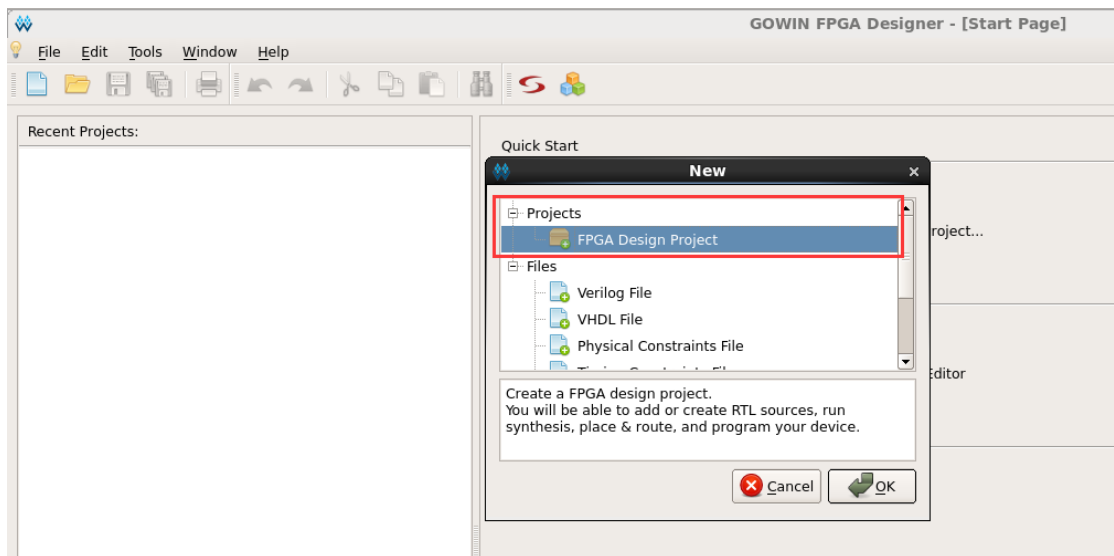
3 工程模板

3.1 工程创建

3.1.1 新建工程

双击 GOWIN FPGA Designer, 选择菜单栏 File 中的 New..., 选择 FPGA Design Project, 如图 3-1 所示。

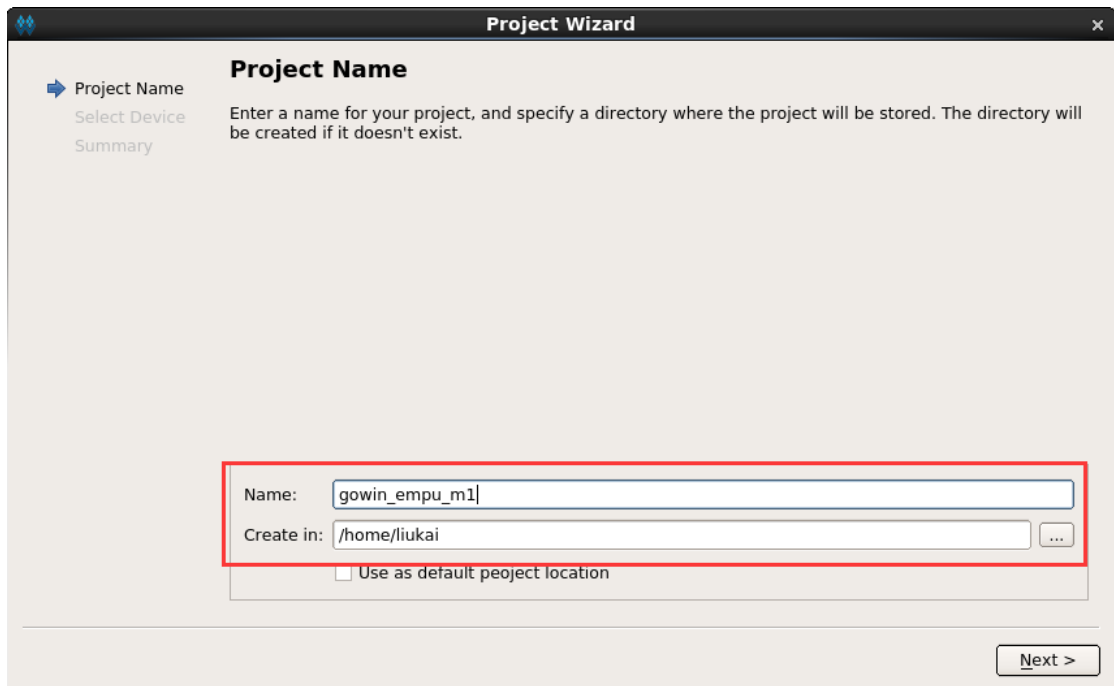
图 3-1 新建 FPGA Design 工程



3.1.2 设定工程名称和路径

输入工程名称, 选择工程路径, 如图 3-2 所示。

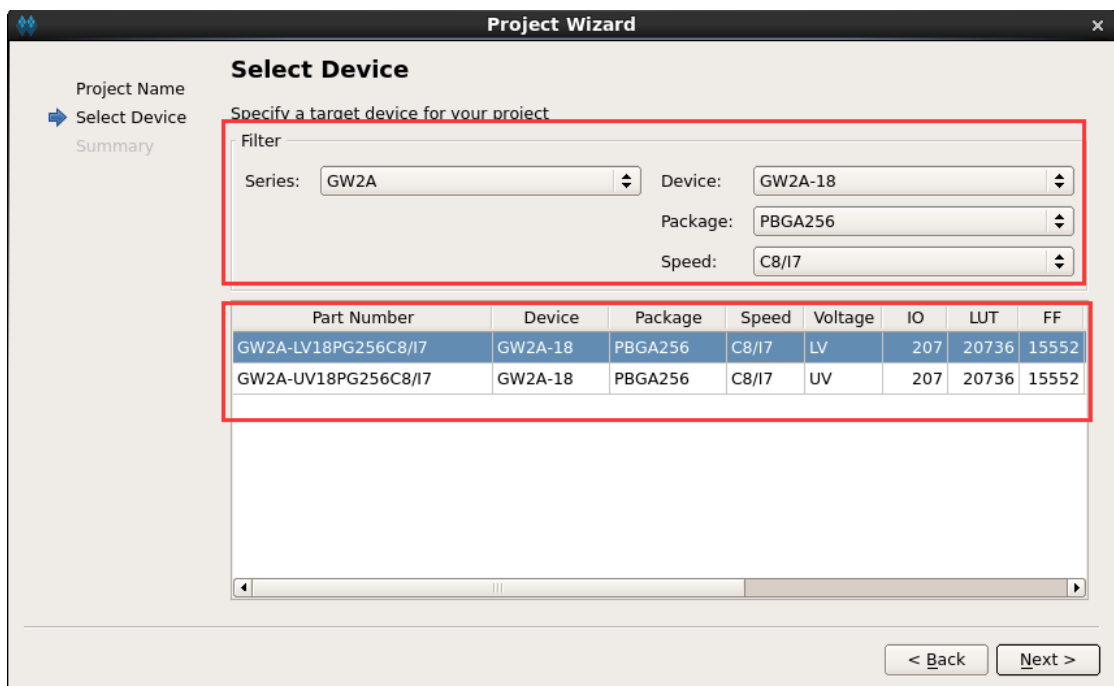
图 3-2 设定工程名称和路径



3.1.3 选择器件

选择器件、封装和速度等，如图 3-3 所示。

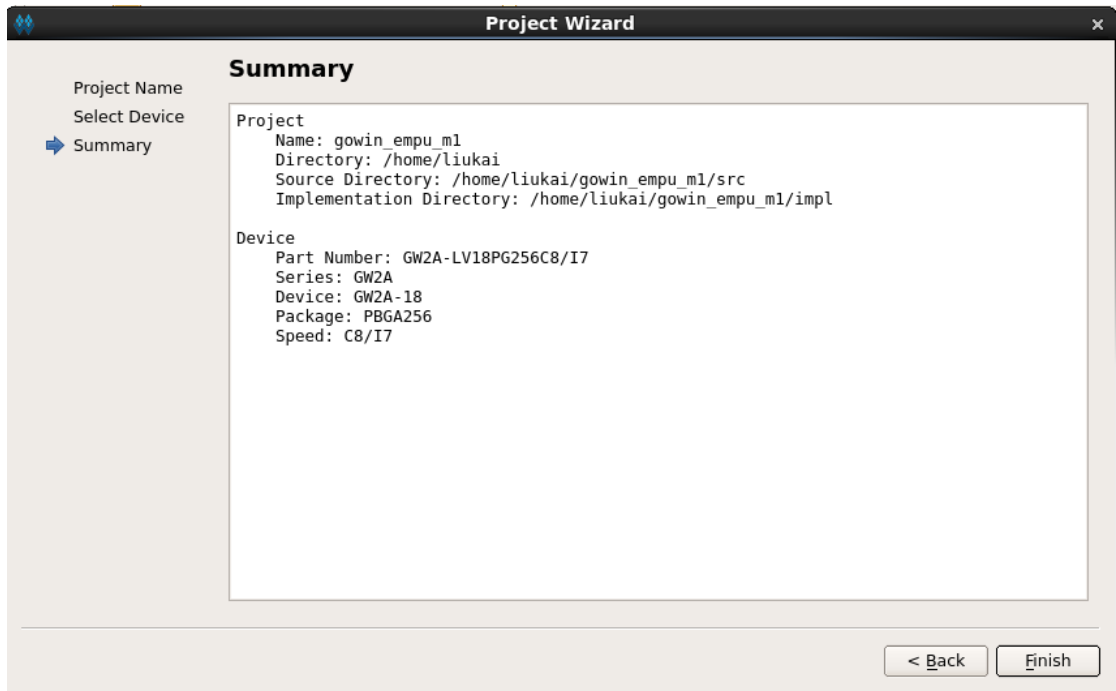
图 3-3 选择器件



3.1.4 完成工程创建

如图 3-4 所示，完成新建工程。

图 3-4 完成工程创建

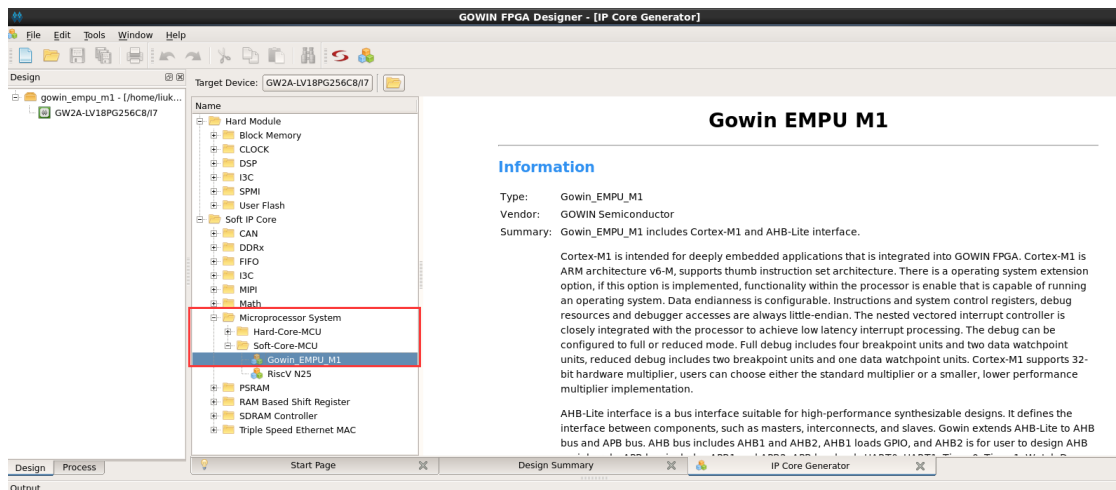


3.2 硬件设计

使用 IP Core Generator 产生 Cortex-M1 和 AHB-Lite Extension 硬件设计。

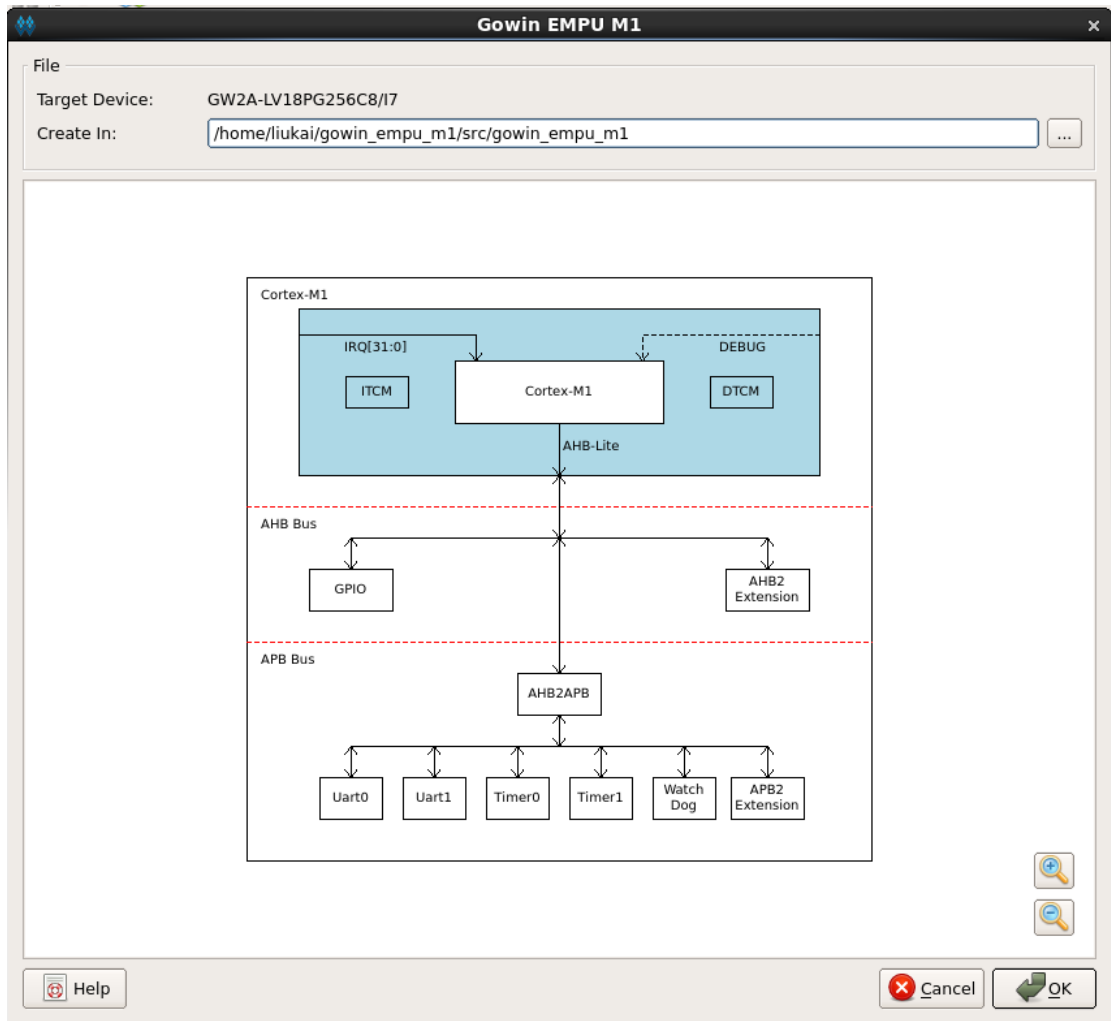
选择菜单栏 Tools 中的 IP Core Generator, 打开 IP Core Generator 后, 选择 Soft IP Core 列表下 Microprocessor System\Soft-Core-MCU\Gowin_EMPU_M1, 如图 3-5 所示。

图 3-5 选择 Gowin_EMPU_M1



打开 Gowin_EMPU_M1, Gowin_EMPU_M1 系统架构如图 3-6 所示, 包括 Cortex-M1 和 AHB-Lite Extension 选项配置。

图 3-6 Gowin_EMPU_M1 系统架构



3.2.1 Cortex-M1 硬件设计

Cortex-M1 硬件设计配置选项如表 3-1。

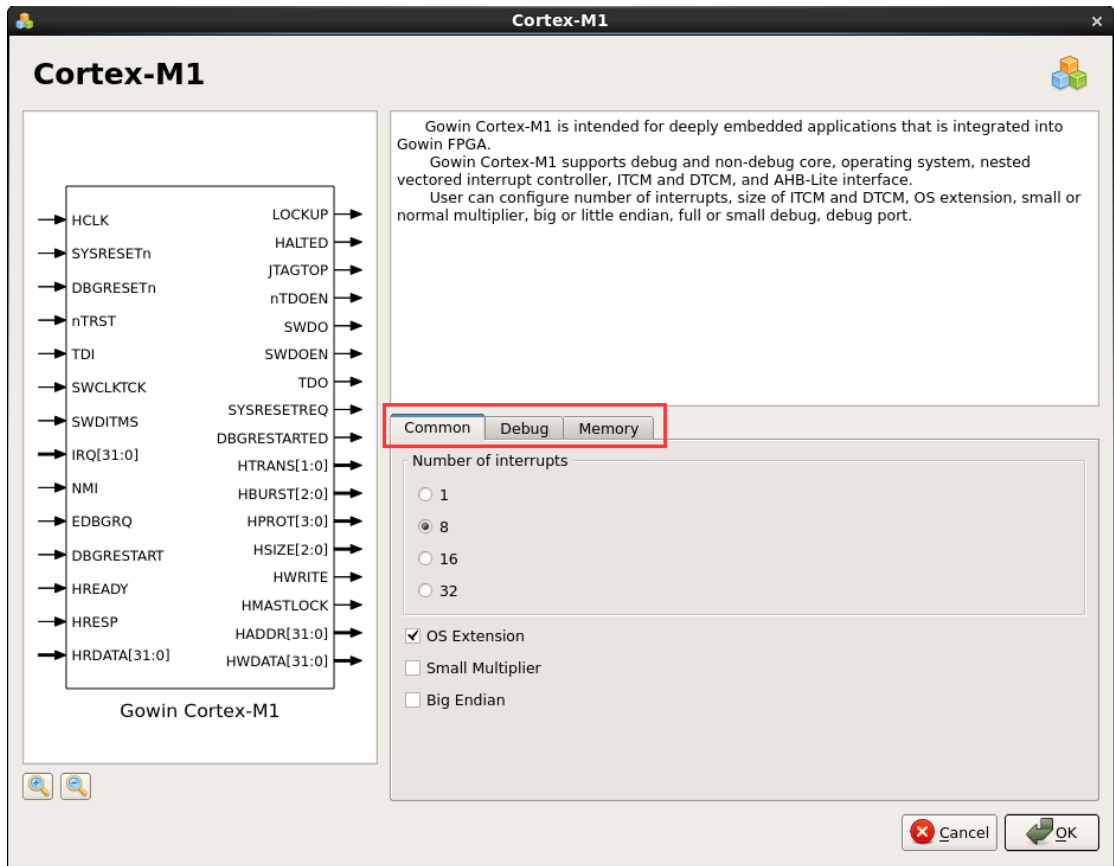
表 3-1 Cortex-M1 配置选项

配置选项	描述
Number of interrupts	配置 Cortex-M1 外部中断数量, 可选择 1 或 8 或 16 或 32
OS Extension	配置 Cortex-M1 可以支持操作系统
Small Multiplier	配置 Cortex-M1 small 模式硬件乘法器
Big Endian	配置 Cortex-M1 数据大端格式
Enable Debug	使能 Cortex-M1 Debug 功能
Debug Port Select	配置调试器接口, 可以选择 JTAG 或 Serial Wire 或 JTAG and Serial Wire
Small Debug	配置 Small 模式调试器
ITCM Alias Select	配置 ITCM Alias, 可以选择 Upper 或 Lower
ITCM Size	配置 ITCM 的大小, 可以选择 1KB 或 2KB 或 4KB 或 8KB 或 16KB 或 32KB
Initialize ITCM	使能 ITCM 初始化
ITCM Initialization Path	ITCM 初始值文件路径

配置选项	描述
DTCM Size	配置 DTCM 的大小, 可以选择 1KB 或 2KB 或 4KB 或 8KB 或 16KB 或 32KB

双击 Cortex-M1, 打开 Cortex-M1 的配置页面, 如图 3-7 所示, 包括通用配置、调试配置和存储配置。

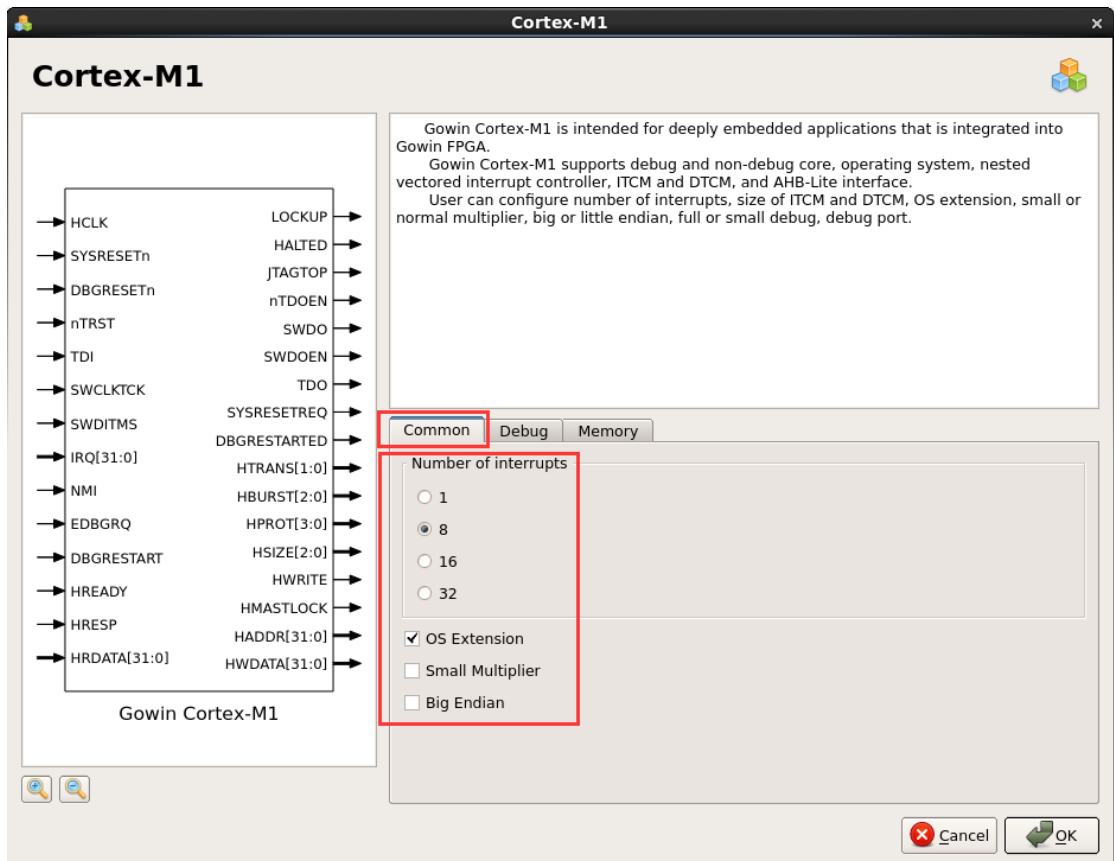
图 3-7 Cortex-M1 配置页面



通用配置

选择通用配置选项卡, 如图 3-8 所示, 可以配置中断数量、操作系统扩展、乘法器模式和数据存储格式。

图 3-8 Cortex-M1 通用配置



- 中断数量配置

可以选择 1 或 8 或 16 或 32, 可以配置 1 个或 8 个或 16 个或 32 个外部中断。

- 操作系统扩展配置

如果选择, 则 Cortex-M1 扩展支持操作系统。

- 乘法器模式配置

如果选择, 则 Cortex-M1 支持 Small 乘法器, 否则支持 Normal 乘法器。

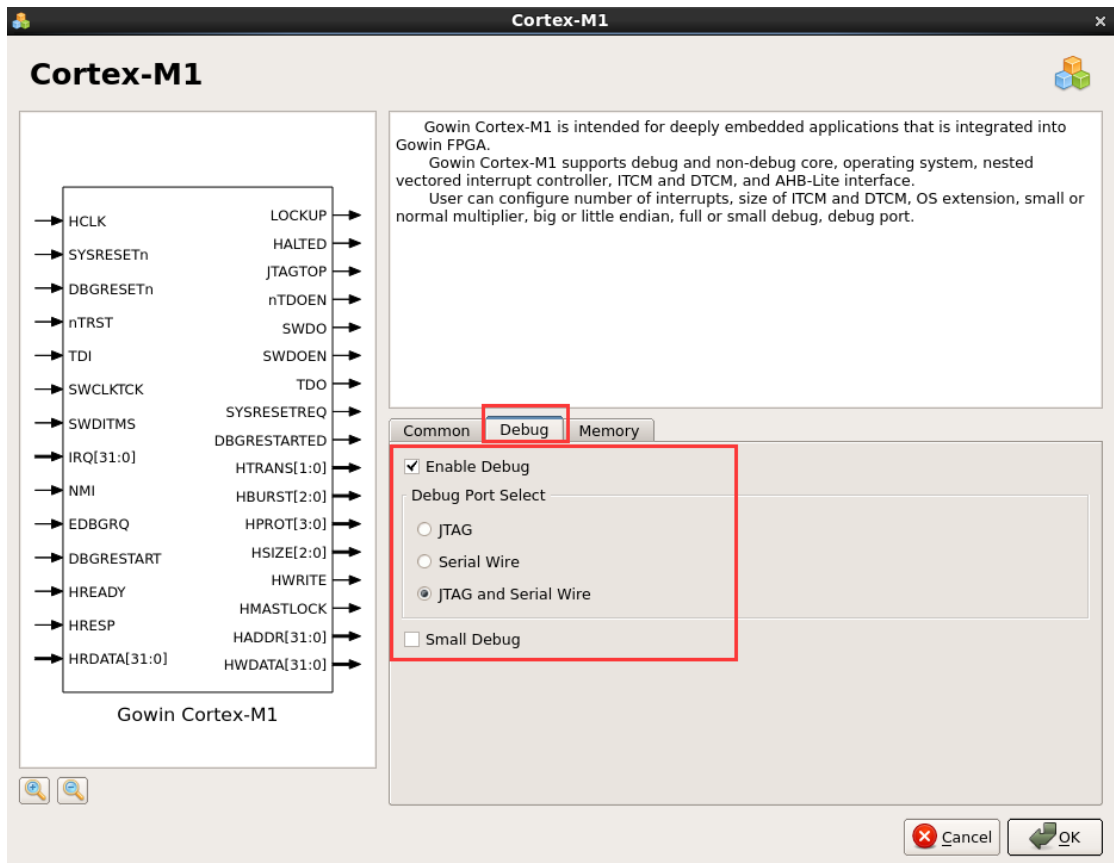
- 数据存储格式配置

如果选择, 则 Cortex-M1 支持数据大端格式, 否则支持数据小端格式。

调试配置

选择调试配置选项卡, 如图 3-9 所示, 可以配置使能调试、调试接口和调试器模式。

图 3-9 Cortex-M1 调试配置



- Enable Debug

如果选择 Enable Debug，Cortex-M1 支持调试功能，否则 Cortex-M1 不支持调试功能。

- 调试接口配置

可以选择 JTAG 或 Serial Wire 或 JTAG and Serial Wire。

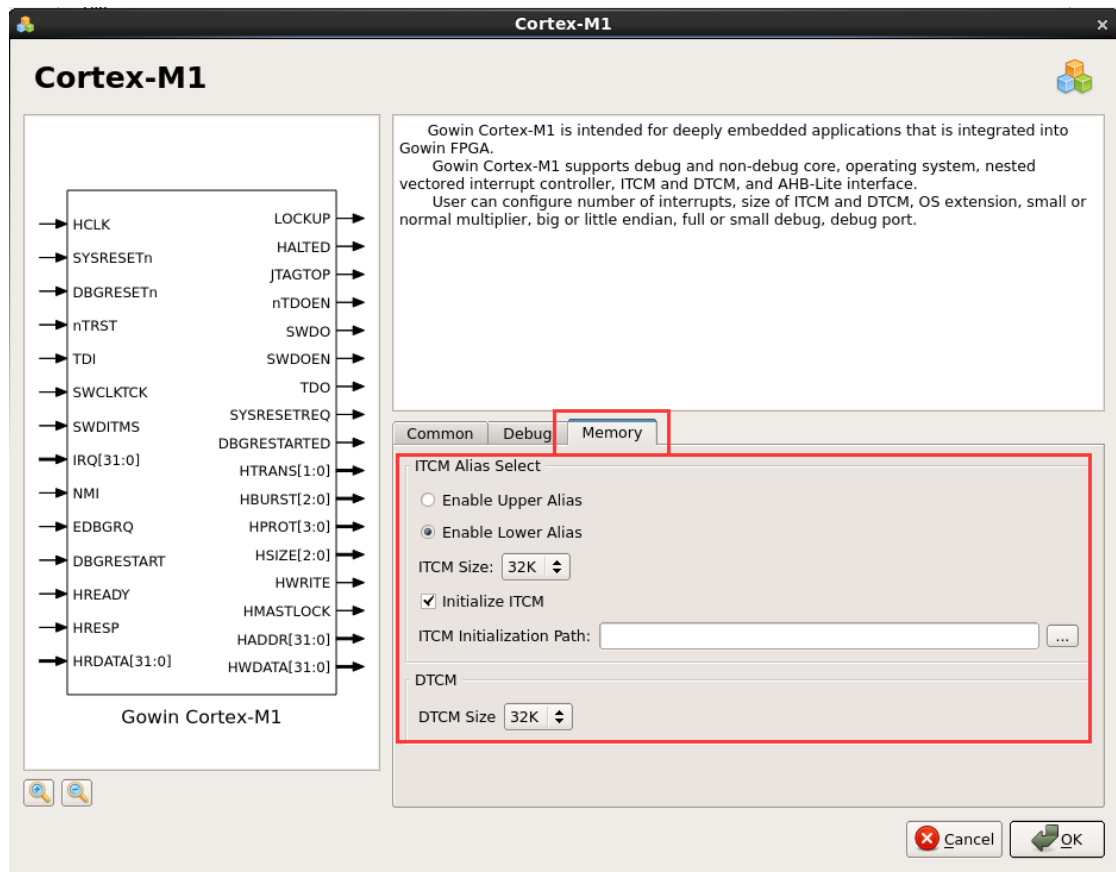
- 调试器模式配置

如果选择，则 Cortex-M1 支持 Small 模式调试器，否则支持 Full 模式调试器。

存储配置

选择存储配置选项卡，如图 3-10 所示，可以配置 ITCM 和 DTCM。

图 3-10 Cortex-M1 存储配置



- ITCM 配置
 - ITCM Alias 配置可以选择 Enable Upper 或 Lower Alias。
 - ITCM Size 配置
 - 可以选择 1KB 或 2KB 或 4KB 或 8KB 或 16KB 或 32KB。
 - ITCM Initialization 配置果选择 Initialize ITCM, 则支持 ITCM 初始化, 可以在 ITCM Initialization Path 导入 ITCM 初始值文件路径
- DTCM 配置
 - DTCM Size 配置可以选择 1KB 或 2KB 或 4KB 或 8KB 或 16KB 或 32KB。

3.2.2 AHB-Lite Extension 硬件设计

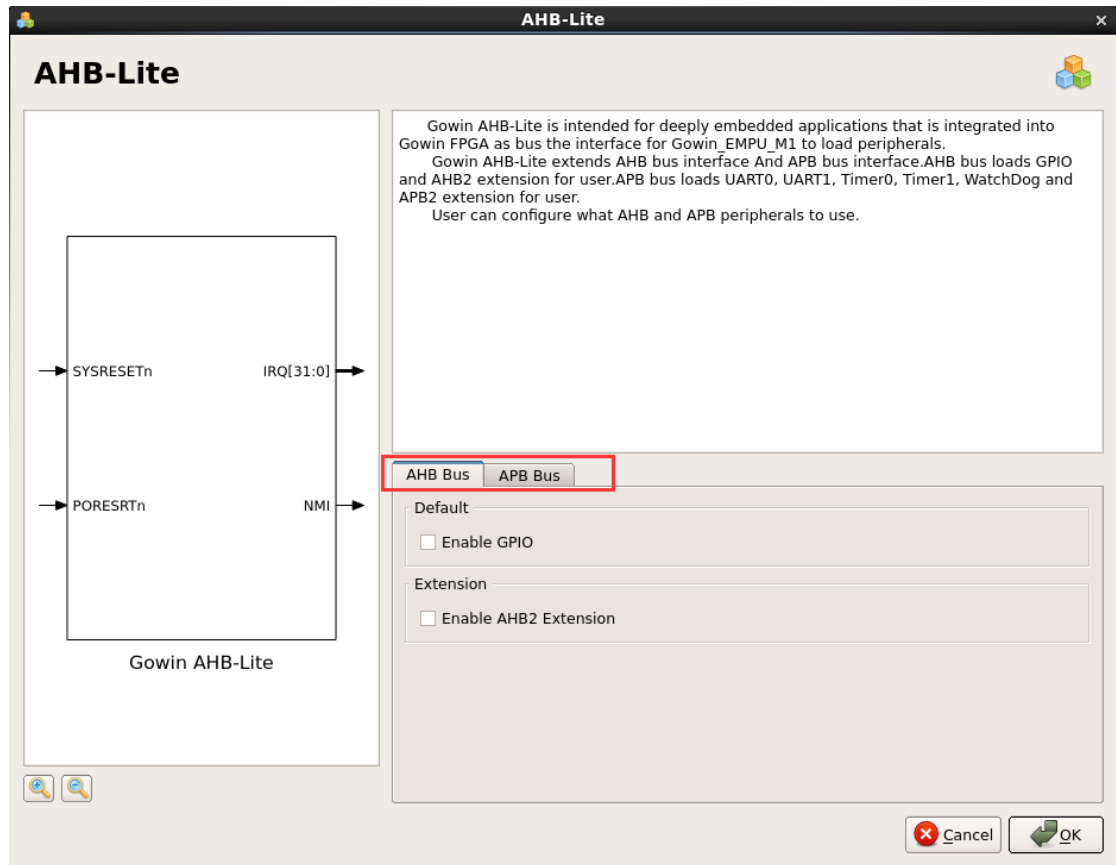
AHB-Lite Extension 配置选项如表 3-2 所示。

表 3-2 AHB-Lite Extension 配置选项

配置选项	描述
Enable GPIO	使能 GPIO
Enable AHB2 Extension	使能 AHB2 扩展接口
Enable UART0	使能串口 0
Enable UART1	使能串口 1
Enable Timer0	使能定时器 0
Enable Timer1	使能定时器 1
Enable WatchDog	使能看门狗
Enable APB2 Extension	使能 APB2 扩展接口

双击 GPIO 或 AHB2 Extension 或 AHB2APB 或 UART0 或 UART1 或 Timer0 或 Timer1 或 WatchDog 或 APB2 Extension, 打开 AHB-Lite Extension 配置页面, 如图 3-11 所示, 包括 AHB 总线配置和 APB 总线配置。

图 3-11 AHB-Lite Extension 配置

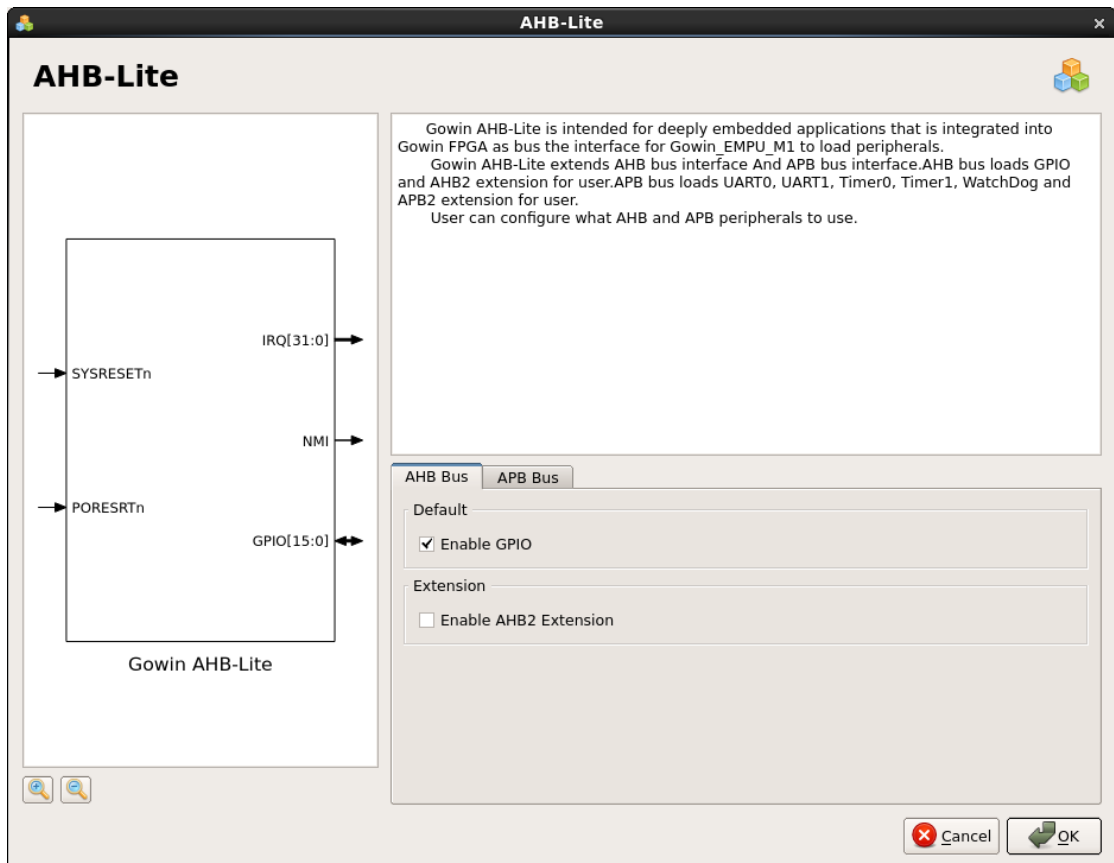


AHB 总线配置

- 默认接口配置

可以配置 GPIO, 如果选择, 则支持 GPIO 接口, 如图 3-12 所示。

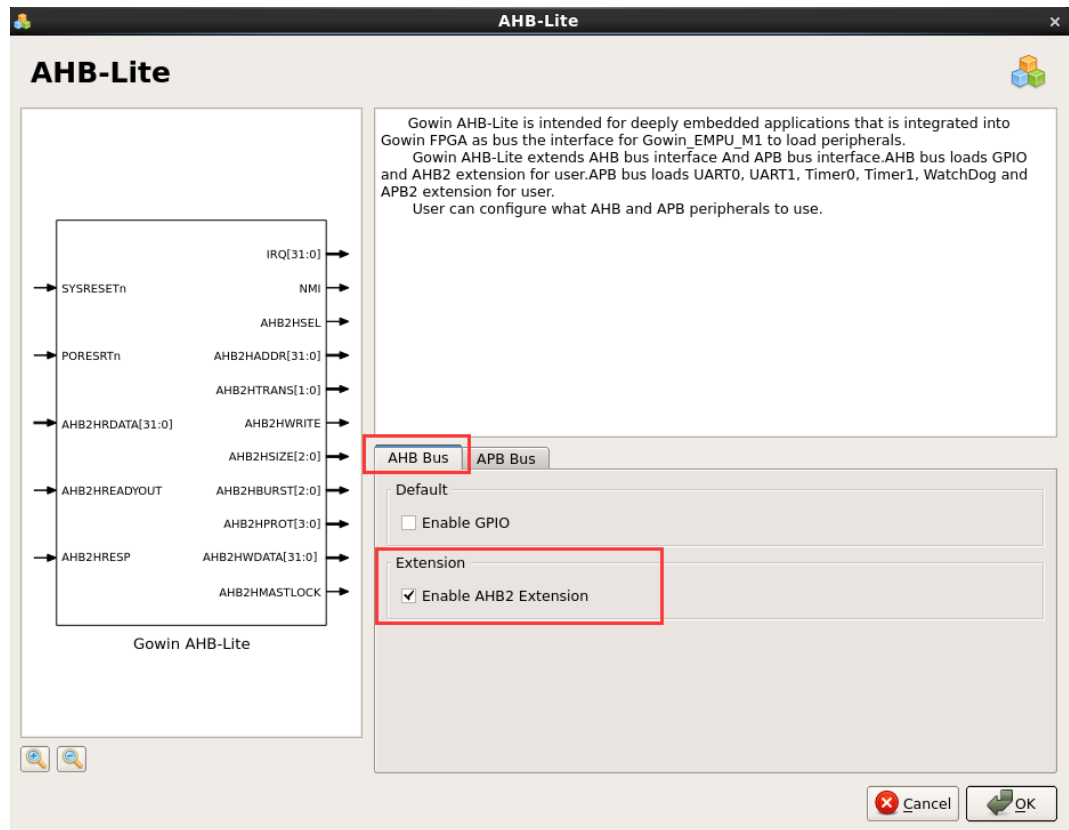
图 3-12 AHB 默认接口配置



- 扩展接口配置

可以配置 AHB2 Bus Extension，如果选择，则支持 AHB2 总线接口扩展，如图 3-13 所示。

图 3-13 AHB 扩展接口配置



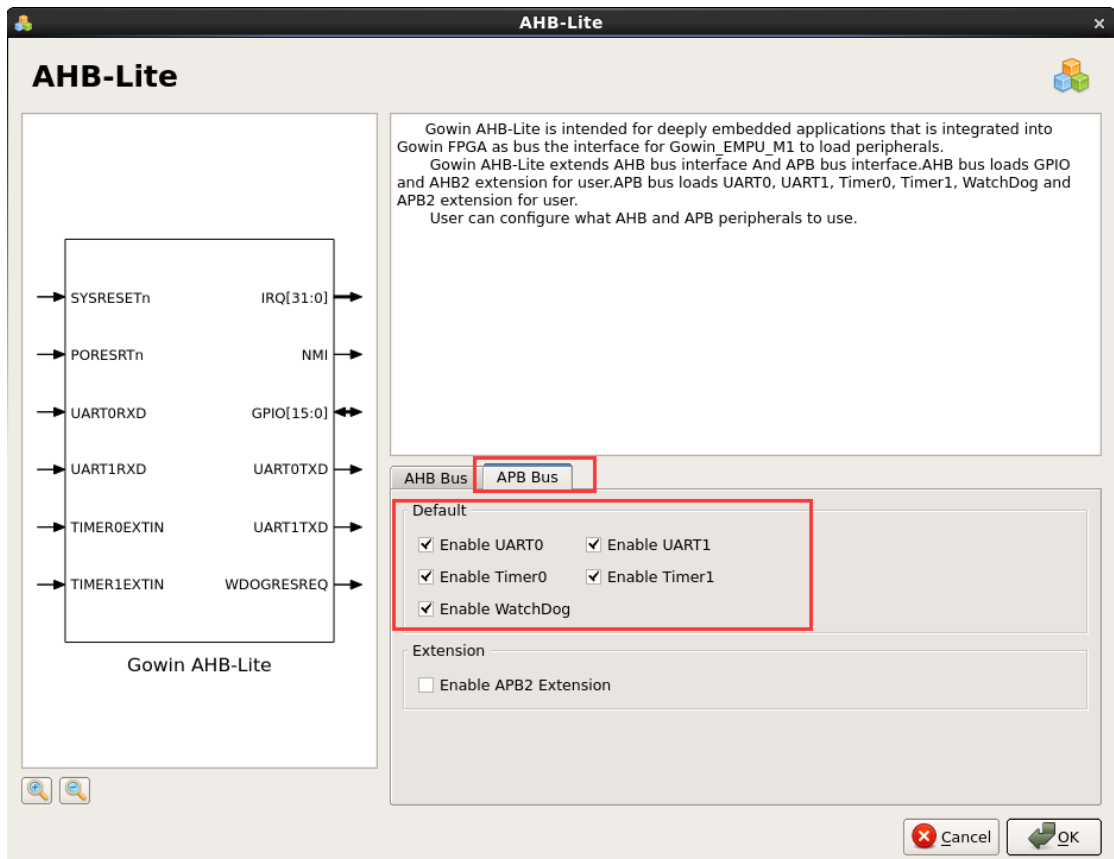
APB 总线配置

- 默认接口配置

可以配置 UART0 或 UART1 或 Timer0 或 Timer1 或 Watch Dog，如图 3-14 所示。

- 如果选择 UART0，则支持 UART0
- 如果选择 UART1，则支持 UART1
- 如果选择 Timer0，则支持 Timer0
- 如果选择 Timer1，则支持 Timer1
- 如果选择 Watch Dog，则支持 Watch Dog

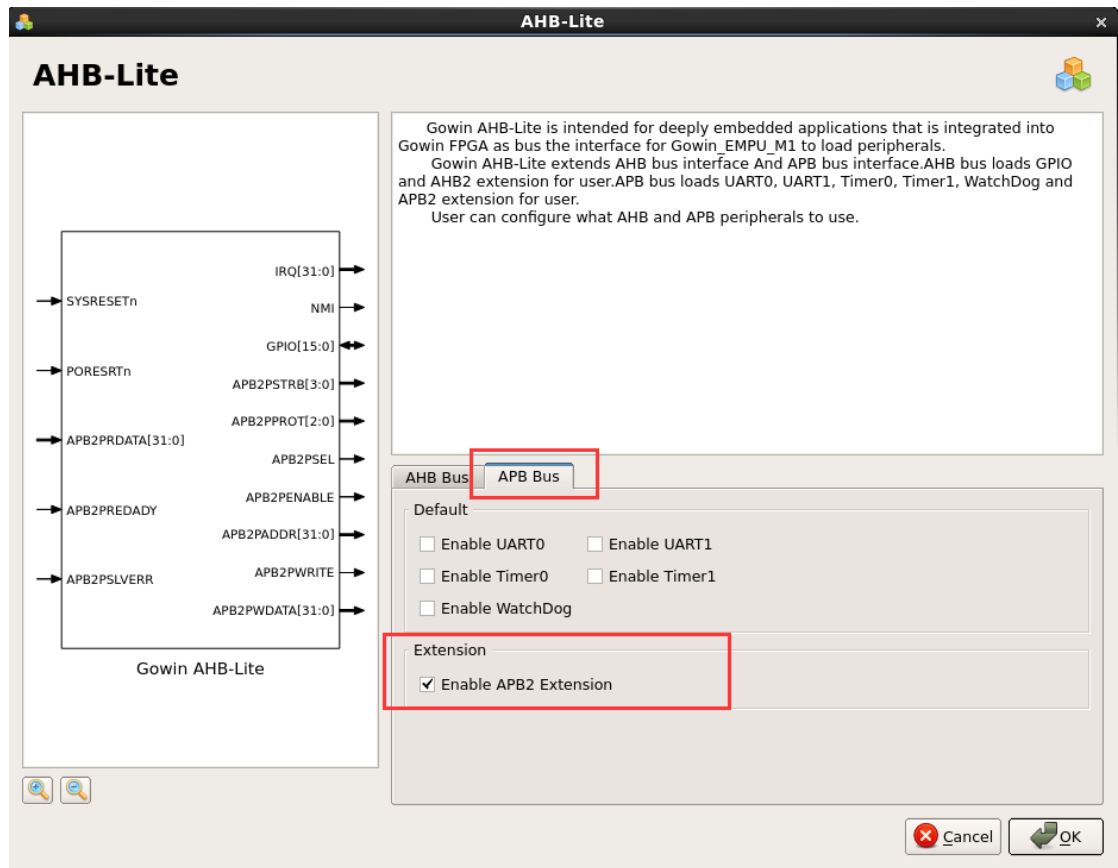
图 3-14 APB 默认接口配置



- 扩展接口配置

可以配置 APB2 Bus Extension, 如果选择, 则支持 APB2 总线接口扩展, 如图 3-15 所示。

图 3-15 APB 扩展接口配置



3.3 用户设计

- 完成 Cortex-M1 和 AHB-Lite Extension 配置后，产生 Cortex-M1 和 AHB-Lite 硬件设计
- 例化 Cortex-M1 和 AHB-Lite Extension，连接端口
- 导入用户设计和约束，形成完整的 RTL 设计

3.4 约束

完成用户 RTL 设计后，根据使用的开发板和需要输出的 IO，产生物理约束文件。

根据时序要求，产生时序约束文件。

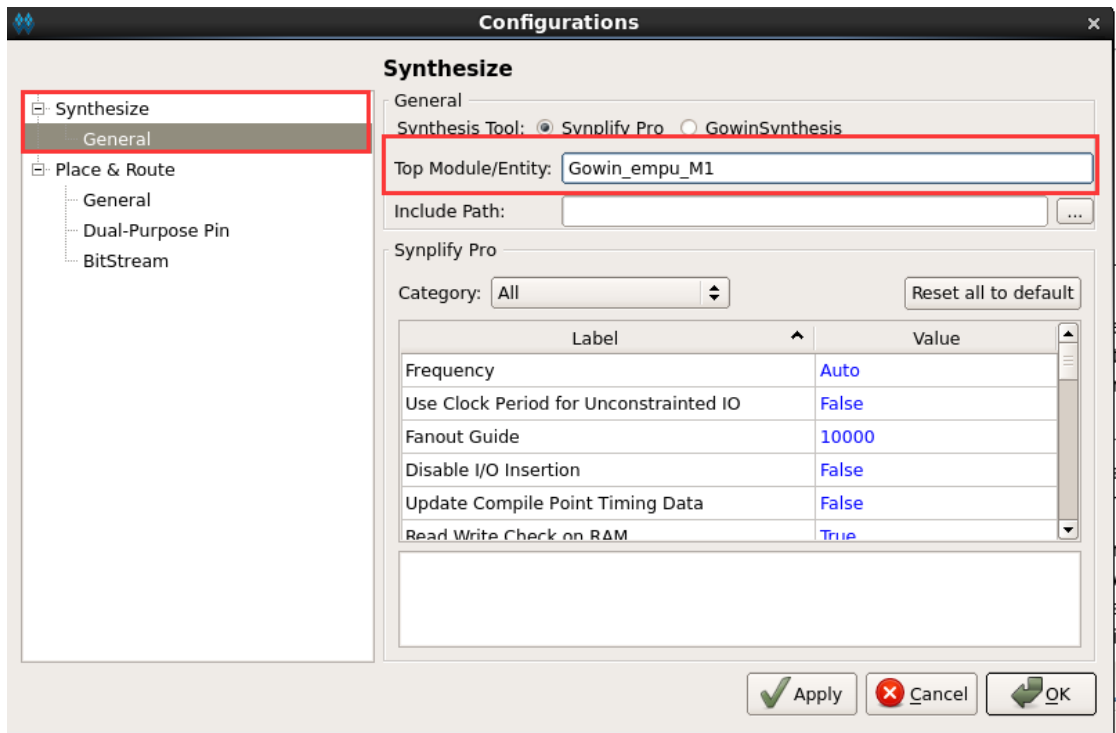
物理约束的产生方法请参考 SUG101，[Gowin 设计约束指南](#)。

3.5 配置

3.5.1 顶层模块配置

综合配置中，配置顶层模块名称，如图 3-16 所示。

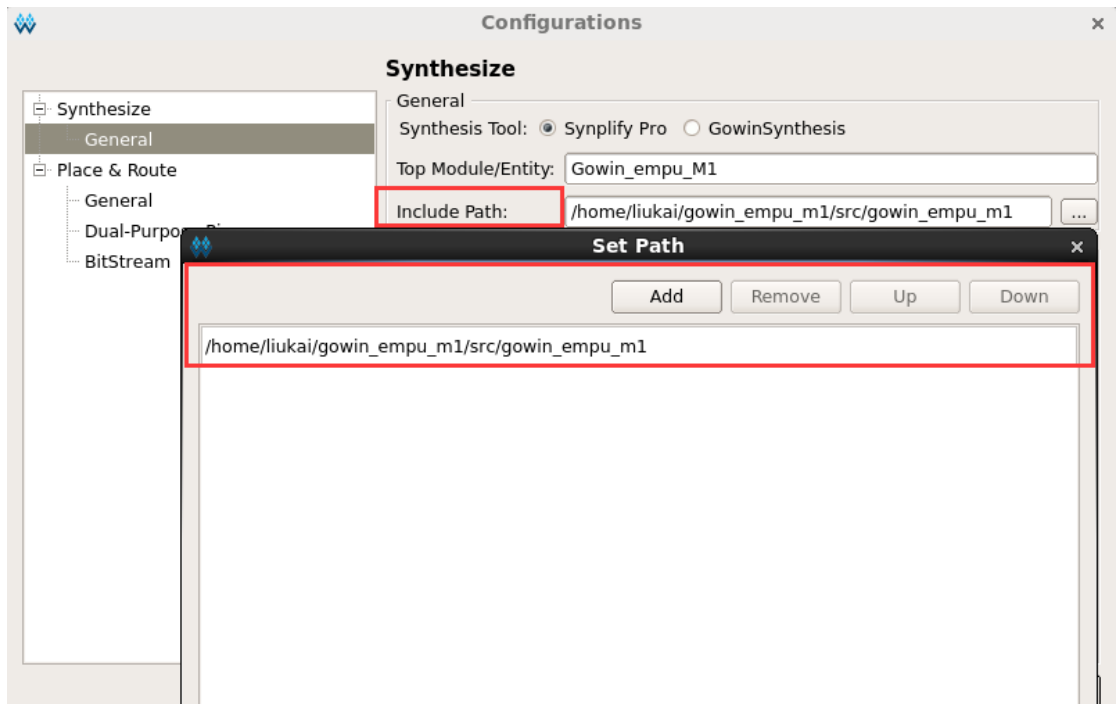
图 3-16 顶层模块配置



3.5.2 引用文件配置

综合配置中，配置引用文件路径，如图 3-17 所示，添加 AHB-Lite Extension 配置文件 ahb_option_defs.v 和 Cortex-M1 配置文件 cm1_option_defs.v 等被引用文件的路径。

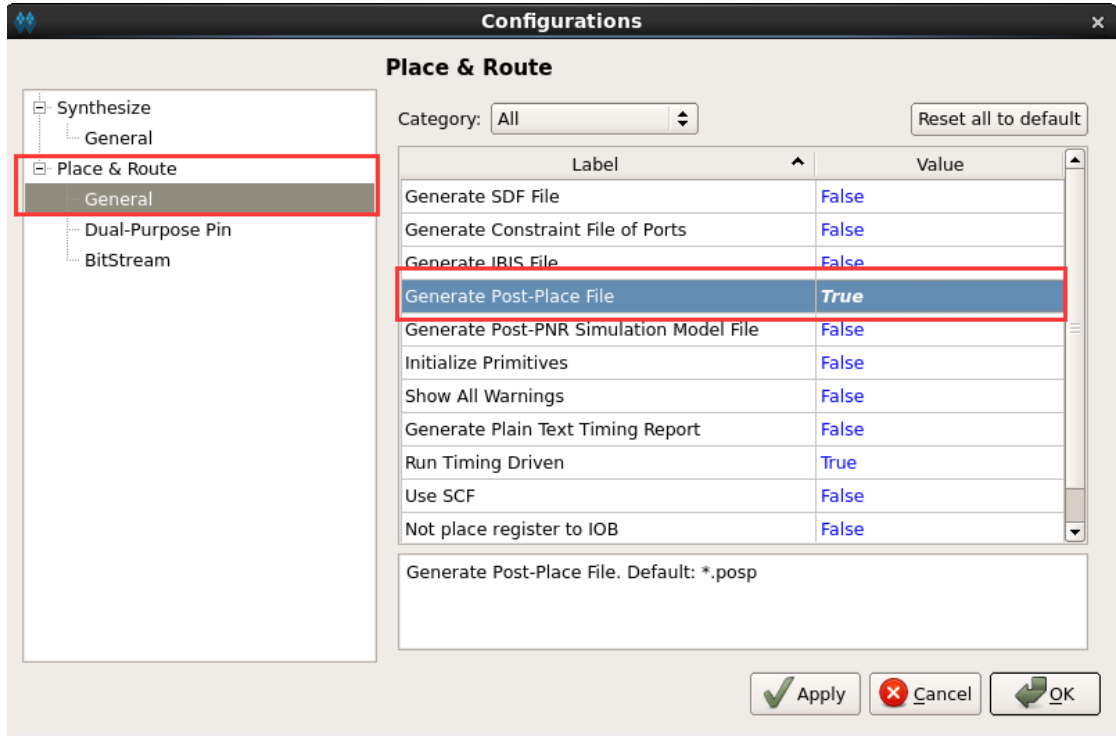
图 3-17 引用文件路径配置



3.5.3 Post-Place File 配置

如果使用合并软件设计和硬件设计的下载方法，配置 Place & Route 产生 Post-Place File，如图 3-18 所示，否则不需要配置输出 Post-Place File。

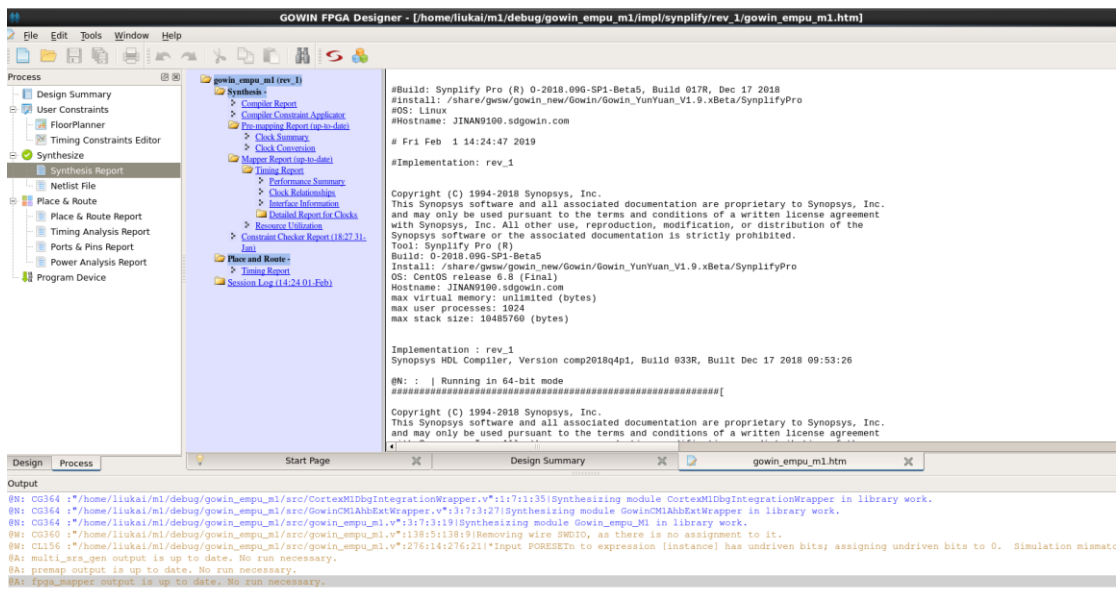
图 3-18 Post-Place File 配置



3.6 综合

运行 GOWIN FPGA Designer 的综合工具 Synplify_Pro 或 GowinSynthesis，完成 RTL 设计的综合，如图 3-19 所示。

图 3-19 综合

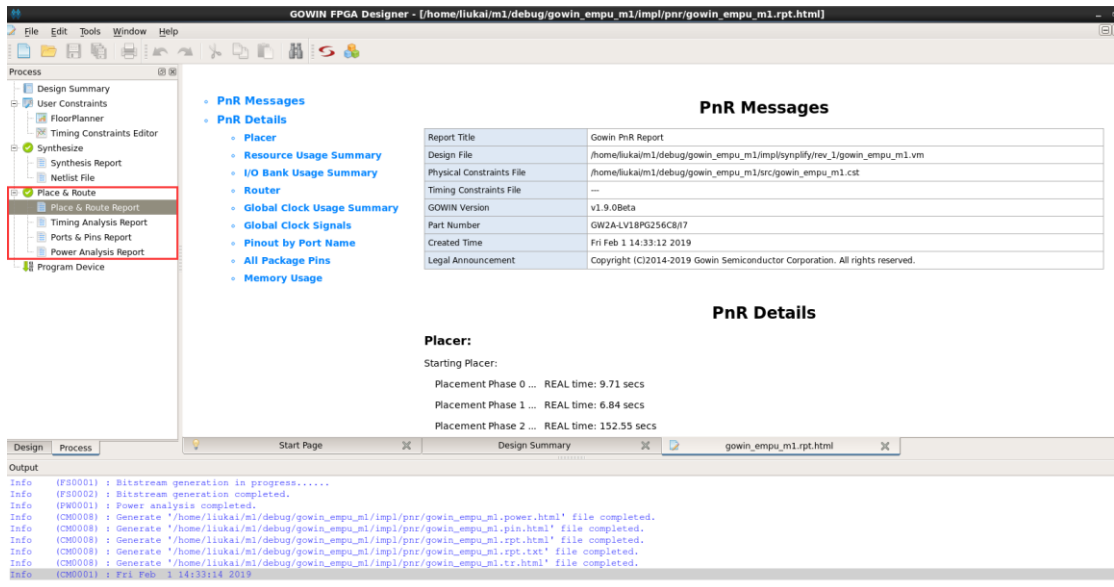


综合工具的使用方法请参考 SUG100, [Gowin 云源软件用户指南](#)。

3.7 布局布线

运行 GOWIN FPGA Designer 的布局布线工具 Place & Route, 完成布局布线和生成码流文件, 如图 3-20 所示。

图 3-20 Place & Route



布局布线工具使用方法请参考 SUG100, [Gowin 云源软件用户指南](#)。

4 参考设计

高云提供 Gowin_EMPU_M1 的 Debug 和 No Debug 参考设计：

- [FPGA_RefDesign\Debug_RefDesign](#)
- [FPGA_RefDesign\NoDebug_RefDesign](#)

