



Gowin Basic FIR Filter

用户指南

IPUG542-1.0, 2019-02-25

版权所有©2019 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2019/02/25	1.0	初始版本。

目录

目录	i
图目录	ii
表目录	iii
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语	2
1.5 技术支持与反馈	2
2 概述	3
2.1 Basic FIR Filter IP 介绍	3
2.2 主要特征	3
2.3 最大频率	4
2.4 资源利用	4
3 端口描述	5
4 GUI 参数	6
4.1 概述	6
5 工作原理	7
5.1 算法简介	7
5.2 Gowin Basic FIR Filter IP 实现	7
6 时序说明	9
6.1 系数输入时序	9
6.2 数据输入时序	10
6.3 数据输出时序	11
6.4 ini	11
6.5 输入间隔	11
7 配置及调用	12
8 参考设计	15

图目录

图 3-1 Basic FIR Filter 接口框图	5
图 5-1 Gowin Basic FIR Filter IP 实现框图.....	7
图 6-1 系数写入时序	9
图 6-2 数据输入时序	10
图 6-3 数据输出时序	11
图 7-1 打开 Basic FIR Filter IP 核.....	12
图 7-2 Basic FIR Filter IP 核配置界面	13
图 7-3 Help 文档.....	14

表目录

表 1-1 术语、缩略语	2
表 2-1 Basic FIR Filter IP	3
表 2-2 Basic FIR Filter 占用资源	4
表 3-1 Basic FIR Filter 的 IO 端口列表	5
表 4-1 GUI 参数表	6

1 关于本手册

1.1 手册内容

Gowin Basic FIR Filter 用户指南主要内容包括功能简介、信号定义、端口描述、时序说明、配置调用、参考设计等。主要用于帮助用户快速了解 Gowin Basic FIR Filter IP 的产品特性、特点及使用方法。

1.2 适用产品

本手册中描述的信息适用于以下产品：

1. GW1N 系列 FPGA 产品：GW1N-2、GW1N-2B、GW1N-4、GW1N-4B、GW1N-6、GW1N-9
2. GW1NR 系列 FPGA 产品
3. GW2A 系列 FPGA 产品
4. GW2AR 系列 FPGA 产品

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. GW1N 系列 FPGA 产品数据手册
2. GW1NR 系列 FPGA 产品数据手册
3. GW2A 系列 FPGA 产品数据手册
4. GW2AR 系列 FPGA 产品数据手册
5. Gowin 云源软件用户指南

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编辑门阵列
FIR	Finite Impulse Response	有限长单位冲激响应
IP	Intellectual Property	知识产权
DSP	Digital Signal Processing	数字信号处理
BSRAM	Block SRAM	块状静态随机存储器

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 Basic FIR Filter IP 介绍

Gowin Basic FIR Filter IP 是一个直接通过相乘、累加计算实现的基础结构的 FIR 滤波器。该 IP 控制时序简单，阶数可配置范围大，可根据 DSP 资源情况自行配置内部乘法阵列的长度。且当抽头数量较大时，使用 BSRAM 实现了数据及系数的存储，节省了大量逻辑资源。

表 2-1 Basic FIR Filter IP

Basic FIR Filter IP	
IP 核应用	
芯片支持	<ul style="list-style-type: none"> ● GW1N 系列: GW1N-2、GW1N-2B、GW1N-4、GW1N-4B、GW1N-6、GW1N-9 ● GW1NR 系列 ● GW2A 系列 ● GW2A 系列
逻辑资源	请参见表 2-2。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	Synplify_Pro
应用软件	GoWinYunYuan

2.2 主要特征

- 输入数据位宽可配置
- 系数位宽可配置
- 抽头数量支持 16-2048 可配置
- 乘法器阵列长度可配置

2.3 最大频率

Basic FIR Filter IP 的最大频率主要根据所用器件的速度等级（speed grade of the devices）确定，可达到 100M。

2.4 资源利用

通过 Verilog 语言实现 Basic FIR Filter，因对 IP 的配置不同，其资源利用情况会有很大不同；此外，因使用器件的密度、速度和等级不同，其性能和资源利用情况也可能不同。

下表为 Basic FIR Filter IP 当输入数据位宽及系数位宽都选择为 18bits 时一些典型配置下的资源利用情况。

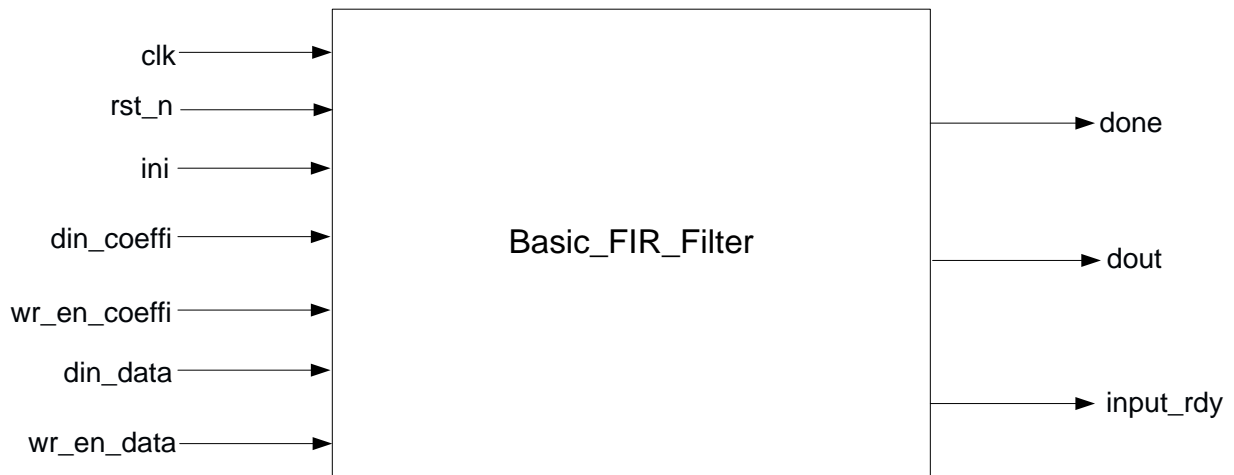
表 2-2 Basic FIR Filter 占用资源

器件系列	速度等级	Mult Array length	Tapsize (抽头数量)	LOGICS	REGS	DSP Macros	BSRAMS
GW2A-55	C8/I7	2	32	327	395	1	0
			1024	337	373	1	4
		4	32	629	570	3	0
			1024	603	511	3	8
		8	32	1973	1254	6	0
			1024	1789	1107	6	16

3 端口描述

IO 端口框图如图 3-1 所示。

图 3-1 Basic FIR Filter 接口框图



IO 端口列表如表 3-1 所示。

表 3-1 Basic FIR Filter 的 IO 端口列表

信号	方向	位宽	描述
rst_n	Input	1	复位信号，低电平有效
clk	Input	1	时钟信号
ini	Input	1	初始化信号，用于给数据存储器清零
wr_en_data	Input	1	输入数据写使能信号
din_data	Input	12-24	输入数据
wr_en_coeffi	Input	1	输入系数写使能信号
din_coeffi	Input	12-24	输入系数
dout	Output	54	输出信号，即滤波结果
done	Output	1	输出指示信号，高电平时表示滤波完成，输出为有效
input_rdy	Output	1	表示一次计算周期完成，可再次输入数据

4 GUI 参数

4.1 概述

Basic FIR Filter 提供了相关参数，供用户根据实际需求进行配置，具体如下如表 4-1 所示。

表 4-1 GUI 参数表

序号	参数名称	选项	描述
1	Mult Array Length	2/4/8	乘法器阵列长度
2	tapsize	16-2048	抽头数，必须是乘法器阵列长度的整数倍
3	Input data width	12-24	输入数据位宽
4	Input coefficient width	12-24	输入系数位宽

5 工作原理

5.1 算法简介

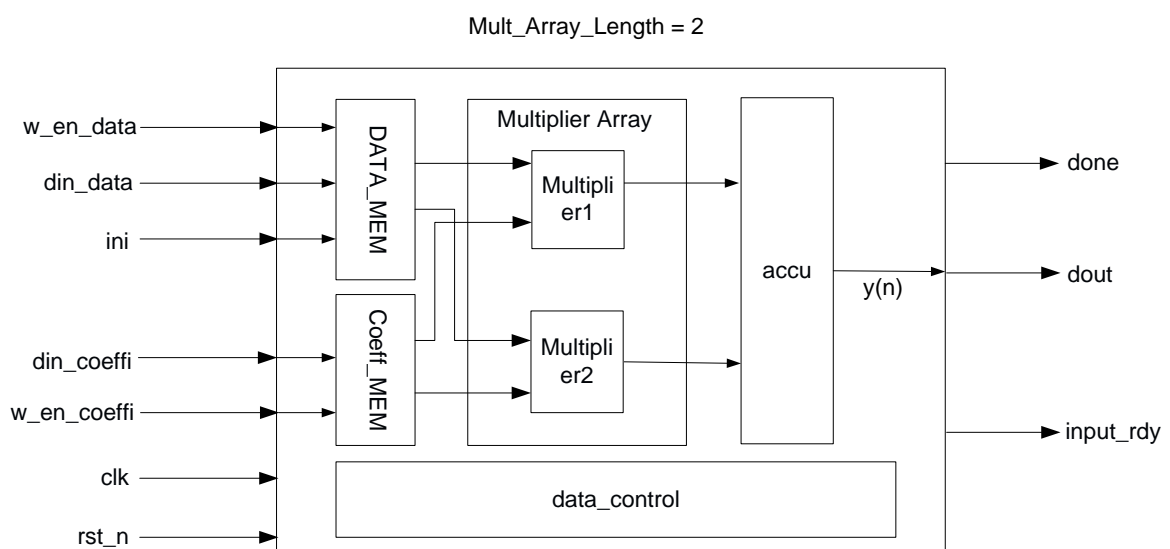
Basic FIR(Finite Impulse Response) Filter, 基础有限长单位冲激响应滤波器, 其计算公式如下:

$$y[n] = b_0x[n] + b_1x[n - 1] + \dots + b_Nx[n - N]$$

$$= \sum_{i=0}^N b_i \cdot x[n - i]$$

5.2 Gowin Basic FIR Filter IP 实现

图 5-1 Gowin Basic FIR Filter IP 实现框图



Mult Array Length = 2 时 Basic FIR Filter IP 实现框图如图 5-1 所示。内部主要由数据存储器 DATA_MEM、系数存储器 Coeff_MEM、乘法器阵列 Multiplier Array、累加器 accu 及数据控制模块 data_control 组成。当乘法器

阵列长度配置不同时，乘法器阵列中乘法器数量也将随之改变。且当抽头数量较大时，数据存储器 `DATA_MEM`、系数存储器 `Coeff_MEM` 使用 `BSRAM` 实现，可在极大程度上节省其他逻辑资源。

6 时序说明

Basic FIR Filter IP 输入时序控制信号有

1. rst_n: 复位信号，低电平有效；
2. ini: 初始化信号，用于给数据存储器置零；
3. wr_en_data: 输入数据写使能信号；
4. wr_en_coeffi: 输入系数写使能信号；

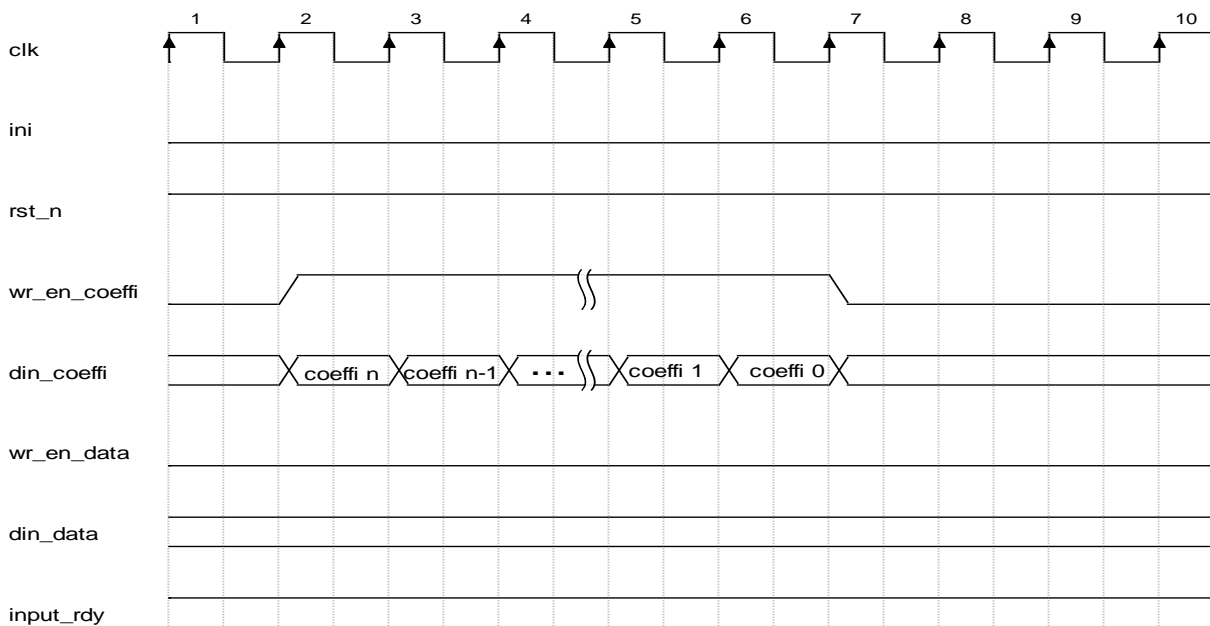
注!

请勿同时进行多项时序控制，否则将导致计算结果出现错误。

以下将分别对各时序进行说明。

6.1 系数输入时序

图 6-1 系数写入时序



系数输入时序如上图 6-1 所示。在输入系数的同时，需要将输入系数写使能信号拉高。当时钟上升沿到来时，若输入系数写使能信号为高电平，此时的系数将被写入。系数写入个数应与 IP 配置抽头数一致，如果超出，则

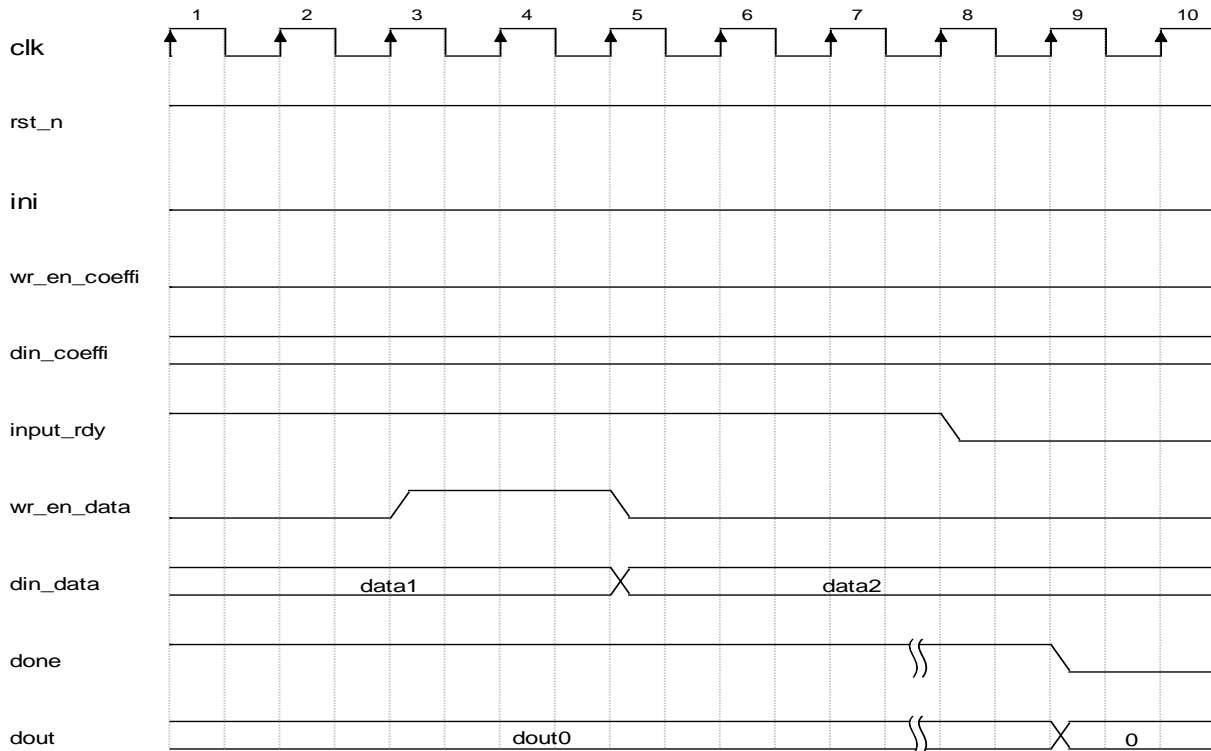
会覆盖之前写入的系数。需要注意的是，若滤波器形式如下：

$$y[n] = b_0x[n] + b_1x[n - 1] + \dots + b_Nx[n - N]$$

在写入系数时，需要以 b_N 、 b_{N-1} 、 b_{N-2} ... b_1 、 b_0 的顺序写入。

6.2 数据输入时序

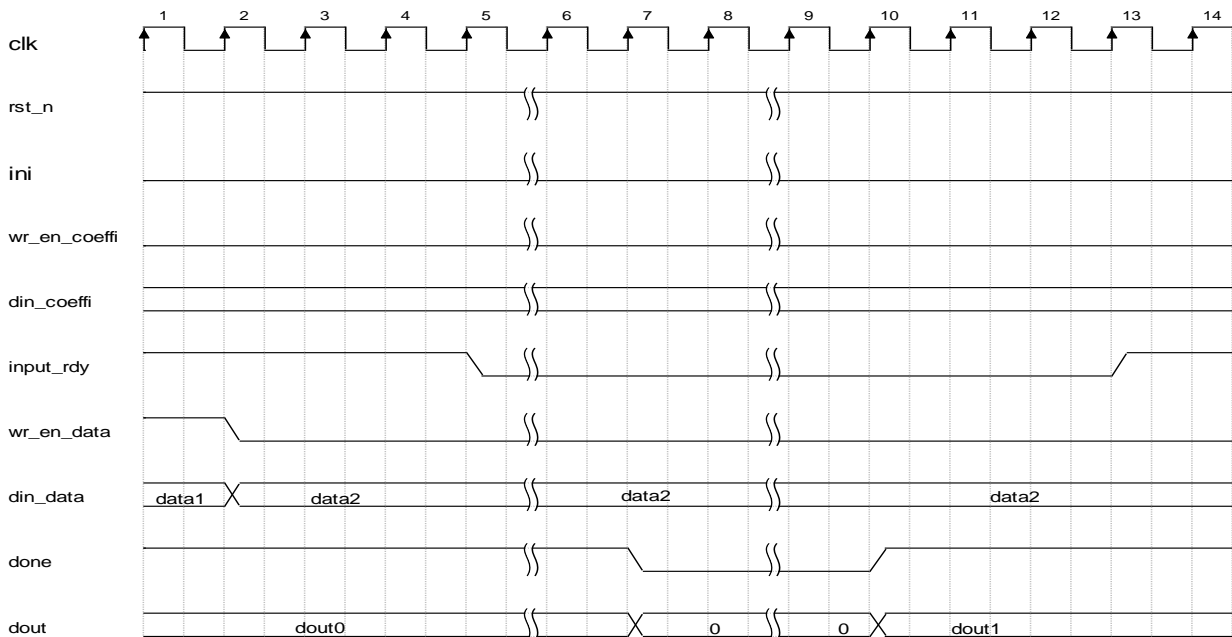
图 6-2 数据输入时序



数据输入时序如图 6-2 所示。当 **input_rdy** 信号为高时，表明此时 IP 可输入数据。需要输入数据时，拉高 **wr_en_data** 信号，Basic FIR Filter IP 将输入 **wr_en_data** 最后一个高电平时的 **din_data**（如图 6-2 中，第五个时钟上升时，IP 将输入此时的 **data1** 进行计算）。延时三个周期后，**input_rdy** 信号置零，请等待 **input_rdy** 信号再次拉高后再输入下一个数据。

6.3 数据输出时序

图 6-3 数据输出时序



数据输出时序如上图 6-3 所示。当完成一次写数据后，延迟若干个周期后输出指示信号 **done** 及输出信号 **dout** 将置零。又经过一段时间的计算时间后，**done** 信号将拉高，表明计算已完成，同时 **dout** 将输出。再经过三个时钟周期的延时，**input_rdy** 信号将拉高，表示可再次输入数据。

6.4 ini

ini 信号用于初始化数据存储器中的存储的输入数据，初始化的时钟周期数需要大于滤波器抽头数。

6.5 输入间隔

因为 Basic FIR Filter IP 涉及到大量的数学计算，所以计算过程耗费较多时间。如果一次计算过程没有完成（**input_rdy** 信号未拉高），又再次输入新的数据，会出现意料之外的错误。在使用时可以当检测到 **input_rdy** 拉高后输入，也可以以一个固定的速率输入。以下提供一个较简单的数据输入间隔时间的算法作为参考。

假设输入 **clk** 频率为 f_c Hz，抽头数为 n ，乘法器阵列长度为 m ，使用 $f_{w\max}$ 表示最大输入数据频率，则：

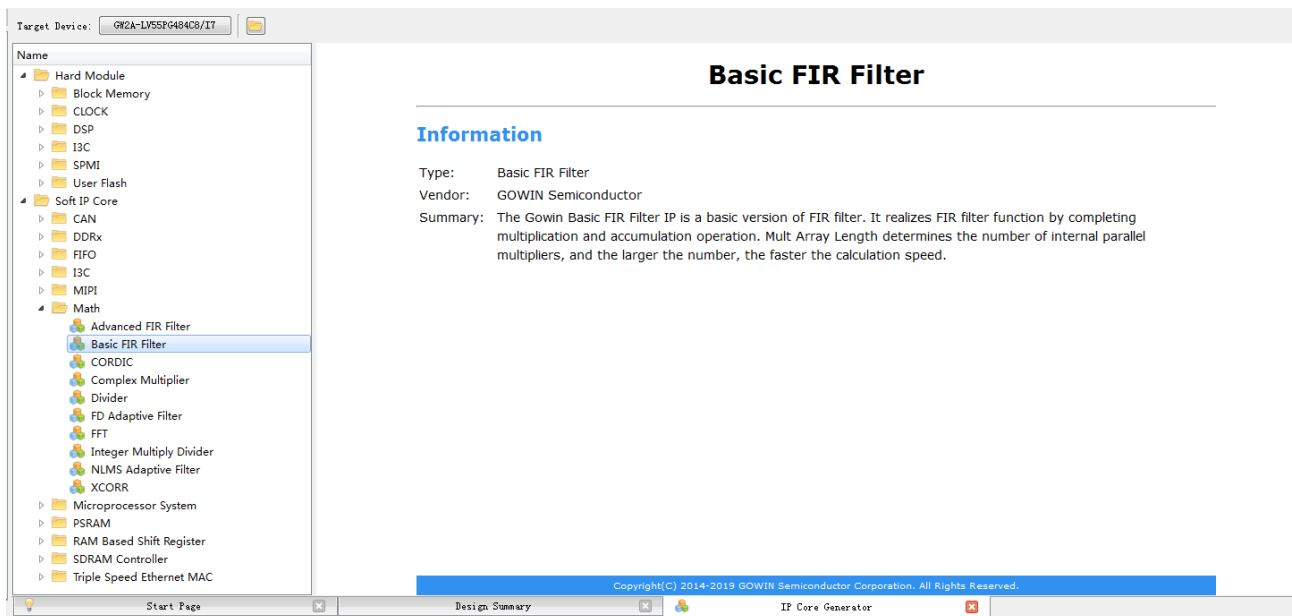
$$f_{w\max} = \frac{f_c}{n/m + 50}$$

7 配置及调用

在高云云源软件界面菜单栏 **Tools** 下，可启动 **IP Core Generator** 工具，完成调用并配置 **Basic FIR Filter**。

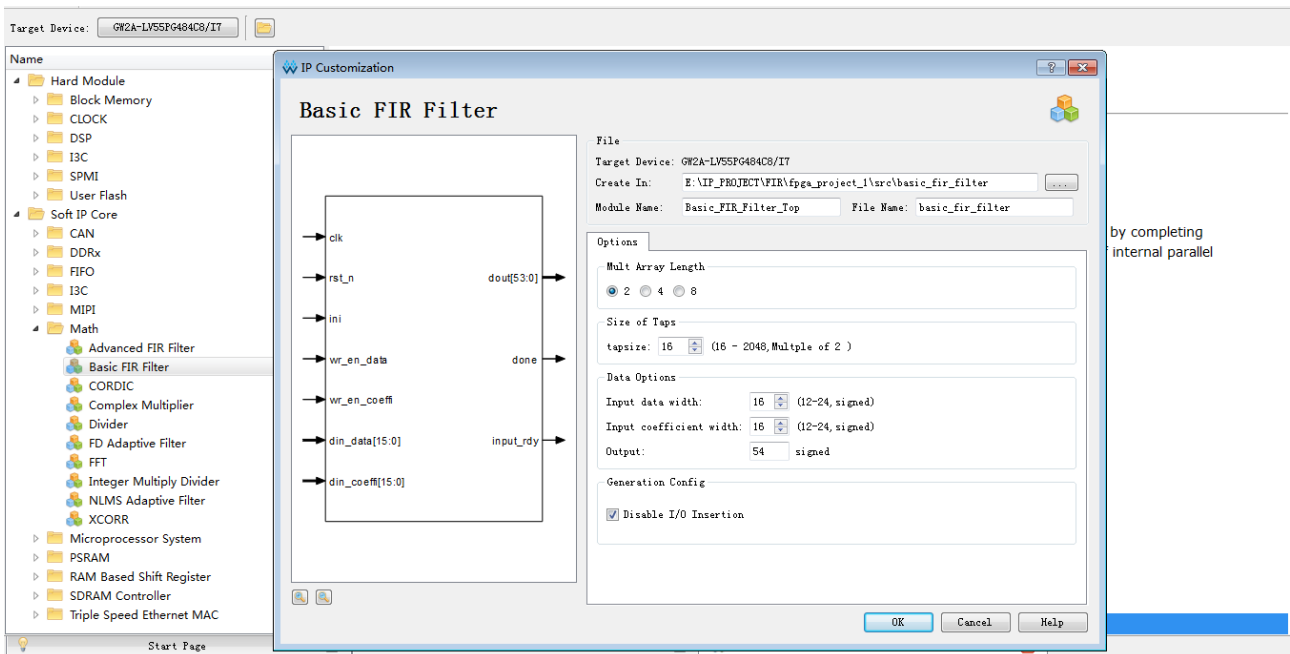
1. 打开 **IP Core Generator**。
用户新建工程后，点击左上角 **Tools** 选项卡，下拉单击 **IP Core Generator** 选项，就可打开 **GOWIN** 的 **IP** 核生成工具。
2. 打开 **Basic FIR Filter IP** 核。
Basic FIR Filter IP 核位于 **Soft IP Core** 中的 **Math** 分组下，找到后双击即可打开 **Basic FIR Filter IP** 核，如图 7-1 所示。

图 7-1 打开 **Basic FIR Filter IP** 核



3. **Basic FIR Filter** 配置界面。
Basic FIR Filter 配置界面如图 7-2 所示。

图 7-2 Basic FIR Filter IP 核配置界面



配置界面左端为 Basic FIR Filter IP 核接口示意图；右侧为一些可配置选项，可进行以下操作：

- a). 可通过修改 File Name，配置产生 Basic FIR Filter 文件名称；
- b). 可通过修改 Module Name，配置产生的 Basic FIR Filter 顶层模块名称；
- c). 可通过配置 Options 选项，配置乘法器阵列长度 Mult Array Length，滤波器抽头数量 tapsize，输入数据位宽 Input data width 以及输入系数位宽 Input coefficient width（输出数据为固定 54 位）。

4. 打开 Help 文档

在图 7-2 的右下角，有一个 Help 按钮，用户可以点击 Help 按钮查看配置界面中各个选项的英文简介，方便用户快速完成对 IP 核的配置，Help 文档如图 7-3 所示。

图 7-3 Help 文档

Basic FIR Filter

Information

Type:	Basic FIR Filter
Vendor:	GOWIN Semiconductor
Summary:	The Gowin Basic FIR Filter IP is a basic version of FIR filter. It realizes FIR filter function by completing multiplication and accumulation operation. Mult Array Length determines the number of internal parallel multipliers, and the larger the number, the faster the calculation speed.

Options

Option	Description
Mult Array Length	
Mult Array Length	Select the number of internal parallel multipliers.
Size of Taps	
Size of Taps	Specify the number of taps in Basic FIR Filter.
Data Options	
Input data width	Specify the input data width.
Input coefficient width	Specify the input coefficient data width.

8 参考设计

可参考 RefDesign 内相关测试案例。

