



Gowin I3C SDR 快速入门

IPUG659-1.1, 2018-10-25

版权所有©2018 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2018/01/29	1.0	初始版本。
2018/10/25	1.1	修改 IDE 版本信息等。

目录

目录	i
图目录.....	ii
表目录.....	1
1 I3C 开发板介绍	1
1.1 与 I3C 有关的部件	1
1.2 开发板互联	2
2 I3C 通讯实验实例.....	4
2.1 例程介绍.....	4
2.2 通讯实验.....	4
3 通过剖析例程介绍 I3C 的应用方法.....	6
3.1 IP 例化、配置与连接.....	6
3.2 I3C IP 的控制与使用	9
3.2.1 工程小 module 介绍	9
3.2.2 Master 工程 Top Module 介绍	10
3.2.3 Slave 工程的 Top Module 介绍	10
3.2.4 约束文件介绍	10
3.2.5 工程综合与下载.....	11

图目录

图 1-1 开发板	1
图 1-2 两板互联电气原理图	2
图 1-3 开发板实物互联	3
图 2-1 I3C 写操作结果	5
图 3-1 创建新工程	6
图 3-2 Select Device	7
图 3-3 IP Core Generator	7
图 3-4 I3C 模块配置界面	8
图 3-5 slave 工程示意图	9

表目录

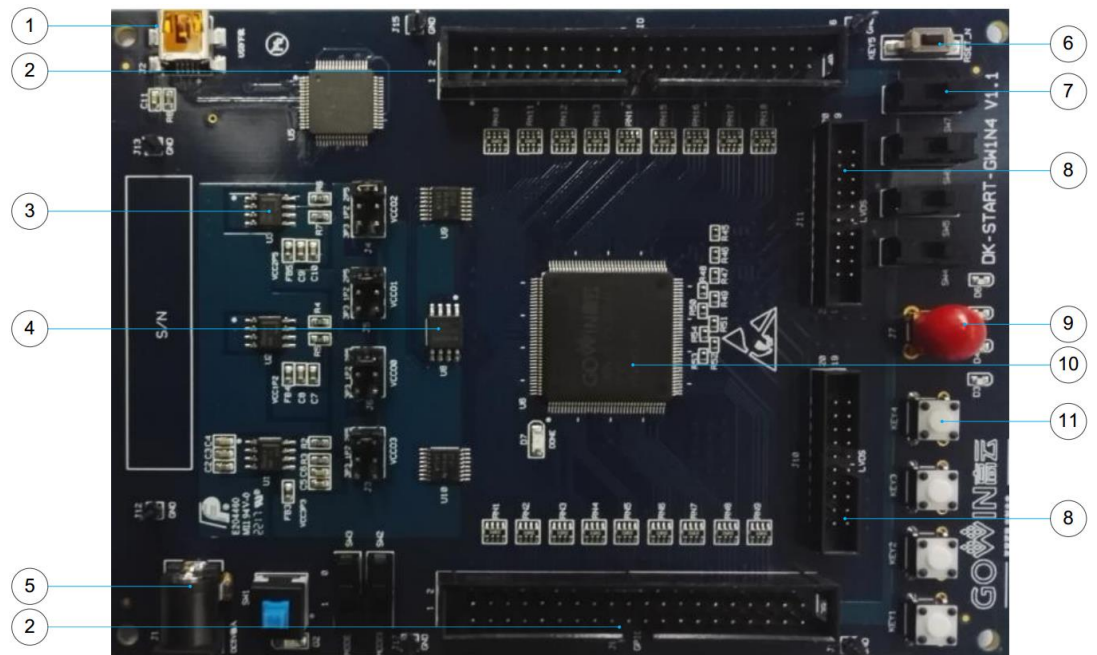
表 1-1 用于 I3C BUS 的 GPIO..... 3

1 I3C SDR 开发板介绍

1.1 与 I3C SDR 有关的部件

开发板实物图如图 1-1 所示。

图 1-1 开发板



- ① USB 下载接口 ② GPIO
- ③ LDO 电源电路 ④ 串行 Flash
- ⑤ DC5V 电源输入 ⑥ 复位
- ⑦ 滑动开关 ⑧ LVDS
- ⑨ SMA 时钟输入 ⑩ FPGA
- ⑪ 按键开关

开发板提供 USB 下载接口。下载时可根据需要下载至片内 SRAM、内部 Flash 或外部 Flash 中。

1.2 开发板互联

本手册以两个开发板为例，对 I3C SDR 通信进行介绍。其一开发板作为 master，另一开发板作为 slave，进行开发板互联，如图 1-2 和图 1-3 所示。其中开发板 1 的 j10_1、j10_2、j10_5、j10_6 分别与开发板 2 的 j10_1、j10_2、j10_5、j10_6 对应相连。在进行 I3C SDR 通信时，用户可以选用开发板引脚作为 SDA、SDA_PULL、SCL、SCL_PULL，如表 1-1 所示。

图 1-2 两板互联电气原理图

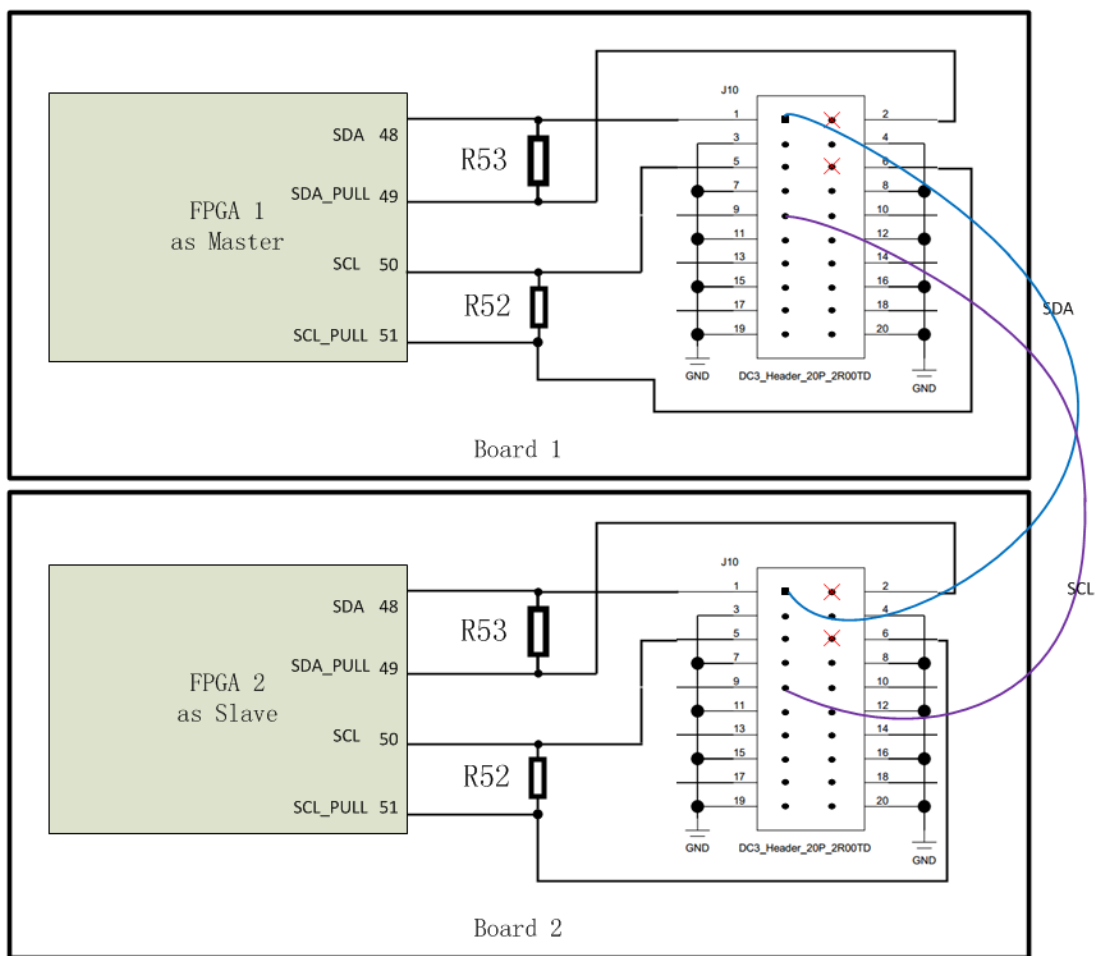


图 1-3 开发板实物互联

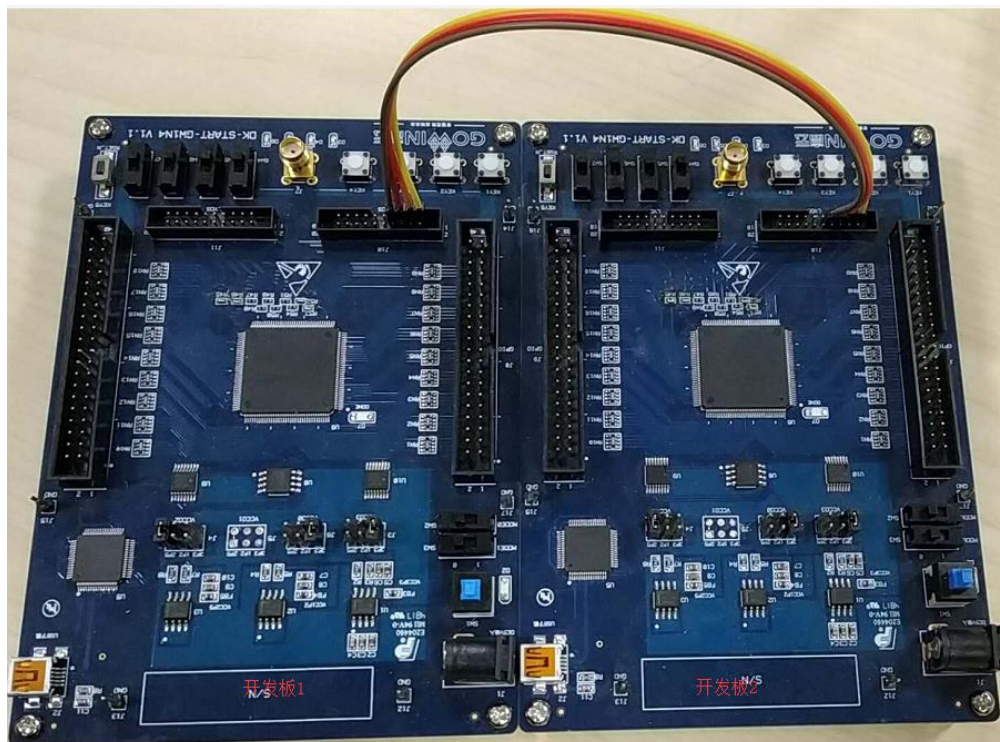


表 1-1 用于 I3C SDR BUS 的 GPIO

开发板引脚	FPGA IO	配置电阻
J10_1, J10_2	48, 49	R53
J10_5, J10_6	50, 51	R52
J11_13, J11_14	72, 75	R46
J11_17, J11_18	76, 78	R45

2 I3C SDR 通讯实验实例

2.1 例程介绍

本手册以 I3C SDR 写读操作为例介绍 I3C SDR 通信，将 I3C SDR 系统的 sdata、sdata_pull、scl、scl_pull 分别放置开发板的 j10_1、j10_2、j10_5、j10_6 引脚上，并通过按键控制 I3C SDR master 与 slave 通信。在 master 模块中，key1，key2，key3 按键分别控制复位信号、CMS（master 置位信号）、STAS 信号，在 slave 模块中，key1 按键控制复位信号。

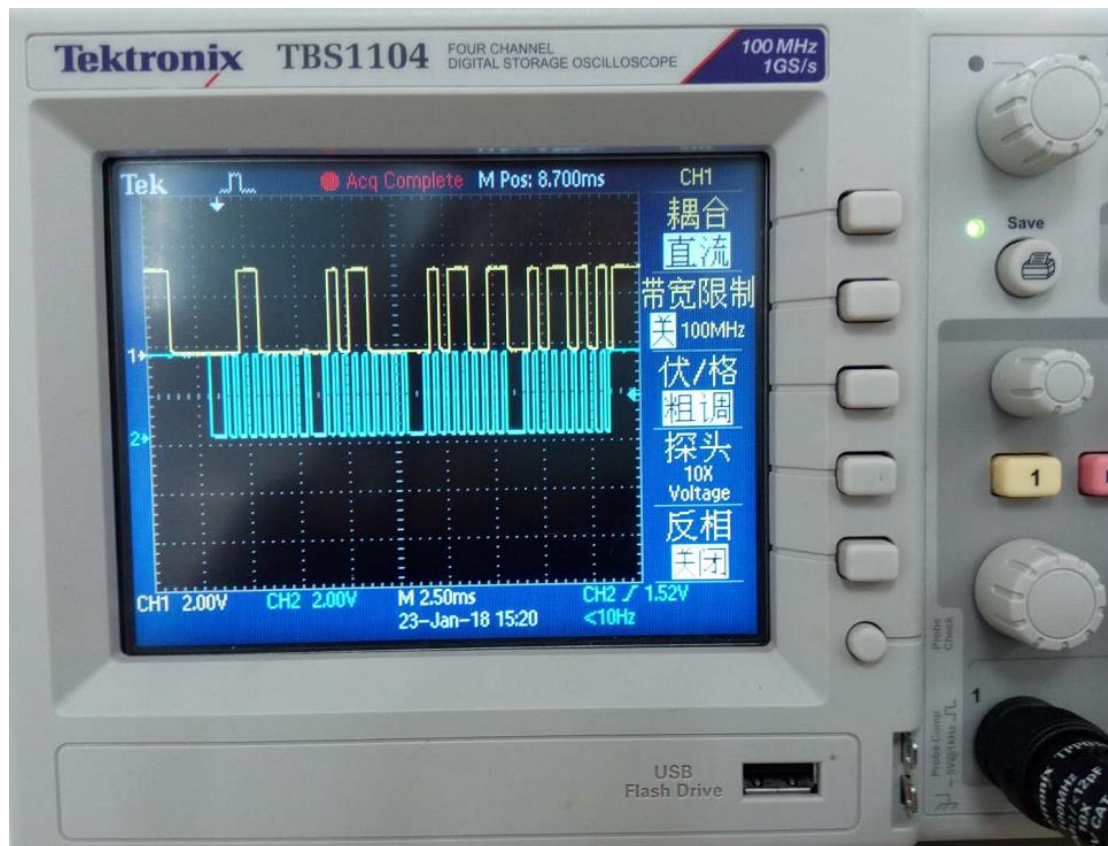
2.2 通讯实验

为了加快您实验的速度，提供了已经生成好的 bitStream 文件，master.fs 下载到 Board 1 成为 Master，slave.fs 下载到 Board 2 成为 Slave。

先将 master、slave 的 bit 文件下载到开发板，然后先对 slave 进行复位操作，即按下 slave 开发板的 key1 按键；然后对 master 板进行复位，按下 master 板的 key1；然后置位 CMS，动态配置为 Master，即按下 master 板的 key2；最后置位 master 的 STAS 信号，按下 master 板的 key2。通讯自动开始。通过示波器抓取的实验结果如图 2-1 所示，其中通道 1 为 SDA 信号，通道 2 为 SCL 信号。

为了方便在便携式示波器上观察到完整的波形，实验用的系统时钟频率为 10KHz，SCL 频率调整约为 2KHz。

图 2-1 I3C SDR 写读操作结果



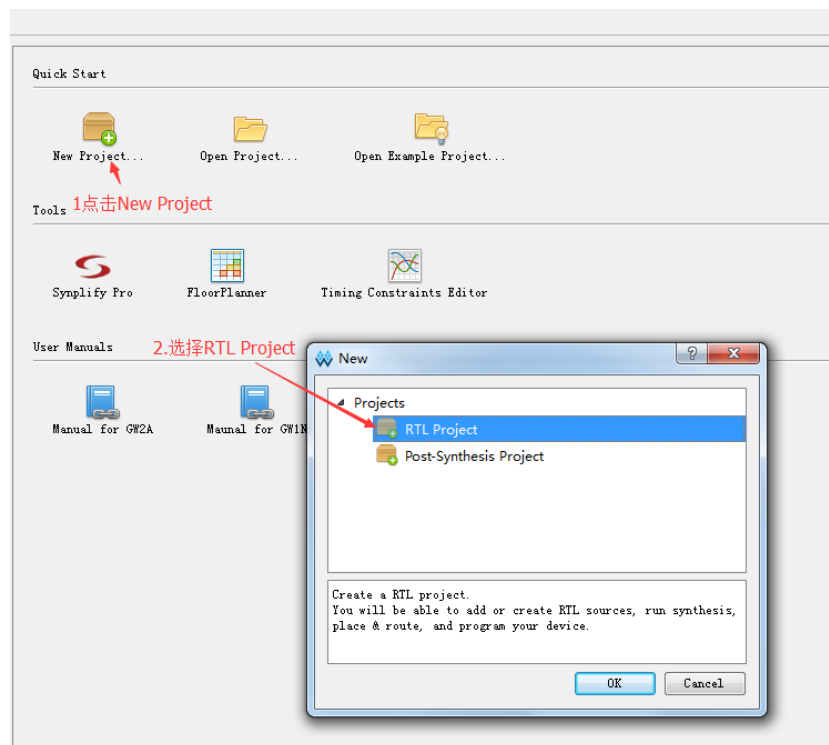
3 通过剖析例程介绍 I3C SDR 的应用方法

3.1 IP 例化、配置与连接

本手册使用的 I3C SDR 模块由 1.8.0 版 IDE 的 I3C SDR IP 模块直接生成，然后在 master、slave 模块的激励文件中对 I3C SDR 模块进行实例化、数据通信等操作。通过 IP 生成 I3C SDR 模块的具体流程如下所示：

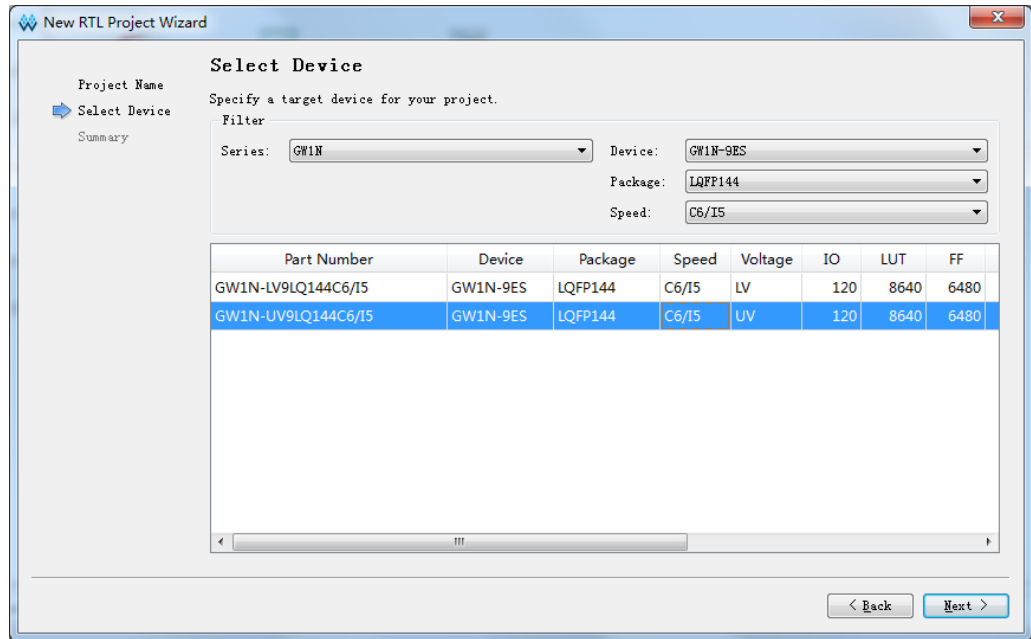
1. 打开 IDE 软件点击“New Project”，并选择“RTL Project”，如图 3-1 所示。

图 3-1 创建新工程



2. 选择 device，本工程选用 GW1N-9ES -LQFP144 封装，如图 3-2 所示。

图 3-2 Select Device




3. 工程创建完成后，双击 IP Core Generator () 选项 (如图 3-3 所示)，对 I3C IP 模块进行配置 (如图 3-4 所示) 并点击 ok 按钮生成 I3C SDR 模块。

图 3-3 IP Core Generator

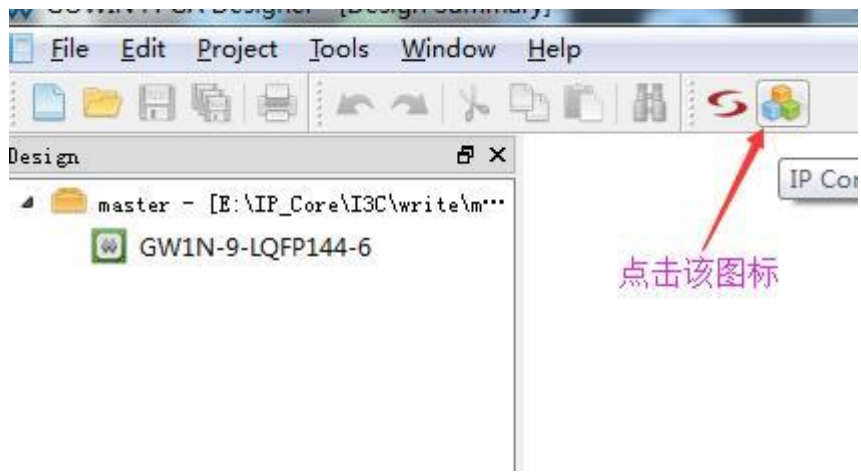
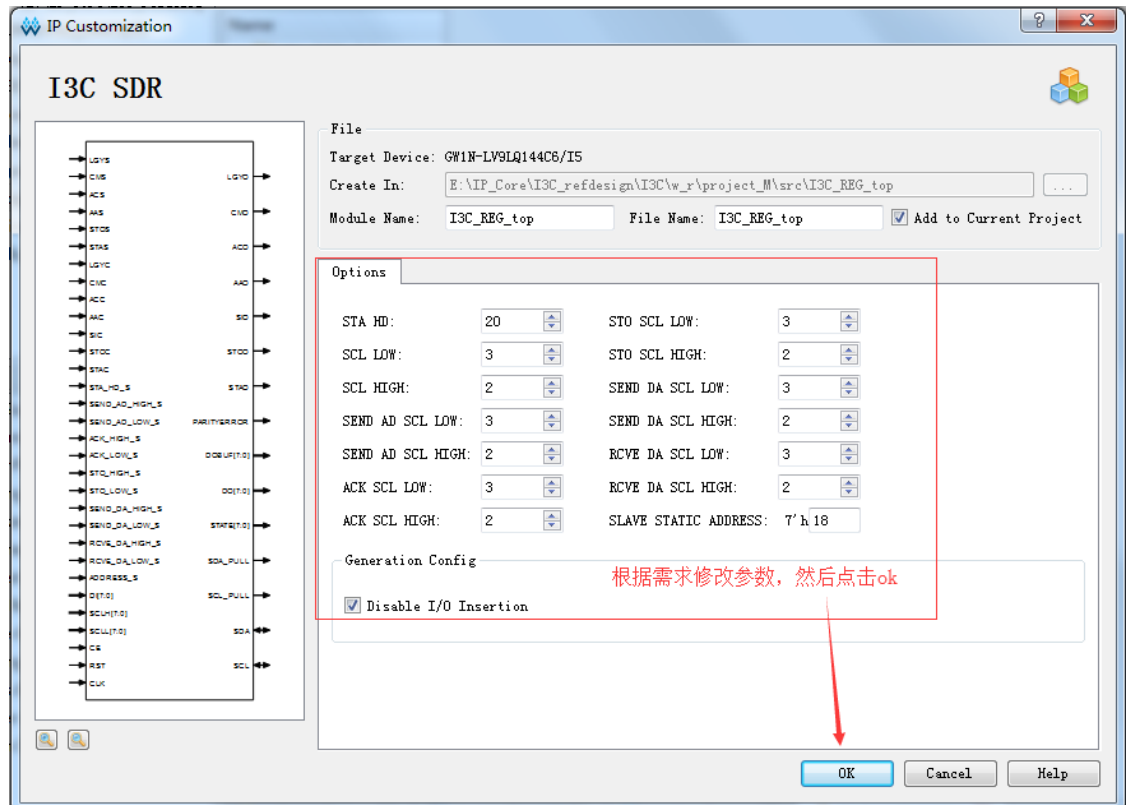
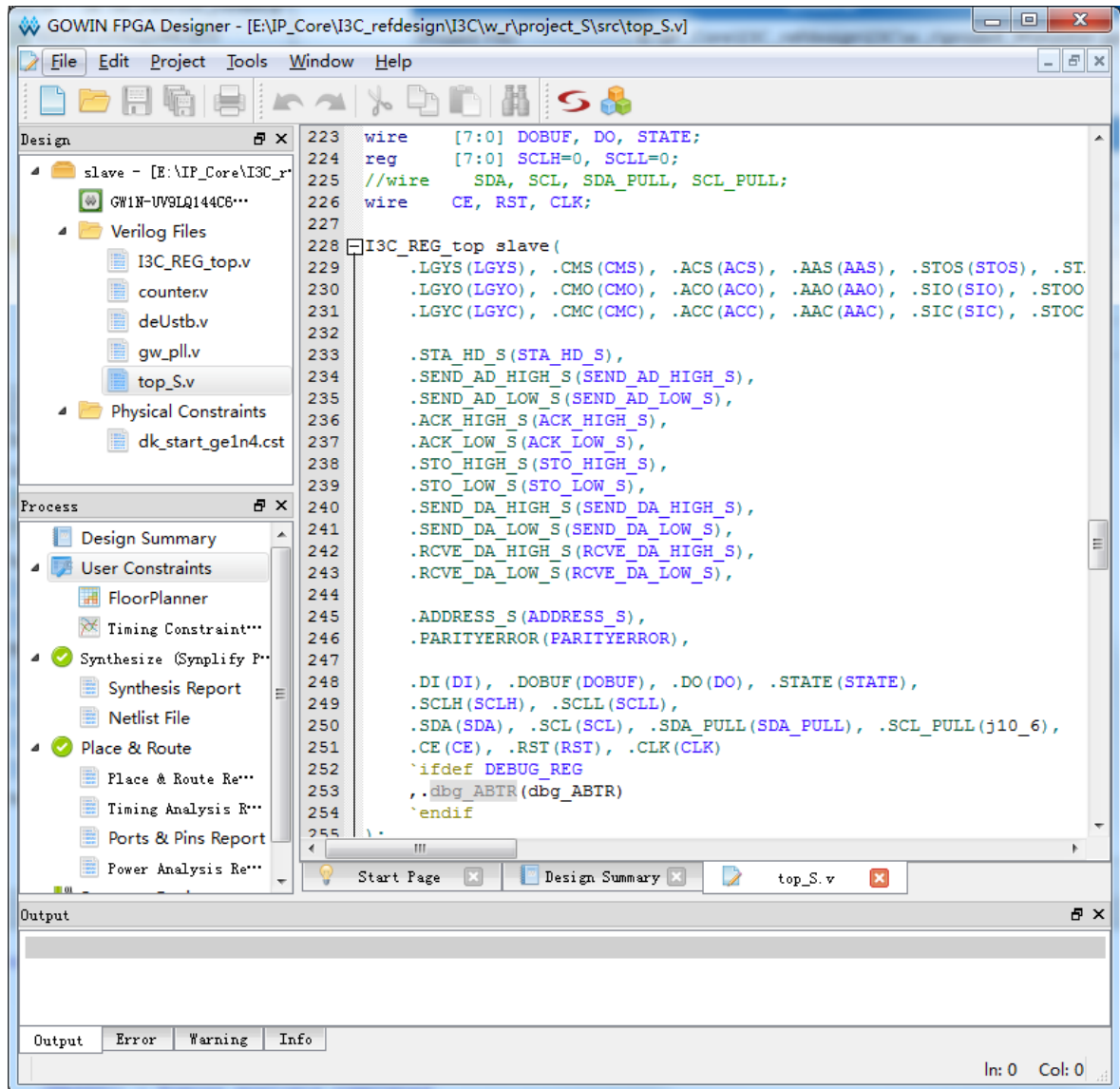


图 3-4 I3C SDR 模块配置界面



4. 生成 I3C SDR 模块后，向工程中添加 top.v（激励文件）、counter.v、deUstb.v 以及配置 PLL 模块。如图 3-5 以 slave 为例介绍了 I3C SDR 的 slave 模块配置。

图 3-5 slave 工程示意图



3.2 I3C SDR IP 的控制与使用

3.2.1 工程 module 介绍

module counter (cnto,clko,over,clki,ce): 计数分频器

module deUstb(out,in,clk): 按键消抖模块

module GW_PLL (clkout, clkin): PLL 例化模块, 可直接使用 IPCore Generator 产生。

3.2.2 Master 工程 Top Module 介绍

顶部到 115 行引出了开发板上所有可用的 IO 口，用户可根据实际需要修改为 input output inout。

- clk_ext 信号约束到了 PCB 晶振上；
- 119 行例化的 GW_PLL myPll，是 PLL，用于将时钟从 50M 将至 10M (midClk)；
- 127 行例化的 counter cnt1(lowOut,lowClk,lowOver,midClk,1'b1)，用于将 10M 时钟再分频至 10KHz，这样方便使用便携示波器抓取信号波形查看；
- 143,139 还例化了两个 counter，产生更低频率的时钟，用户可以用它做一些有趣的事情；
- 143-191 为一组 localparam 定义，方便判断 IP 的状态；
- 224 行例化了 I3CIP，I3C_REG_top master；
- 250-259 行例化了一组消抖模块，用于消除按键的抖动；
- 260-404 定义了一组变量和一个控制块，是控制 I3C IP 和核心代码，可以看到它很简单；
- 408-440 向 GPIO 上引出了一组观测信号，有条件的用户可以接到逻辑分析仪上观察，这些信号也是用户在实际工程中可用的信号。

270-401 介绍核心控制代码，278-295 复位逻辑，297 等待 SIO 中断，298 判断当前状态，299 如果进行写操作在 S_CM_WAIT_AD 状态则送地址 8'h30，如果进行读操作在 S_CM_WAIT_AD 状态则送地址 8'h31。

3.2.3 Slave 工程的 Top Module 介绍

多数代码与 Master 的一致，只有核心控制代码有差异，但结构也很相似。原因在于这个 IP 采用统一的设计风格，所以操作起来也具有很强的一致性。

Slave 的核心控制块是 270-352 行，294 行在 SIO 中断到来时判断状态，执行相应的操作。

3.2.4 约束文件介绍

9-114 行是约束开发板上提供的 GPIO，KEY，LED，CLK

需要注意的是如下几行：

- IO_PORT "j10_1" PULL_MODE=NONE;

- IO_PORT "j10_5" PULL_MODE=NONE;
- IO_PORT "j10_2" PULL_MODE=NONE;
- IO_PORT "j10_6" PULL_MODE=NONE;

用作 SDA, SDA_PULL, SCL, SCL_PULL 的 IO 要将 PULL_MODE 设置为 NONE。

3.2.5 工程综合与下载

I3C SDR master、slave 模块配置完成后，分别点击 Synthesize、Place&Route 按钮进行综合、布局布线、产生 bitstream 文件，然后分别将 master、slave 的 bit 文件下载到对应的开发板上。

