




Gowin EDID PROM IP 用户指南

IPUG753-2.0,2023-03-31

版权所有 © 2023 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2020/10/30	1.0	初始版本。
2023/03/31	2.0	<ul style="list-style-type: none">● 增加 Memory 读写接口；● 界面截图更新。

目录

目录	i
图目录.....	ii
表目录.....	iii
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语	2
1.4 技术支持与反馈.....	2
2 概述.....	3
2.1 概述.....	3
2.2 主要特征.....	3
2.3 资源利用.....	4
3 功能描述	5
3.1 系统框图.....	5
3.2 实现框图.....	5
3.3 端口列表.....	6
3.4 参数配置.....	6
3.5 EDID 简介	7
3.6 时序说明.....	8
4 界面配置	10
5 参考设计	13
6 文件交付	14
6.1 文档.....	14
6.2 设计源代码（加密）	14
6.3 参考设计.....	14

图目录

图 3-1 系统框图.....	5
图 3-2 实现框图.....	5
图 3-3 Gowin EDID PROM IP IO 端口示意图.....	6
图 3-4 Block0 结构说明	7
图 3-5 Block1 结构说明	8
图 3-6 I ² C 接口时序图	8
图 3-7 EDID I ² C 写操作时序.....	8
图 3-8 EDID I ² C 读操作接口时序.....	9
图 3-9 Memory 写操作接口时序	9
图 3-10 Memory 读操作接口时序	9
图 4-1 打开 IP Core Generator.....	10
图 4-2 打开 EDID PROM IP 核.....	11
图 4-3 EDID PROM IP 核接口示意图	11
图 4-4 基本信息配置界面	12
图 4-5 Options 选项卡	12

表目录

表 1-1 术语、缩略语	2
表 2-1 Gowin EDID PROM IP	3
表 2-2 占用资源.....	4
表 3-1 Gowin EDID PROM IP 的端口列表	6
表 3-2 Gowin EDID PROM IP 参数	6
表 6-1 文档列表.....	14
表 6-2 EDID PROM 设计源代码列表.....	14
表 6-3 Gowin EDID PROM RefDesign 文件夹内容列表	14

1 关于本手册

1.1 手册内容

Gowin EDID PROM IP 用户指南主要内容包括特征简介、配置调用、参考设计等,旨在帮助用户快速了解 Gowin EDID PROM IP 的特性及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档:

- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS821, GW1NS 系列 FPGA 产品数据手册](#)
- [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
- [DS881, GW1NSER 系列安全 FPGA 产品数据手册](#)
- [DS891, GW1NRF 系列蓝牙 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS961, GW2ANR 系列 FPGA 产品数据手册](#)
- [DS976, GW2AN-55 器件数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
DDC	Display Data Channel	显示器数据通道
DDWG	Digital Display Working Group	数字显示工作组
DVI	Digital Visual Interface	数字视频接口
EDID	Extended Display Identification Data	扩展显示器识别数据
FPGA	Field Programmable Gate Array	现场可编程门阵列
PROM	Programmable Read-only Memory	可编程只读存储器
VESA	Video Electronics Standards Association	视频电子标准协会

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 概述

Extended Display Identification Data 扩展显示器识别数据是 VESA 在制定 Display Data Channel 显示器数据通道通信协议时，制定的显示器识别数据的标准。EDID 存储在显示器中的 DDC 存储器中，电脑主机与显示器连接后，电脑主机通过 DDC 通道读取显示器 DDC 存储器中的 EDID。

Gowin 设计一款 EDID PROM IP，该 IP 为用户提供一个可配置 ROM，用于存储 EDID 信息，并提供 I²C 接口供电脑读取 EDID 信息。

表 2-1 Gowin EDID PROM IP

Gowin EDID PROM IP	
逻辑资源	请参见表 2-2。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis [®]
应用软件	Gowin Software (V1.9.7Beta 及以上)

注！

可登录[高云半导体网站](#)查看芯片支持信息。

2.2 主要特征

- 支持 I²C 总线接口
- 支持 256 bytes 存储容量
- 支持 ROM 或 RAM 存储

2.3 资源利用

通过 Verilog 语言实现 Gowin EDID PROM IP，因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。

以高云 GW1N-1 系列 FPGA 为例，Gowin EDID PROM IP 其资源利用情况如表 2-2 所示。

表 2-2 占用资源

器件系列	速度等级	器件名称	资源利用	备注
GW1N-1	-6	LUT	168	存储器 ROM 模式
		REG	73	
		BSRAM	1	

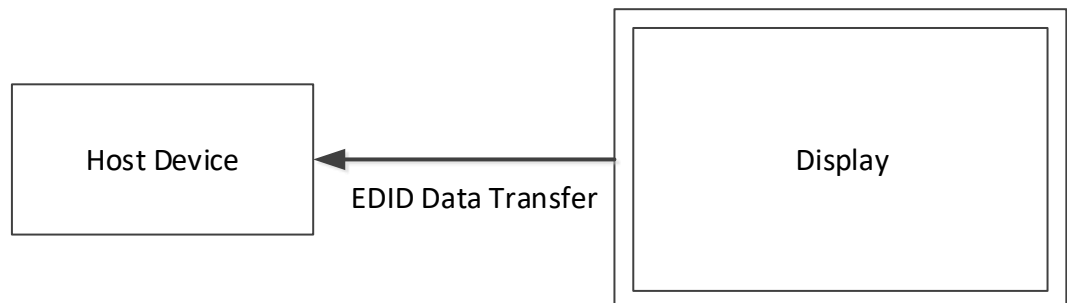
3 功能描述

3.1 系统框图

EDID 中包含了有关显示器及其性能的参数，如供应商信息、最大图像大小、颜色设置、厂商预设置、频率范围的限制以及显示器名和序列号的字符串。

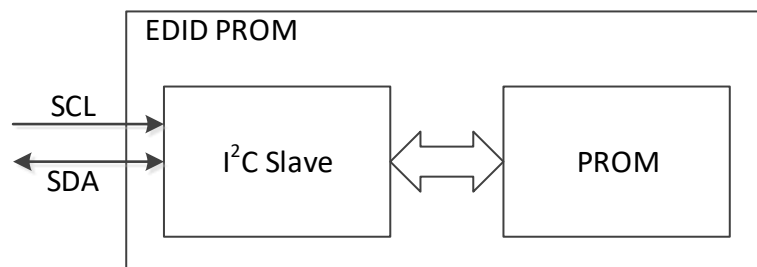
Host Device 通过读取 Display 中的 EDID 数据来获取 Display 的一些属性。简而言之，EDID 就是 Display 的一个铭牌，EDID 数据通常是由 DDC 通道来传输。

图 3-1 系统框图



3.2 实现框图

图 3-2 实现框图



如图 3-2 所示，EDID PROM IP 包括 I²C Slave 模块和 PROM 模块。

- I²C Slave 模块

实现从设备 I²C 接口功能，并将地址，命令和数据转换成 PROM 读写地

址，命令和数据。

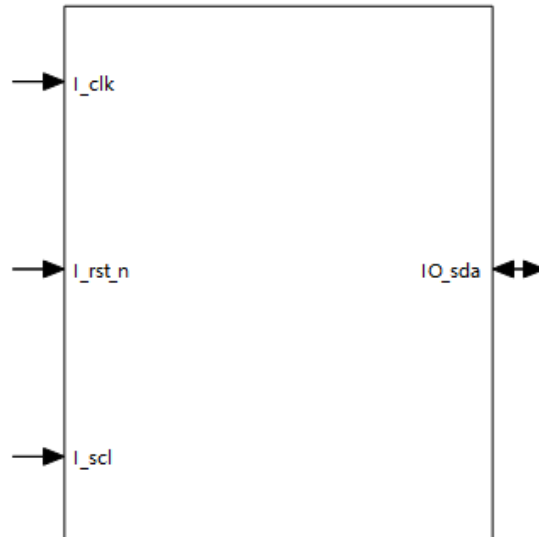
- PROM 模块

用于存储 256 bytes 的 EDID 信息。

3.3 端口列表

Gowin EDID PROM IP 的 IO 端口如图 3-3 所示。

图 3-3 Gowin EDID PROM IP IO 端口示意图



根据配置参数不同，端口会略有不同。Gowin EDID PROM IP 的 IO 端口详细描述如表 3-1 所示。

表 3-1 Gowin EDID PROM IP 的端口列表

序号	信号名称	方向	描述	备注
1	I_clk	I	系统时钟，5~200MHz。	所有信号输入输出方向均以 EDID PROM IP 为参考。
2	I_rst_n	I	复位信号，低有效。	
3	I_scl	I	DDC 通道 I ² C 时钟信号	
4	IO_sda	IO	DDC 通道 I ² C 数据信号	
5	I_mema_clk	I	Memory 读写时钟，RAM 模式有效。	
6	I_mema_rd	I	Memory 读使能，RAM 模式有效。	
7	I_mema_we	I	Memory 写使能，RAM 模式有效。	
8	I_mema_addr	I	Memory 地址，RAM 模式有效。	
9	I_mema_di	I	Memory 写数据，RAM 模式有效。	
10	O_mema_do	O	Memory 读数据，RAM 模式有效。	

3.4 参数配置

表 3-2 Gowin EDID PROM IP 参数

序号	参数名称	允许范围	默认值	描述
1	Memory Mode	ROM/RAM	ROM	存储器模式，ROM 只读，RAM 可读可写。
2	Memory Initialization File	-	-	存储器初始化文件

3.5 EDID 简介

一份 EDID 数据是由 128 个字节的基本数据块 (Block0) 和 128 个字节的拓展数据块 (Block 1) 组成, Block0 是必须要有的, 而 Block1 是可选的。每一个字节都代表 Display 的相关信息。详细描述参考 [VESA ENHANCED EXTENDED DISPLAY IDENTIFICATION DATA STANDARD](#)。

Block0 相关信息如图 3-4 所示。

图 3-4 Block0 结构说明

Address	Bytes	Description	Format
00h	8	Header: = (00 FF FF FF FF FF 00)h	See Section 3.3
08h	10	Vendor & Product Identification:	See Section 3.4
08h	2	ID Manufacturer Name	ISA 3-character ID Code
0Ah	2	ID Product Code	Vendor assigned code
0Ch	4	ID Serial Number	32-bit serial number
10h	1	Week of Manufacture	Week number or Model Year Flag
11h	1	Year of Manufacture or Model Year	Manufacture Year or Model Year
12h	2	EDID Structure Version & Revision:	See Section 3.5
12h	1	Version Number: = 01h	Binary
13h	1	Revision Number: = 04h	Binary
14h	5	Basic Display Parameters & Features:	See Section 3.6
14h	1	Video Input Definition	See Section 3.6.1
15h	1	Horizontal Screen Size or Aspect Ratio	Listed in cm. → Aspect Ratio --- Landscape
16h	1	Vertical Screen Size or Aspect Ratio	Listed in cm. → Aspect Ratio --- Portrait
17h	1	Display Transfer Characteristic (Gamma)	Binary --- Factory Default Value
18h	1	Feature Support	See Section 3.6.4
19h	10	Color Characteristics:	See Section 3.7
19h	1	Red/Green: Low Order Bits	Rx1 Rx0 Ry1 Ry0 Gx1 Gx0 Gy1 Gy0
1Ah	1	Blue/White: Low Order Bits	Bx1 Bx0 By1 By0 Wx1 Wx0 Wy1 Wy0
1Bh	1	Red-x: High Order Bits	Red-x Bits 9 → 2
1Ch	1	Red-y: High Order Bits	Red-y Bits 9 → 2
1Dh	1	Green-x: High Order Bits	Green-x Bits 9 → 2
1Eh	1	Green-y: High Order Bits	Green-y Bits 9 → 2
1Fh	1	Blue-x: High Order Bits	Blue-x Bits 9 → 2
20h	1	Blue-y: High Order Bits	Blue-y Bits 9 → 2
21h	1	White-x: High Order Bits	White-x Bits 9 → 2
22h	1	White-y: High Order Bits	White-y Bits 9 → 2
23h	3	Established Timings	See Section 3.8
23h	1	Established Timings I	
24h	1	Established Timings II	
25h	1	Manufacturer's Reserved Timings	
26h	16	Standard Timings: Identification 1 → 8	See Section 3.9
36h	72	18 Byte Data Blocks	See Section 3.10
36h	18	Preferred Timing Mode	
48h	18	Detailed Timing # 2 or Display Descriptor	
5Ah	18	Detailed Timing # 3 or Display Descriptor	
6Ch	18	Detailed Timing # 4 or Display Descriptor	
7Eh	1	Extension Block Count N If Block Maps are used then 00h ≤ N ≤ FEh and FFh is invalid. If Block Maps are not used then 00h ≤ N ≤ FFh.	Number of (optional) 128-byte EDID EXTENSION blocks to follow – if Block Maps are used then 254 is the maximum value of 'N'. If Block Maps are not used then 255 is the maximum value of 'N'.
7Fh	1	Checksum C 00h ≤ C ≤ FFh	The 1-byte sum of all 128 bytes in this EDID block shall equal zero

Block1 这一部分属于 CEA-861 标准的内容, 其数据结构如图 3-5 所示。

图 3-5 Block1 结构说明

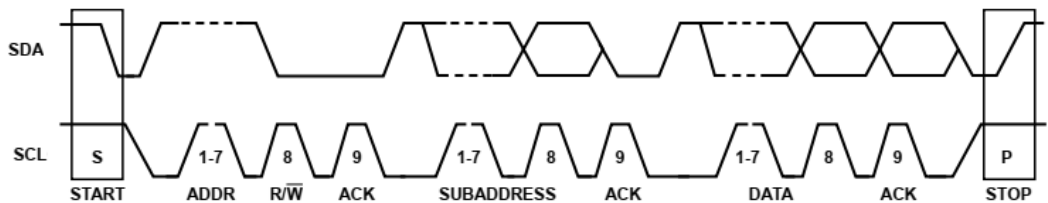
Byte #	Value	Description	Format
0	0x02	Tag (0x02)	
1	0x03	Revision Number	
2		Byte number offset <i>d</i> where 18-byte descriptors begin (typically Detailed Timing Descriptors)	<i>d</i> = offset for the byte following the reserved data block. If no data is provided in the reserved data block, then <i>d</i> =4. If <i>d</i> =0, then no detailed timing descriptors are provided and no data is provided in the reserved data block collection.
3		Total number of Detailed Timing Descriptors describing Native Video Formats in entire E-EDID structure. Also, indication of underscan support, audio support, and support of YC _B C _R is included	bit 7 (underscan) = 1 if Sink underscans IT Video Formats by default. bit 6 (audio) = 1 if Sink supports Basic Audio. bit 5 (YC _B C _R 4:4:4) = 1 if Sink supports YC _B C _R 4:4:4 in addition to RGB. bit 4 (YC _B C _R 4:2:2) = 1 if Sink supports YC _B C _R 4:2:2 in addition to RGB. lower 4 bits = total number of native DTDs (see Section 2.2 for definition of "Native Video Format").
4		Start of data block collection	This section is used for CEA Data Block Collection (see Table 42).
<i>d</i> -1		End of data block collection.	
<i>d</i>		Start of 18-byte detailed timing descriptors	See Section 3.10.2 of VESA E-EDID Standard [9]
<i>d</i> +(18* <i>n</i>)-1		End of 18-byte detailed timing descriptors where <i>n</i> is the number of descriptors included	
<i>d</i> +(18* <i>n</i>)	0x00	Beginning of Padding	
126	0x00	End of Padding	
127		Checksum	This byte should be programmed such that a one-byte checksum (add all bytes together) of the entire 128 byte block equals 0x00.

3.6 时序说明

本节介绍 Gowin EDID PROM IP 的时序情况。

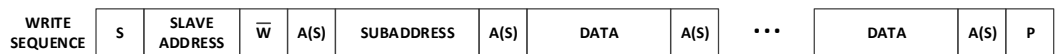
I²C 接口时序图如图 3-6 所示。

图 3-6 I²C 接口时序图



EDID I²C 写操作时序如图 3-7 所示。

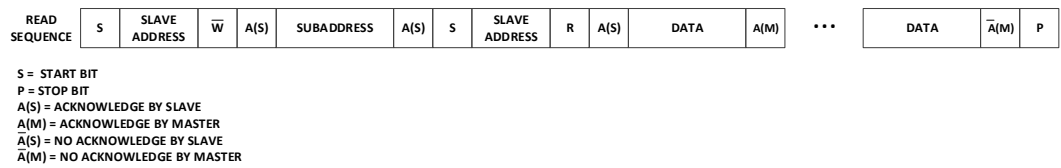
图 3-7 EDID I²C 写操作时序



S = START BIT
 P = STOP BIT
 A(S) = ACKNOWLEDGE BY SLAVE
 A(M) = ACKNOWLEDGE BY MASTER
 $\bar{A}(S)$ = NO ACKNOWLEDGE BY SLAVE
 $\bar{A}(M)$ = NO ACKNOWLEDGE BY MASTER

EDID I²C 读操作时序如图 3-8 所示。

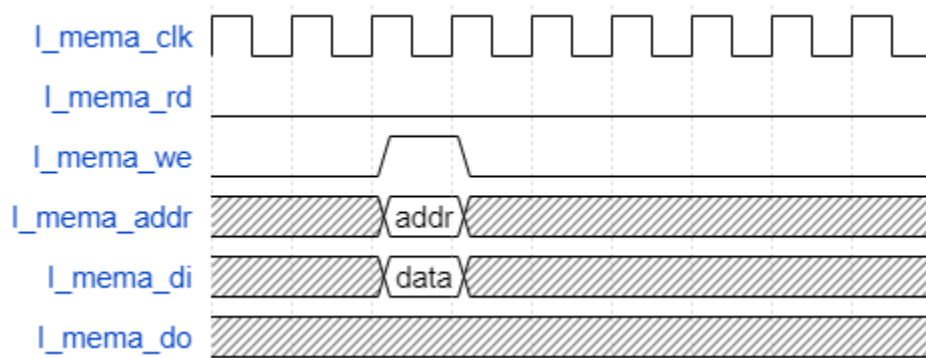
图 3-8 EDID I²C 读操作接口时序



其中 I²C Slave Address 为 7 bits 二进制数值“1010000”，对应 16 进制 0x50。

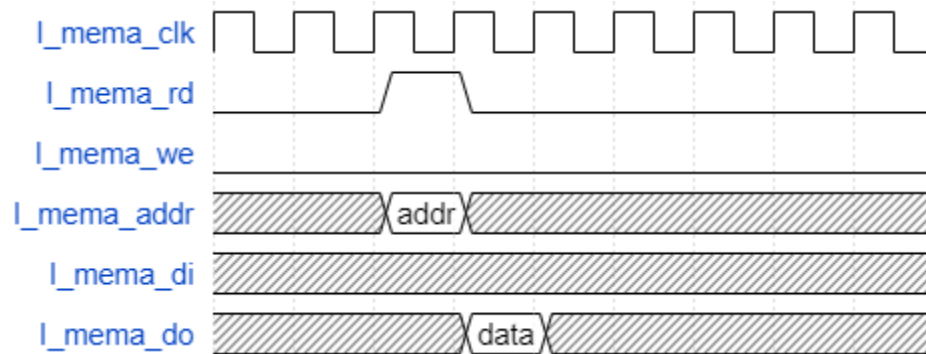
Memory 写操作时序如图 3-9 所示。

图 3-9 Memory 写操作接口时序



Memory 读操作时序如图 3-10 所示。

图 3-10 Memory 读操作接口时序



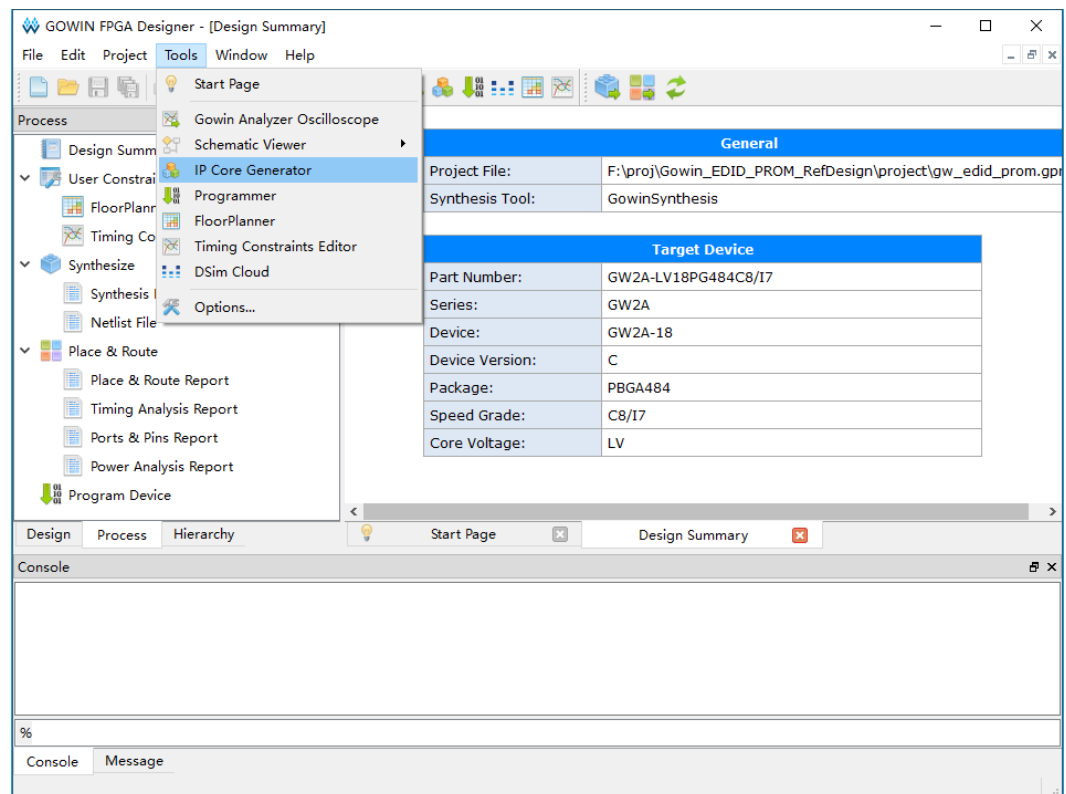
4 界面配置

用户可以使用 IDE 中的 IP 内核生成器工具调用和配置高云 Gowin EDID PROM IP。

1. 打开 IP Core Generator

用户建立工程后，单击左上角“Tools”选项卡，下拉单击“IP Core Generator”选项，即可打开 Gowin IP Core Generator，如图 4-1 所示。

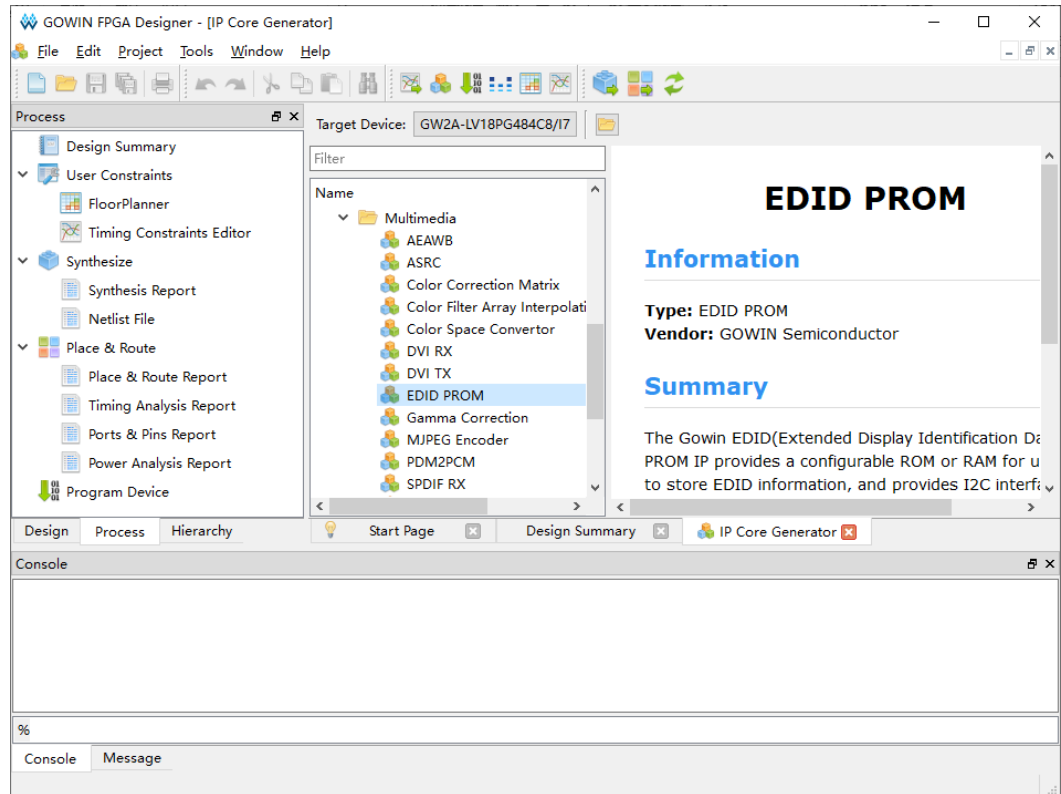
图 4-1 打开 IP Core Generator



2. 打开 EDID PROM IP 核

单击“Multimedia”选项，双击“EDID PROM”，打开 EDID PROM IP 核的配置界面，如图 4-2 所示。

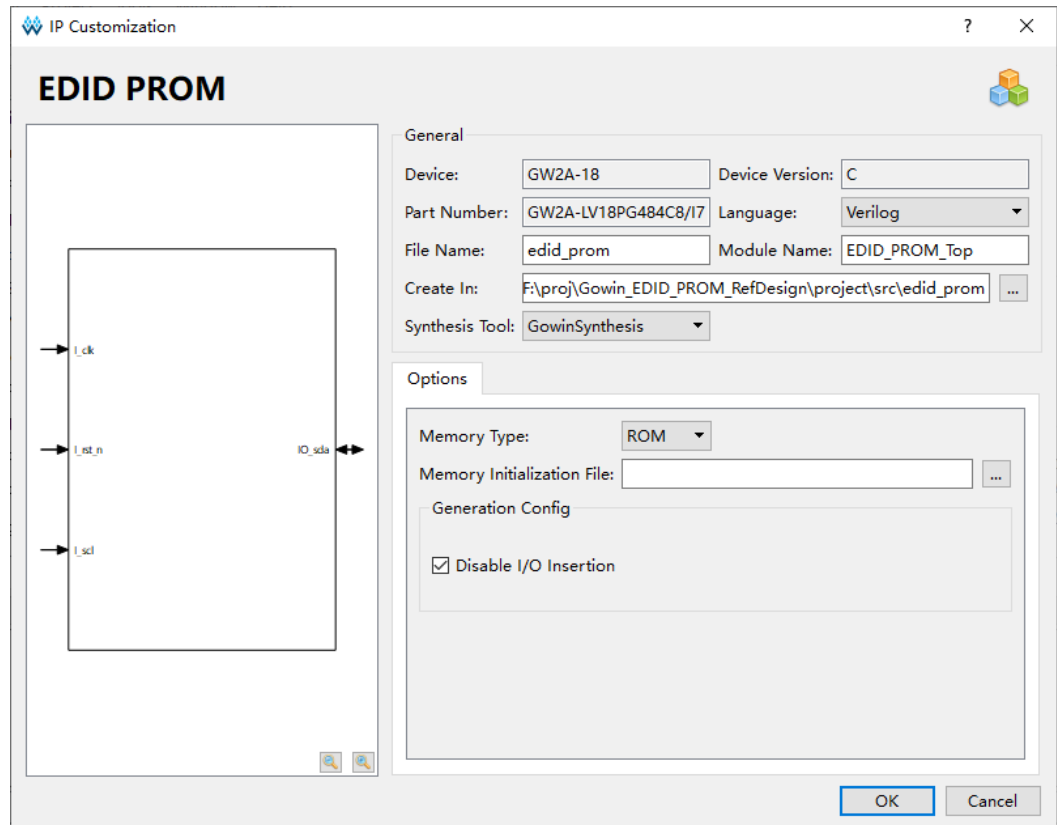
图 4-2 打开 EDID PROM IP 核



3. EDID PROM IP 核端口界面

配置界面左侧为 EDID PROM IP 核的接口示意图，如图 4-3 所示。

图 4-3 EDID PROM IP 核接口示意图



4. 配置基本信息

在配置界面的上部分是工程基本信息配置界面，本文芯片型号选择“GW2A-18C”为例，封装选择“PBGA484”。“Module Name”选项后面是工程产生后顶层文件的名称，默认为“EDID_PROM_Top”，用户可自行修改。“File Name”是IP核文件产生的文件夹，存放EDID PROM IP核所需文件，默认为“edid_prom”，用户可自行修改路径。“Create In”选项是IP核文件夹产生路径，默认为“\工程路径\src\edid_prom”，用户可自行修改路径。

图 4-4 基本信息配置界面

The screenshot shows the 'General' configuration window with the following fields:

- Device: GW2A-18
- Device Version: C
- Part Number: GW2A-LV18PG484C8/I7
- Language: Verilog
- File Name: edid_prom
- Module Name: EDID_PROM_Top
- Create In: F:\proj\Gowin_EDID_PROM_RefDesign\project\src\edid_prom
- Synthesis Tool: GowinSynthesis

5. Options 选项卡

在 Options 选项卡中，用户需要配置存储器类型以及初始化文件等参数信息。

图 4-5 Options 选项卡

The screenshot shows the 'Options' configuration window with the following settings:

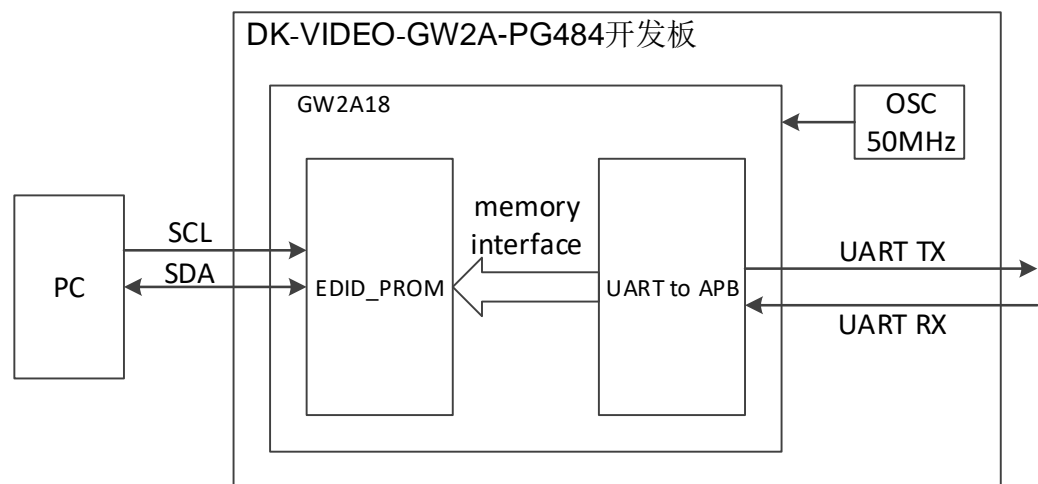
- Memory Type: ROM
- Memory Initialization File: (empty field with browse button)
- Generation Config:
 - Disable I/O Insertion

5 参考设计

本节主要介绍 Gowin EDID PROM IP 的参考设计实例的搭建及使用方法。详细信息请参见高云半导体官网给出的 EDID PROM 相关参考设计。

本参考设计以 DK-VIDEO-GW2A-PG484 开发板为例，参考设计基本结构框图如图 5-1 所示。DK-VIDEO-GW2A-PG484 开发板相关信息参考[官方网站](#)。

图 5-1 参考设计基本结构框图



在参考设计中，其操作步骤如下所示：

1. 50MHz 参考时钟作为 EDID 的 I²C 的采样时钟。
2. 通过 HDMI RX(J3)接口利用 HDMI 线缆与电脑 PC 相连，电脑检测到连接到显示设备且通过 DDC 通道读取 EDID 信息后，会识别出一个 1280x720 推荐分辨率的显示设备。
3. 利用串口调试工具通过 UART 写入新的 EDID 信息，拔插 HDMI 线缆后，电脑会识别到新的 EDID 信息。

当参考设计应用于板级测试时，用户可在 PC 屏幕分辨率信息中看到显示设备，也可配合在线逻辑分析仪或示波器对数据进行观测。

在参考设计提供的仿真工程中，模拟 I²C 读取 EDID 信息，tb 是仿真工程顶层模块。

6 文件交付

Gowin EDID PROM IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

6.1 文档

文件夹主要包含用户指南 PDF 文档。

表 6-1 文档列表

名称	描述
IPUG753, Gowin EDID PROM IP 用户指南	高云 EDID PROM IP 用户手册，即本手册。

6.2 设计源代码（加密）

加密代码文件夹包含 Gowin EDID PROM IP 的 RTL 加密代码，供 GUI 使用，以配合高云半导体云源®软件产生用户所需的 IP 核。

表 6-2 EDID PROM 设计源代码列表

名称	描述
edid_prom.v	IP 核顶层文件，给用户接口信息，加密。

6.3 参考设计

Gowin EDID PROM IP RefDesign 文件夹主要包含 Gowin EDID PROM IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-3 Gowin EDID PROM RefDesign 文件夹内容列表

名称	描述
test_top.v	参考设计的顶层 module
gw_edid_prom.cst	工程物理约束文件
gw_edid_prom.sdc	工程时序约束文件
edid_800x600.mi	EDID Memory 初始化文件示例一
edid_1024x768.mi	EDID Memory 初始化文件示例二
edid_1280x720.mi	EDID Memory 初始化文件示例三

名称	描述
edid_prom	EDID PROM IP 工程文件夹
edid_prom.v	生成 EDID PROM IP 顶层文件，加密。
edid_prom.vo	生成 EDID PROM IP 网表文件
uart_apb_mst	UART 转 APB 接口工程文件夹
uart_apb_mst_top.v	UART 转 APB 接口顶层文件
uart_apb_mst_wrapper.vo	UART 转 APB 接口子文件，加密。

