

# Gowin PCI to Ethernet IP **用户指南**

IPUG754-1.0, 10/15/2020

#### 版权所有© 2020 广东高云半导体科技股份有限公司

未经本公司书面许可,任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部,并不得以任何形式传播。

#### 免责声明

本文档并未授予任何知识产权的许可,并未以明示或暗示,或以禁止发言或其它方式授予任 何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外,高云半导体 概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何 明示或暗示的担保,包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知 识产权的侵权责任等,均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准 确性和完整性不承担任何法律或非法律责任,高云半导体保留修改文档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

## 版本信息

日期	版本	说明
2020/10/15	1.0	初始版本。

# 目录

目	求…		
图	目录	i	
表	目录	ii	l
1	关于	本手册1	
	1.1	目的1	
	1.2	相关文档1	
	1.3	术语、缩略语 1	
	1.4	技术支持与反馈2	
2	概述		
	2.1	主要功能	
	2.2	工作频率	
	2.3	资源利用	
-	TL AN		
3	切胞	猫坯5	)
3	<b></b> り胞 3.1	<b>猫还5</b> 系统框图	
3	功配 3.1 3.2	<b>抽还5</b> 系统框图	
3	功能 3.1 3.2 3.3	<b>抽还</b>	
3	功配 3.1 3.2 3.3 3.4	<b>抽还</b>	
3	功能 3.1 3.2 3.3 3.4 接口	<b>抽还</b>	
3	功能 3.1 3.2 3.3 3.4 接口 4.1	<ul> <li>描还</li></ul>	
3	功能 3.1 3.2 3.3 3.4 接口 4.1 4.2	<ul> <li>描还</li></ul>	
3 4 5	JIE 3.1 3.2 3.3 3.4 4.1 4.2 界	<ul> <li>描还</li></ul>	
3 4 5 6	JU 3.1 3.2 3.3 3.4 4.1 4.2 面件	<ul> <li><b>抽还</b></li> <li>系统框图</li> <li>功能框图说明</li> <li>寄存器信息</li> <li>寄存器信息</li> <li>存</li> <li>操作步骤</li> <li>7</li> <li><b>列表</b></li> <li>9</li> <li>PIN 引脚图</li> <li>9</li> <li>引脚说明</li> <li>10</li> <li>配置</li> <li>14</li> <li>交付</li> <li>17</li> </ul>	
3 4 5 6	JIE 3.1 3.2 3.3 3.4 4.1 4.2 五件 6.1	<ul> <li>猫还</li></ul>	
3 4 5 6	功 3.1 3.2 3.3 3.4 4.1 4.2 面件 6.1 6.2	猫还       5         系统框图       5         功能框图说明       5         寄存器信息       6         操作步骤       6         列表       9         列表       9         이成明       10         配置       14         交付       17         文档       17         设计源代码       17	

IPUG754-1.0

目录

# 图目录

图 3-1 PCI to Ethernet 系统框图	5
图 3-2 PCI to Ethernet 功能框图	6
图 4-1 PCI to Ethernet 引脚图	9
图 5-1 打开 IP Core Generator	14
图 5-2 打开 PCI to Ethernet IP 核	15
图 5-3 PCI to Ethernet IP 核接口示意图	15
图 5-4 Help 文档	16
图 5-5 基本信息配置界面	16

## 表目录

表 1-1 术语释义	1
表 2-1 Gowin PCI to Ethernet IP 概述	3
表 2-2 资源使用情况	4
表 3-1 寄存器信息	6
表 4-1 引脚说明	10
表 6-1 文档列表	17
表 6-2 PCI to Ethernet 设计源代码列表	17

# **1** 关于本手册

## 1.1 目的

Gowin PCI to Ethernet IP 主要内容包括特征简介、功能描述、接口列表 以及参数配置,旨在帮助用户快速了解 Gowin PCI to Ethernet IP 的产品特 性及使用方法。

## 1.2 相关文档

通过登录高云半导体网站 <u>www.gowinsemi.com.cn</u>可以下载、查看以下相关文档:

- <u>DS100</u>, GW1N 系列 FPGA 产品数据手册
- <u>DS102</u>, GW2A 系列 FPGA 产品数据手册
- <u>DS117</u>, GW1NR 系列 FPGA 产品数据手册
- <u>DS226</u>, GW2AR 系列 FPGA 产品数据手册
- <u>DS821</u>, GW1NS 系列 FPGA 产品数据手册
- <u>DS841</u>, GW1NZ 系列 FPGA 产品数据手册
- <u>DS861</u>, GW1NSR 系列 FPGA 产品数据手册
- <u>DS871</u>, GW1NSE 系列安全 FPGA 产品数据手册
- <u>DS881</u>, GW1NSER 系列安全 FPGA 产品数据手册
- <u>DS891</u>, GW1NRF 系列蓝牙 FPGA 产品数据手册
- <u>DS961</u>, GW2ANR 系列 FPGA 产品数据手册
- <u>DS971</u>, GW2AN 系列 FPGA 产品数据手册
- <u>SUG100</u>, Gowin 云源软件用户指南

## 1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

#### 表 1-1 术语释义

术语、缩略语	全称	含义
IP	Intellectual Property	知识产权

术语、缩略语	全称	含义
LUT	Look-up Table	查找表
PCI	Peripheral Component Interconnect	外设器件互连标准
Ethernet	Ethernet	以太网

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持,在使用过程中如有任何疑问或建议,可直接与公司联系:

网站: <u>www.gowinsemi.com.cn</u>

E-mail: <u>support@gowinsemi.com</u>

Tel: +86 755 8262 0391



Gowin PCI to Ethernet IP使得用户可以通过PCI总线来对Gowin Triple Speed Ethernet IP进行配置,实现了Gowin PCI Target IP和Gowin Triple Speed Ethernet IP之间的通信。

表 2-1 Gowin PCI to Ethernet IP 概述

Gowin PCI to Ethernet IP			
支持设备	All devices(其中不包含 GW1N-1/GW1N-1S/GW1NZ-1 等 1K 资源 器件)		
逻辑资源	见表 2-2		
交付文件			
设计文件	Verilog (加密)		
参考设计	Verilog		
测试平台	Verilog		
测试设计流程			
综合软件	GowinSynthesis		
应用软件	Gowin Software		

## 2.1 主要功能

Gowin PCI to Ethernet IP 主要功能是支持一个 PCI 设备与一个 Ethernet 设备进行通信, Ethernet 器件作为后端设备, 挂载在 PCI 的一个基区上。

## 2.2 工作频率

Gowin PCI Target IP 工作时钟频率为 33MHz, Gowin Triple Speed Ethernet Controller IP 工作时钟频率为 125MHz,所以两个 IP 工作时钟为异步时钟,PCI to Ethernet IP 会进行跨时钟域的处理。

## 2.3 资源利用

Gowin PCI to Ethernet IP 采用 Verilog 语言来进行设计,表 2-2 给出了 基于 GW2A55 器件的资源利用概述,关于其它器件的资源利用请参阅相关 的后期发布信息。

### 表 2-2 资源使用情况

LUTs	REGs	Block Rams	Device Series	Speed Level
921	668	4	GW2A-55	-8



## 3.1 系统框图

如图 3-1 所示, PCI to Ethernet 介于 PCI Target 的 Local 端接口与 Ethernet 前端接口之间,实现 PCI 到 Ethernet 的接口转换,进而实现通信。





## 3.2 功能框图说明

Gowin PCI to Ethernet IP 由五个模块构成,如图 3-2 所示:

- 发送缓存模块功能为缓存由 PCI 发送的数据;发送缓存的可以容纳一个 最大长度的以太网帧,即可容纳一个长度为 1518 字节的以太网帧;
- 发送接口转换模块功能为将 PCI 数据格式,转换为 Ethernet IP 的 Tx MAC 接口所需要的数据格式,并生成相关 Tx MAC 接口的控制信号;
- 接收缓存模块功能为缓存由 Ethernet 发送的数据;接收缓存可以容纳一个最大长度的以太网帧,即可容纳一个长度为 1518 字节的以太网帧;
- 接收接口转换模块功能为将 Ethernet IP 的 Rx MAC 接口的数据格式,转 换为 PCI 所需的数据格式,并生成相关 PCI Local 接口的控制信号;

● MIIM 接口转换模块功能实现 PCI Local 接口和 Ethernet IP 的 MIIM 接口 的相互转换,由于数据量较小,所以不需要缓存。

图 3-2 PCI to Ethernet 功能框图



## 3.3 寄存器信息

如表 3-1 所示,为 PCI to Ethernet 的寄存器组。由于寄存器的最大地址为 0x1014,所以 PCI Target IP 的基地址寄存器至少要设置为 128KB。如表 所示,为各个寄存器地址映射的描述

表 3-1 寄存器信息

偏移/范围	寄存器名称	访问限制	功能描述
0x0000-0x0fff	MIIM Configure	无	MIIM 配置寄存器。 访问该寄存器时,tg_addr 的部分地址,会映射为以太 网 MIIM 接口中的 phyad 和 regad,方式如下: 11:7 => phyad (默认 0x0) 6:2 => regad (默认 0x0) 向该段地址发起读写数据 请求时,数据映射方式如 下: 如果是写传输,PCI 发送的 数据会映射在 MIIM 接口中 的 miim_wrdata[15:0]; 如果是读传输,PCI 会读取 MIIM 接口中的 miim_rddata[15:0]上的数 据。
0x1000	Speed Configure	只写	以太网速率及双工配置寄 存器。通过写入数据,可以 配置以太网的工作速率

偏移/范围	寄存器名称	访问限制	功能描述
			(10M/100M/1000M)和
			双工模式(半双工或全双
			工)。
			0 => speedis1000(默认
			0x0)
			1 => speedis10(默认
			0x0)
			上述两位[1:0],有以下几种
			组合情况:
			00 =>100M
			01 = >1000 M
			2 => duplex_status
			该位为0时表示全双丁.
			为1时表示半双工。
0x1004	Tx Frame Length	无	发送帧长度寄存器。
	5	70	在 PCI 向以太网发送数据
			之前,要先向该寄存器写入
			将要发送的以太网帧的总
			字节数,之后可以向发送缓
			存寄存器中发送以太网数
			据。
0x1008	Tx State	只读	发送状态寄存器。
			通过读取该寄存器中的数
			据,可以得知以太网数据的
			发送情况。
			读数据为0时表示以太网
			数据未发送完成
			读数据为1时表示以太网
			数据已发送完成
0x100c	Tx Data	只写	发送数据寄存器。
			当 PCI 向该寄存器发送数
			据时,数据会进入发送缓存
			模块,等到一帧数据全部发
			送完成,会生成 Tx MAC
			接口时序,完成数据的传
0.4040	Du Franci d'		揃。
0x1010	Rx Frame Length	只读	接收帧长度寄存器。
			PCI 往接收以太网数据之
			<b>削</b> , 需要 医 取 方 的 不 的 的 的 的 的 的 的
			<u> </u>
			步行中的以太网顿的子节 新 胡提志取到的新提 可
			致, സ / / / / / / / / / / / / / / / / / /
			以伏止 FUI 而安进仃 採 佐 的 か 粉
0x1014	Ry Data	口法	1F 时 (八) 奴。 按 齿 粉 垠 安 方 명
081014	IN Dala	只误	按 收 叙 掂 句 仔 奋。 当 <b>□</b> C I □ 法 齿 些 → 上 占 止
			コ <b>Гし</b> 以 以 的 ル 氏 切 円 氏 安 友 界 时 伊 可 可 法 面 拉 b
			可行 前时, 使 可 以 误 収 按 收 婬 左 由 的 以 大 网 粉 捉
			次行了III以入[m]双顶。

## 3.4 操作步骤

用户首先要确定 Ethernet 是挂载在 PCI 的哪一基区,需要注意的是, PCI Target 的 tg\_bar\_hit 信号可以是 1 至 6 位宽,而 PCI to Ethernet 的 tg\_bar\_hit 信号是 1 位宽,所以使用时需要将 PCI Target 的 tg\_bar\_hit 中的 某一位连接在 PCI to Ethernet 的 tg\_bar\_hit 上,这样可以满足 PCI Target 对不同基区的操作。

Gowin PCI to Ethernet IP 实际操作流程如下所述:

- 1. 配置 Speed Configure,确定以太网的工作速率与双工模式;
- 2. 配置 MIIM Configure,确定 PHY 芯片的属性与工作模式;
- 3. 发送接收数据。
  - 如果要发送数据,要先向 Tx Frame Length 寄存器中写入一个以太 网帧的长度(以字节为单位),接着可以向 Tx Data 中发送数据。
  - 如果要接收数据,要先从 **Rx** Frame Length 寄存器中读取一个以太 网帧的长度(以字节为单位),接着可以从 **Rx** Data 中读取数据。

关于 Gowin PCI Target IP 与 Gowin Triple Speed Ethernet IP 的使用指 南、相关时序等信息,可参考 IPUG904, Gowin PCI Target IP 用户指南和 IPUG538, Gowin Triple Speed Ethernet IP 用户指南。



## 4.1 PIN 引脚图



## 4.2 引脚说明

表 4-1 引脚说明

引脚	方向	描述	备注
时钟和复位	所有信号方向皆以 PCI		
pci_clk	输入	PCI 输入时钟。	to Ethernet IP 为参考
pci_reset_l	输入	异步复位信号,低电平有 效。	尽。
gtx_clk	输入	125M 时钟输入,当 Ethernet IP 使用 RGMII 或 GMII 接口时,需输入 125MHz 时钟。	
PCI Local 接口			
tg_addr[31:0]	输入	PCI Target 的地址信号。	
tg_data_out[31:0]	输入	PCI Target 写操作时的数 据输出信号。	
tg_data_in[31:0]	输出	PCI Target 读操作时的数 据输入信号。	
tg_cbe_l[3:0]	输入	PCI Target 字节使能信号, 低电平有效。	
tg_ready_l	输出	该信号有效时,代表 PCI to Ethernet 做好了接收或发送数据的准备,低电平有效。	
tg_write_I	输入	PCI Target 写传输指示信 号,低电平有效。	
tg_read_l	输入	PCI Target 读传输指示信 号,低电平有效。	
tg_stop_l	输出	数据传输停止信号,低电平 有效。	
tg_abort_I	输出	数据传输放弃信号,低电平 有效。	
tg_cmd_o[3:0]	输入	PCI Target 传输命令信号。	
tg_bar_hit	输入	单比特基区选择信号。该信 号来自 PCI Target 中 tg_bar_hit[5:0]信号中的某 一位,用户可自定义的选 择,可以让 Ethernet IP 挂 载在所需要的基区上。	
tg_access	输入	该信号有效时,表示 PCI Target 正在对 Local 接口进 行访问。	
tg_value	输入	PCI Target 在进行写传输	

引脚	方向	描述	备注
		时,该信号有效,表示 tg_data_out[31:0]上的数 据有效;进行读传输时,该 信号有效表明 tg_data_in[31:0]上的数据 有效。	
Ethernet IP 接口			
speedis1000	输出	以太网速率选择信号,当 Ethernet IP 工作在 RGMII 或 GMII/MII 模式时,配置 IP 工作在 1000M 速率或 10M/100M 速率: 1:1000M 0:10M/100M	
speedis10	输出	以太网速率选择信号,当 IP 工作在 RGMII 模式且 speedis1000 为 0 时,配 置 IP 工作在 10M 速率 或 100M 速 率: 1:10M 0:100M <b>注!</b> 当 speedis1000 为 1 时, 此配置管脚被忽略	
duplex_status	输出	以太网双工模式配置信号, 当 IP 工作在 RGMII、MII 或 GMII/MII 模式时,配置 IP 工作双工模式: 1:半双工 0:全双工	
rx_mac_clk	输入	用户侧接收时钟	
rx_mac_valid	输入	用户侧接收使能	
rx_mac_data	输入	用户侧接收数据	
rx_mac_last	输入	用户侧接收最后字节指示	
rx_mac_error	输入	用户侧接收错误帧指示	
rx_pause_req	输入	接收 pause 帧指示信号	
rx_pause_val	输入	接收 pause 帧 parameter 字段,代表本方 需要暂停时间	
rx_statistics_valid	输入	用户侧接收统计有效指示	
rx_statistics_vector	输入	用户侧接收统计信息	
tx_mac_clk	输出	用户侧发送时钟	
tx_mac_valid	输出	用户侧发送使能	

引脚	方向	描述	备注
tx_mac_data	输出	用户侧发送数据	
tx_mac_last	输出	用户侧发送最后字节指示	
tx_mac_error	输出	用户侧发送错误帧指示	
tx_mac_ready	输出	用户侧发送握手信号,为 1 表示 tx_mac_data 被接 收	
tx_collision	输入	用户侧发送线路冲突指示 信号,为 1 表示此次发送 出现线路 冲突,用户需立 刻结束此次发送。此信号仅 在半双工时有效	
tx_retransmit	输入	用户侧发送重发指示信号, 此信号与 tx_collision 同 时出现,为 1 表示需要重 发此帧。此信号仅在半双工 时有效	
rx_fcs_fwd_ena	输出	接收 FCS Forward 功能: 1: 使能接收 FCS Forward 功能 0: 禁止接收 FCS Forward 功能	
rx_jumbo_ena	输出	接收 Jumbo 功能: 1:使能接收 Jumbo 功能 0:禁止接收 Jumbo 功能	
tx_pause_req	输出	发送 pause 帧使能信号	
tx_pause_val	输出	发送 pause 帧 parameter 字段,代表要求 对方暂停时间	
tx_pause_source_addr	输出	发送 pause 帧源地址	
tx_ifg_delay_ena	输出	发送最小 IFG 配置使能: 1:使能最小 IFG 配置 0:禁止最小 IFG 配置,默 认最小 IFG 为 12 字节	
tx_ifg_delay	输出	发送最小 IFG: 当 tx_ifg_delay_ena 为 1 时, IP 发送最小 IFG 由 tx_ifg_delay 决定; 当 tx_ifg_delay 小于 8 时,最小 IFG 为 8; 当 tx_ifg_delay 大于等于 8 时,最小 IFG 为用户设 置值; 当 tx ifg delay ena 为 0	

引脚	方向	描述	备注
		时,此设置无效。	
tx_fcs_fwd_ena	输出	发送 FCS Forward 功能: 1: 使能发送 FCS Forward 功能 0: 禁止发送 FCS Forward 功能	
tx_statistics_valid	输出	用户侧发送统计有效指示	
tx_statistics_vector	输出	用户侧发送统计信息	
Clk	输入	Management 模块时钟输入	
miim_phyad	输出	PHY 地址	
miim_regad	输出	寄存器地址	
miim_wrdata	输出	写数据	
miim_wren	输出	写使能	
miim_rden	输出	读使能	
miim_rddata	输入	读数据	
miim_rddata_valid	输入	读数据有效	
miim_busy	输入	MIIM 接口状态指示: 1: 正在读/写 0: 空闲	



用户可以使用 IDE 中的 IP 内核生成器工具调用和配置高云 PCI to Ethernet IP。

## 1. 打开 IP Core Generator

用户建立工程后,单击左上角"Tools"选项卡,下拉单击"IP Core Generator"选项,即可打开 Gowin IP Core Generator,如图 5-1 所示。

图 5-1 打开 IP Core Generator

🐳 GOWIN FPGA Designer - [Design Summary]				
File Edit Project Tools Window Help				_ 8 ×
📄 🗁 拱 🎼 💡 Start Page	× 1			
Design Synplify Pro	8 ×			_
🔺 🧰 fpga_project 🔀 Gowin Analyzer Oscilloscope t.g	iprj]		General	
GW2A-LV1 Schematic Viewer		Project File:	E:\fpgaprj\pe\fpga_project\fpga_project.gprj	
IP Core Generator		Synthesis Tool:	GowinSynthesis	
Programmer				
HoorPlanner			Target Device	
Timing Constraints Editor		Part Number:	GW2A-LV18PG2565C8/I7	
🛠 Options		Series:	GW2A	
		Device:	GW2A-18	
		Package:	PBGA256S	
		Speed Grade:	C8/I7	
		Core Voltage:	LV	
Design Process Hierarchy	9	Start Page 🛛 🗵	Design Summary 🔀	
Console				8 ×
%				
Console Message				

#### 2. 打开 PCI to Ethernet IP 核

单击 "Interface and Interconnect"选项,双击 "PCI to Ethernet",打开 PCI to Ethernet IP 核的配置界面,如图 5-2 所示。

GOWIN FPGA Designer - [IP Core Generator		
爲 File Edit Project Tools Window He	łp	_ <i>B</i> ×
🗋 🗁 🗟 🖷 🔚 🖛 🔺 🍾 🗅	🛍 🖌 🔀 🚼 🚷 👬	
Design & ×	Target Device: GW2A-LV18PG256SC8/I7	
🔺 🧰 fpga_project - [E:\fpgaprj\pe\fpga	Filter	
GW2A-LV18PG256SC8/I7		
	A Interface and Interconnect	PCI to Ethernet
	AHB Bus Arbiter	
	💑 CAN	Information
	A I2C MASTER	
	A I3C DDR eXtension	Type: PCI to Ethernet
	💑 I3C SDR 🗉	Vendor: GOWIN Semiconductor
	💑 MIPI RX	Summary
	MIPI RX Advance	Summary
	MIPI TX Advance	The Gowin PCI to Ethernet IP realizes mutual
	👶 PCI Target	communication between Gowin PCI Target IP and Gowin
	PCI to CAN	Triple Speed Ethernet MAC IP.
	SDIO Slave Controller	
	SDIO_SPI	Reference
	💑 SDIO_UART 🗸 🗸	
		Reference documents(CN) - IP reference designs and
Design Process Hierarchy	V Start Page 🔝 Design Sumr	nary 🔝 🚷 IP Core Generator 🗵
Console		5 ×
96		
Console Message		

#### 图 5-2 打开 PCI to Ethernet IP 核

#### 3. PCI to Ethernet IP 核端口界面 配置界面左侧为 PCI to Ethernet IP 核的接口

۹ 🔍

配置界面左侧为 PCI to Ethernet IP 核的接口示意图,如图 5-3 所示。 图 5-3 PCI to Ethernet IP 核接口示意图 ? X 🐝 IP Customization **PCI to Ethernet** General Part Number: GW2A-LV18PG256SC8/I7 GW2A-18 Device: Create In: E:\fpgaprj\pe\fpga\_project\src\pci\_to\_ethernet ... File Name: pci\_to\_ethernet Module Name: PCI\_to\_Ethernet\_Top Language: Verilog Synthesis Tool: GowinSynthesis -Options Generation Config ☑ Disable I/O Insertion

4. 打开 Help 文档

可以单击位于图 5-3 右下角的 "Help" 按钮可以查看配置界面中各个选项的简单英文介绍, 方便用户快速完成对 IP 核的配置。Help 文档选项介

OK Cancel Help

绍顺序和界面顺序一致,如图 5-4 所示。

#### 图 5-4 Help 文档

#### **PCI to Ethernet**

#### Information

Type: PCI to Ethernet Vendor: GOWIN Semiconductor

#### Summary

The Gowin PCI to Ethernet IP realizes mutual communication between Gowin PCI Target IP and Gowin Triple Speed Ethernet MAC IP.

#### Reference

Reference documents(CN) - IP reference designs and user guide

Reference documents(EN) - IP reference designs and user guide

#### 5. 配置基本信息

在配置界面的上部分是工程基本信息配置界面,本文芯片型号选择 "GW2A-18"为例,封装选择"PG256"。"Module Name"选项后面是 工程产生后顶层文件的名字,默认为"PCI\_to\_Ethernet\_Top",用户可 自行修改。"File Name"是 IP 核文件产生的文件夹,存放 PCI to Ethernet IP 核所需文件,默认为"pci\_to\_ethernet",用户可自行修改路径。 "Create In"选项是 IP 核文件夹产生路径,默认为"\工程路径 \src\pci\_to\_ethernet",用户可自行修改路径。

#### 图 5-5 基本信息配置界面

- ( -	01	20	IC CO	
	CI	10	10	

Device:	GW2A-18	Part Number:	GW2A-LV18PG256SC8/I7	
Create In:	E:\fpgaprj\pe\fpga_project\src\pci_to_ethernet			
File Name:	pci_to_ethernet	Module Name:	PCI_to_Ethernet_Top	
Language:	Verilog 🔻	Synthesis Tool:	GowinSynthesis 🔹	



Gowin PCI to Ethernet IP 交付文件主要包含两个部分: 文档以及设计源代码。

## 6.1 文档

文件夹主要包含用户指南 PDF 文档。

### 表 6-1 文档列表

名称	描述
IPUG754, Gowin PCI to Ethernet IP 用户指南	高云 PCI to Ethernet 用户手册

## 6.2 设计源代码

加密代码文件夹包含 Gowin PCI to Ethernet IP 的 RTL 加密代码,供GUI 使用,以配合高云云源软件产生用户所需的 IP 核。

#### 表 6-2 PCI to Ethernet 设计源代码列表

名称	描述	
pci_to_ethernet.v	IP 核顶层文件,给用户提供接口信息,加密。	

