Gowin SDRAM HS IP

用户指南

IPUG756-1.0.2, 2025-05-09

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、GOWIN、、GOWINSEMI、GOWIN、Gowin、高云、晨熙、小蜜蜂、LittleBee、Arora-V、GowinPnR、GoBridge 均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和／或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2020/09/07	1.0	初始版本。
2023/11/10	1.0.1	优化“*5 端口列表*”中“*表 5-2*”的 I_sdrc_addr 信号描述。
2025/05/09	1.0.2	新增 *8.2 应用框图*章节中的注释。

目录

图目录.....iii
表目录.....iv
1 关于本手册.....1
1.1 手册内容.....1
1.2 相关文档.....1
1.3 术语、缩略语.....2
1.4 技术支持与反馈.....2
2 概述.....3
3 特征与性能.....4
3.1 特性.....4
3.2 性能.....4
3.3 资源占用.....4
4 系统框图.....5
4.1 系统框图.....5
5 端口列表.....6
5.1 SDRAM 侧信号.....6
5.2 用户侧信号.....6
6 结构及功能描述.....8
6.1 整体结构.....8
6.2 SDRAM 命令.....9
6.3 初始化.....9
6.4 刷新.....9
6.5 激活.....10
6.6 读操作.....10
6.7 写操作.....10
6.8 接口时序.....11
6.8.1 激活操作.....11
6.8.2 写操作.....11
6.8.3 读操作.....12

6.8.4 自动刷新操作.....13
7 参数配置..... 14
7.1 概述.....14
7.2 参数.....14
8 界面配置..... 15
8.1 概述.....15
8.2 应用框图.....15
8.3 GUI 调用.....16

图目录

图 4-1 系统框图.....5
图 6-1 整体结构.....8
图 6-2 激活操作时序.....11
图 6-3 写操作时序（带预充电）.....11
图 6-4 写操作时序（不带预充电）.....12
图 6-5 读操作时序（带预充电）.....12
图 6-6 读操作时序（不带预充电）.....13
图 6-7 自动刷新操作时序.....13
图 8-1 应用框图.....15
图 8-2 打开工程.....16
图 8-3 打开 IP Core Generator.....16
图 8-4 例化 SDRAM Controller HS.....17

表目录

表 1-1 术语、缩略语.....2
表 2-1 Gowin SDRAM HS IP 概述.....3
表 3-1 性能参考.....4
表 5-1 SDRAM 侧信号定义.....6
表 5-2 用户侧信号定义.....6
表 6-1 SDRAM 命令定义.....9
表 7-1 GUI 参数定义.....14

1 关于本手册

1.1 手册内容

Gowin SDRAM Controller HS IP 用户手册主要包括功能特点、整体框图、工作原理、信号定义、参数介绍、GUI 调用、接口时序等。目的帮助用户快速了解 Gowin SDRAM Controller HS IP 的产品特性和使用方法，加速用户产品开发。

1.2 相关文档

通过登录高云半导体网站 *www.gowinsemi.com.cn* 可以下载、查看 FPGA 产品文档。

- *DS100，GW1N 系列 FPGA 产品数据手册*
- *DS117，GW1NR 系列 FPGA 产品数据手册*
- *DS102，GW2A 系列 FPGA 产品数据手册*
- *DS226，GW2AR 系列 FPGA 产品数据手册*
- *DS981，GW5AT 系列 FPGA 产品数据手册*
- *DS1103，GW5A 系列 FPGA 产品数据手册*
- *DS1239，GW5AST 系列 FPGA 产品数据手册*
- *DS1105，GW5AS 系列 FPGA 产品数据手册*
- *DS1108, GW5AR 系列 FPGA 产品数据手册*
- *SUG100，Gowin 云源软件用户指南*

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
SDRAM	Synchronous Dynamic Random Access Memory	同步动态随机存储器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：*www.gowinsemi.com.cn*

E-mail：*support@gowinsemi.com*

Tel：+86 755 8262 0391

2 概述

SDRAM 存储器具有很好的性价比，得到广泛应用，但 SDRAM 有比较严格的时序要求，逻辑控制比较复杂，需要有一个专门控制器来实现数据读写和控制。

为了更好地服务 FPGA 用户，降低用户的系统开发难度，SDRAM_Controller_HS 可提高用户产品开发速度。该控制器位于 SDRAM 芯片和用户逻辑之间，具有友好的用户操作接口，实现 SDRAM 数据读写时序控制和自动刷新控制等功能。

SDRAM_Controller_HS 通过软件界面调用、配置好参数后，通过 Gowin 软件综合、布局布线可适用于高云 FPGA 产品。

表 2-1 Gowin SDRAM HS IP 概述

Gowin SDRAM HS IP	
逻辑资源	见表 3-1
交付文件	
设计文件	Verilog (加密)
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software

注！

可登录*高云半导体网站*查看芯片支持信息。

3 特征与性能

3.1 特性

- 可配置 SDRAM 数据、地址、行列等位宽
- 用户层可灵活控制 SDRAM 刷新
- 用户层可灵活控制读或写预充电操作是否启用
- 支持 SDRAM 的 1~页长度范围内的读写操作
- 用户层可灵活控制自刷新和 Power-down 功能
- 支持业界标准的 SDRAM 器件
- 适用于芯片内嵌和外挂 SDRAM 存储器
- 完全可综合
- 设计语言为 Verilog

3.2 性能

SDRAM_Controller_HS 的工作频率取决于 SDRAM 芯片工作时钟频率和 IP 在所选芯片中支持的最大工作频率。

3.3 资源占用

表 3-1 性能参考

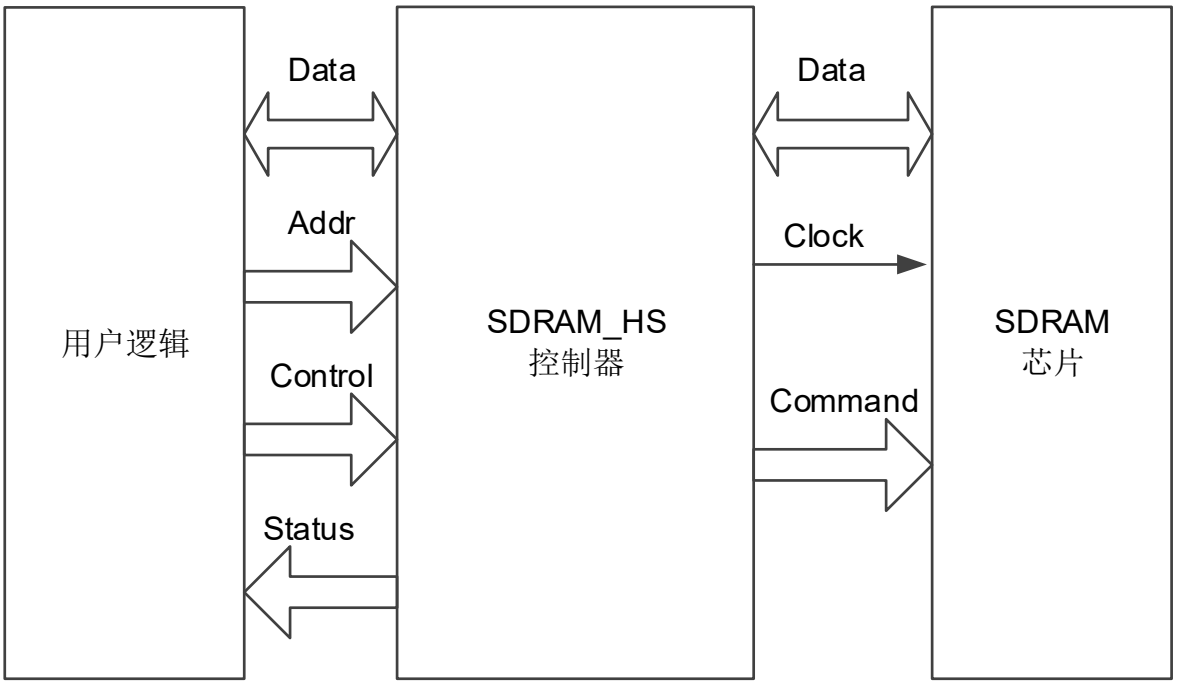
芯片型号	编程语言	LUT4 资源	REG 资源
GW2A-LV18PG256C7/I6	Verilog	≤210	≤170

4 系统框图

4.1 系统框图

SDRAM_Controller_HS 位于 SDRAM 芯片和用户逻辑之间，用户逻辑侧主要包括数据、地址、控制、状态等交互信号，SDRAM 芯片侧包括数据、地址、命令信号。

图 4-1 系统框图



5 端口列表

5.1 SDRAM 侧信号

表 5-1 SDRAM 侧信号定义

序号	信号名称	方向	描述	备注
1	O_sdram_clk	I	时钟	所有信号输入输出方向均以 SDRAM 存储芯片为参考
2	O_sdram_cke	I	时钟使能	
3	O_sdram_cs_n	I	命令控制	
4	O_sdram_cas_n	I		
5	O_sdram_ras_n	I		
6	O_sdram_wen_n	I		
7	O_sdram_dqm	I	数据掩码控制	
8	O_sdram_addr	I	地址	
9	O_sdram_ba	I	Bank	
10	IO_sdram_dq	I/O	数据	

注！

- 当使用芯片内嵌的 SDRAM 时，请务必保持 SDRAM 侧信号定义与表 5-1 信号名称一致！
- 当使用芯片外挂的 SDRAM 时，请务必保持 SDRAM 侧信号定义与表 5-1 信号名称不同！

5.2 用户侧信号

表 5-2 用户侧信号定义

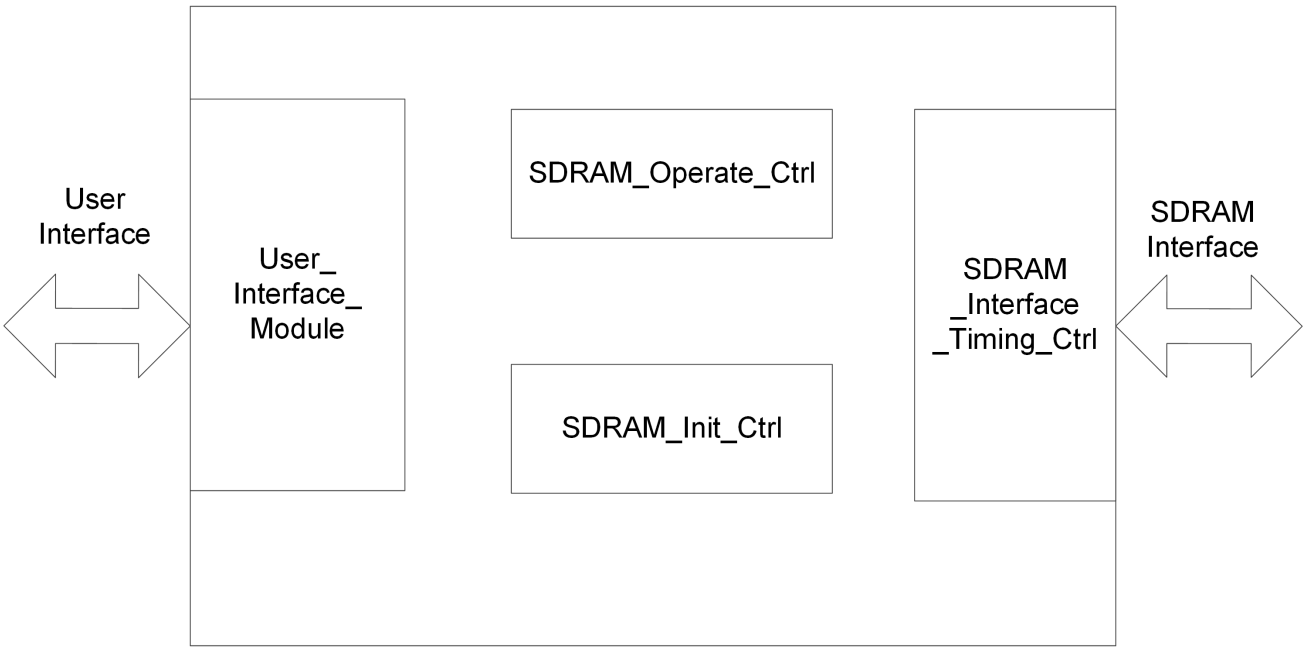
序号	信号名称	方向	描述	备注
1	I_sdrc_rst_n	I	复位信号，低有效	所有信号输入输出方向均以
2	I_sdrc_clk	I	SDRAM_Controller_HS 工作时钟	
3	I_sdram_clk	I	SDRAM 芯片工作时钟	

序号	信号名称	方向	描述	备注
4	I_sdram_selfrefresh	I	自刷新信号请求 1：自刷新使能 0：关闭	控制器为参考
5	I_sdram_power_down	I	Power-down 请求 1：Power-down 使能 0：关闭	
6	I_sdrc_cmd_en	I	写使能，高有效，脉冲宽度 1 个时钟周期	
7	I_sdrc_cmd	I	控制命令，从高到低依次对应 {O_sdram_ras_n, O_sdram_cas_n, O_sdram_wen_n}	
8	I_sdrc_precharge_ctrl	I	预充电控制 1：启用预充电 0：关闭	
9	I_sdrc_addr	I	地址，从高位到低位依次对应 Bank 地址、行地址、列地址	
10	I_sdrc_dqm	I	数据掩码控制	
11	I_sdrc_data_len	I	读写数据长度。 以 I_sdrc_data_len[7:0] 为例，端口输入范围 0~255，对应读写有效长度范围 1~256，其他情况以此类推	
12	I_sdrc_data	I	写数据	
13	O_sdrc_data	O	读数据	
14	O_sdrc_init_done	O	初始化指示，控制器完成初始化后进入工作状态 1：完成 0：未完成	
15	O_sdrc_cmd_ack	O	控制指令执行完成信号标志，高电平维持 1 个时钟周期 1：执行完成 0：等待	

6 结构及功能描述

6.1 整体结构

图 6-1 整体结构



整个 IP 设计包括 User_ Interface_Module、SDRAM_Operate_Ctrl、SDRAM_Init_Ctrl、SDRAM_Interface_Timing_Ctrl 模块。

- User_ Interface_Module：实现与用户侧数据通信，完成用户侧接口时序控制功能；
- SDRAM_Operate_Ctrl：根据用户层发送来的命令进行解析，并控制完成对应动作；
- SDRAM_Init_Ctrl：完成 SDRAM 上电后的初始化；
- SDRAM_Interface_Timing_Ctrl：实现与 SDRAM 芯片的接口时序控制。

6.2 SDRAM 命令

常用 SDRAM 命令主要包括空操作、激活、读操作、写操作、预充电、自动刷新、配置模式寄存器等，详细操作项和定义见下表。

表 6-1 SDRAM 命令定义

命令名称	CS#	RAS#	CAS#	WE#	DQM	ADDR	DQ
命令禁止	H	X	X	X	X	X	X
空操作	L	H	H	H	X	X	X
激活	L	L	H	H	X	Bank/row	X
读	L	H	L	H	L/H	Bank/col	X
写	L	H	L	L	L/H	Bank/col	Valid
突发中断	L	H	H	L	X	X	Active
预充电	L	L	H	L	X	Code	X
自动刷新或自刷新	L	L	L	H	X	X	X
配置模式寄存器	L	L	L	L	X	Op-code	X
写使能	X	X	X	X	L	X	Active
写禁止	X	X	X	X	H	X	High-Z

注！

X 表示不关心；L 表示低电平；H 表示高电平。

6.3 初始化

SDRAM 芯片每次开机时，SDRAM 控制器都要先对其进行初始化。当 SDRAM 存储芯片的 VDD、VDDQ（同时）和时钟稳定后，控制器会发送延时最小 100us，先预充电后再执行两个自动刷新周期。自动刷新周期完成后再对 SDRAM 模式寄存器所控制的操作参数进行配置，最后再等待 tMRD 延时后控制器进入正常的工作状态。

6.4 刷新

SDRAM 刷新包括自刷新和自动刷新模式。

自刷新操作：用户层可以通过拉高 I_sdram_selfrefresh，来启动自刷新功能。若要退出自刷新模式，可通过拉低 I_sdram_selfrefresh 来完成。

自动刷新操作：用户层可通过发送自动刷新命令给 SDRAM 控制器来执行一次自动刷新动作。SDRAM 控制器会通过 O_sdrc_cmd_ack 高电平来指示本次自动刷新操作完成。自动刷新间隔时间由用户层自主控制。

6.5 激活

在对 SDRAM 芯片进行读写前，要首先完成所要读写行的激活操作。用户层可以通过发送激活命令及对应的 Bank/row 信息给 SDRAM 控制器，即可完整一次激活操作。SDRAM 控制器会通过 O_sdrc_cmd_ack 高电平来指示本次激活操作完成。

6.6 读操作

用户层可以通过发送读命令及对应的 Bank/col 信息给 SDRAM 控制器，即可完整一次读操作。SDRAM 控制器会通过 O_sdrc_cmd_ack 高电平来指示本次读操作完成。

每次读操作时，用户层可以通过 I_sdrc_precharge_ctrl 来告知 SDRAM 控制器是否需要在读操作结束后执行预充电操作。

6.7 写操作

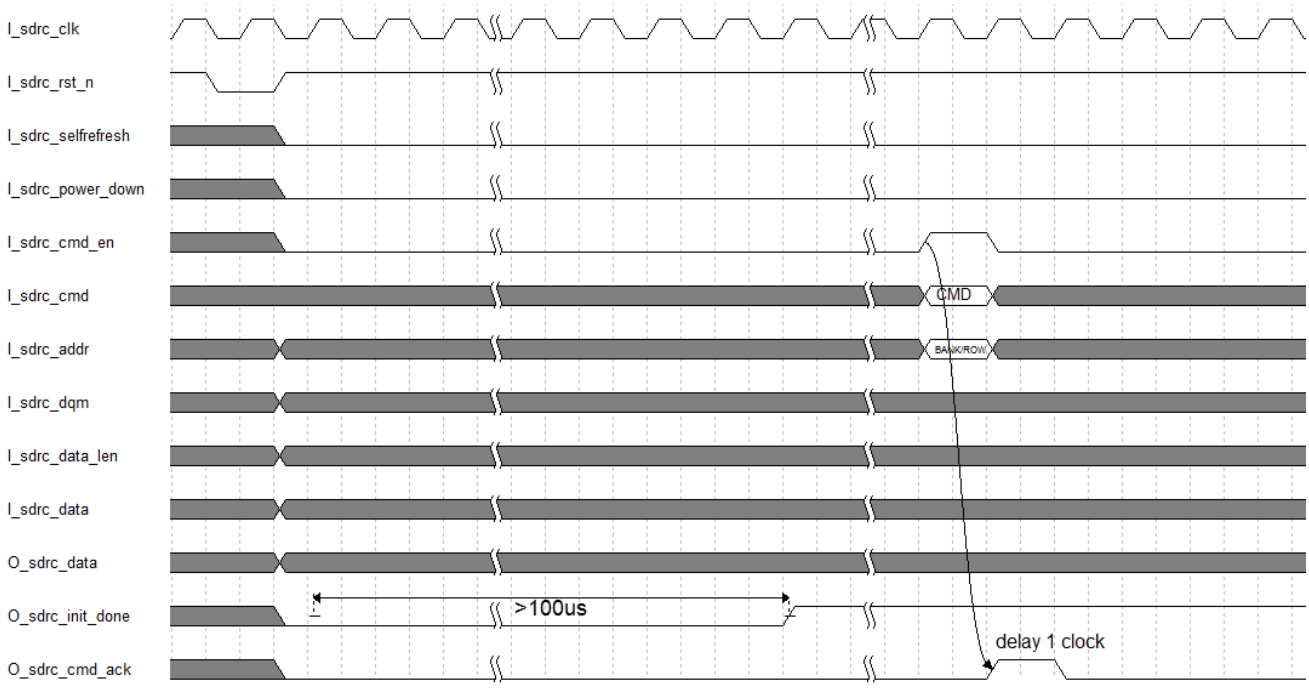
用户层可以通过发送写命令及对应的 Bank/col 信息给 SDRAM 控制器，即可完整一次写操作。SDRAM 控制器会通过 O_sdrc_cmd_ack 高电平来指示本次写操作完成。

每次写操作时，用户层可以通过 I_sdrc_precharge_ctrl 来告知 SDRAM 控制器是否需要在写操作结束后执行预充电操作。

6.8 接口时序

6.8.1 激活操作

图 6-2 激活操作时序

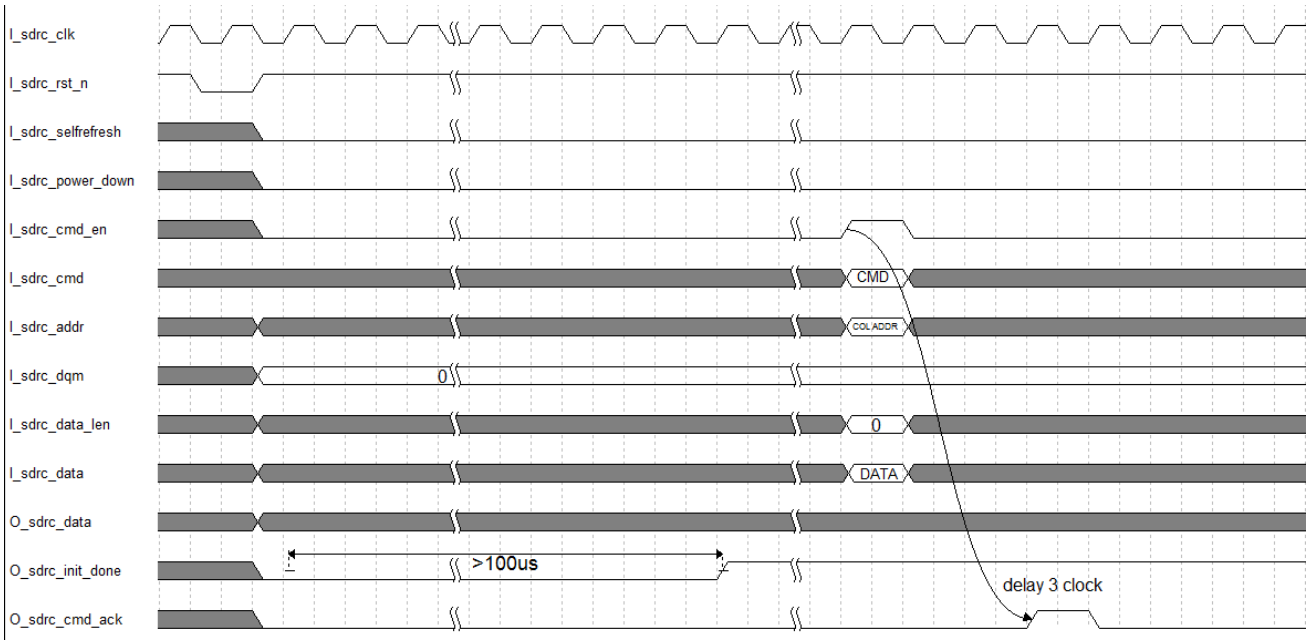


注！

tRCD=2

6.8.2 写操作

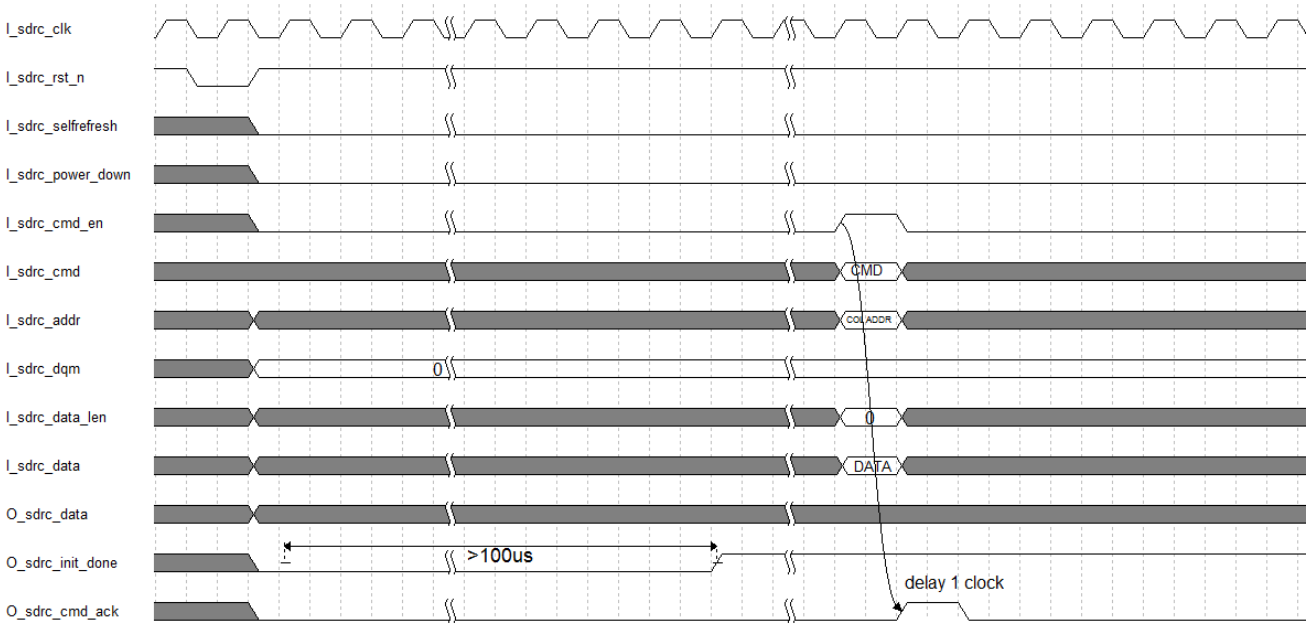
图 6-3 写操作时序（带预充电）



注！

tWR=2；tRP=2；读出长度=1。

图 6-4 写操作时序（不带预充电）

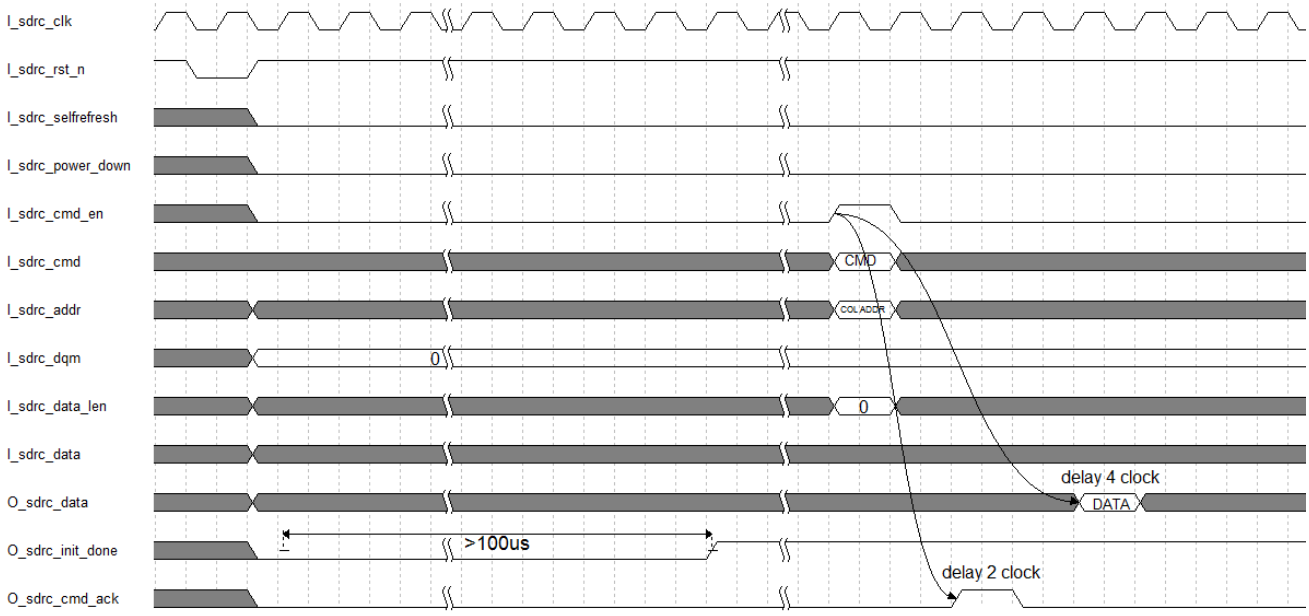


注！

tWR=2；tRP=2；读出长度=1。

6.8.3 读操作

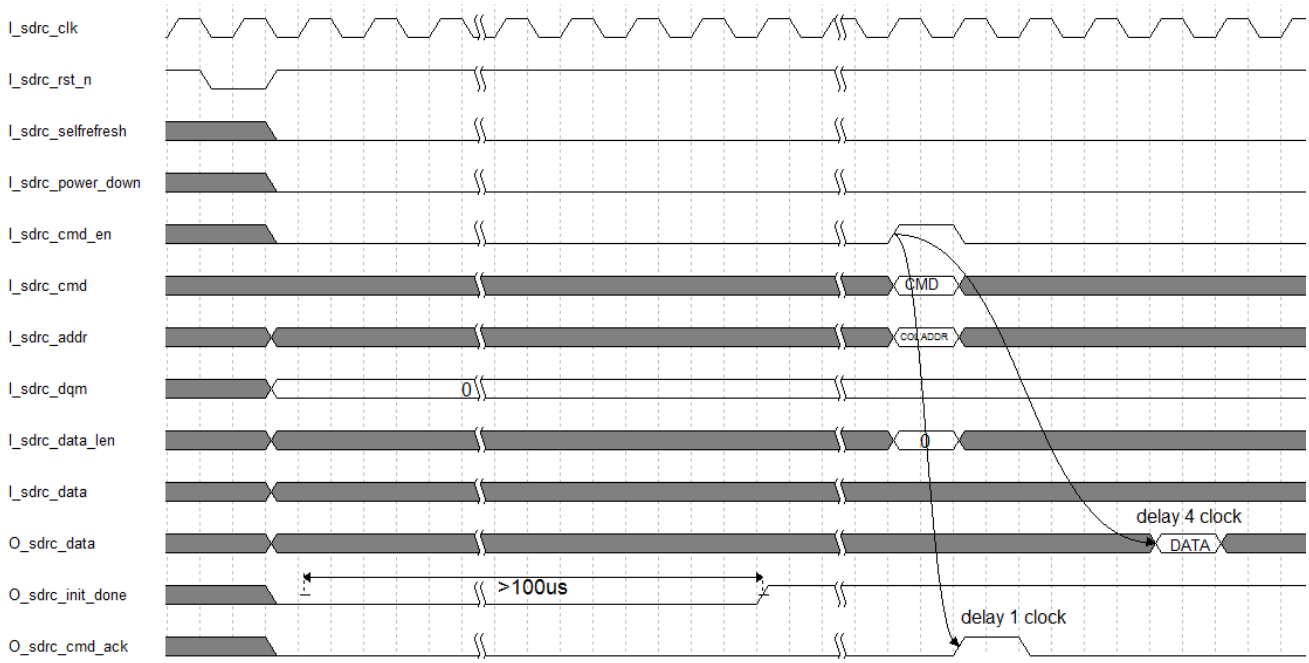
图 6-5 读操作时序（带预充电）



注！

CL=2；tRP=2；读出长度=1。

图 6-6 读操作时序（不带预充电）

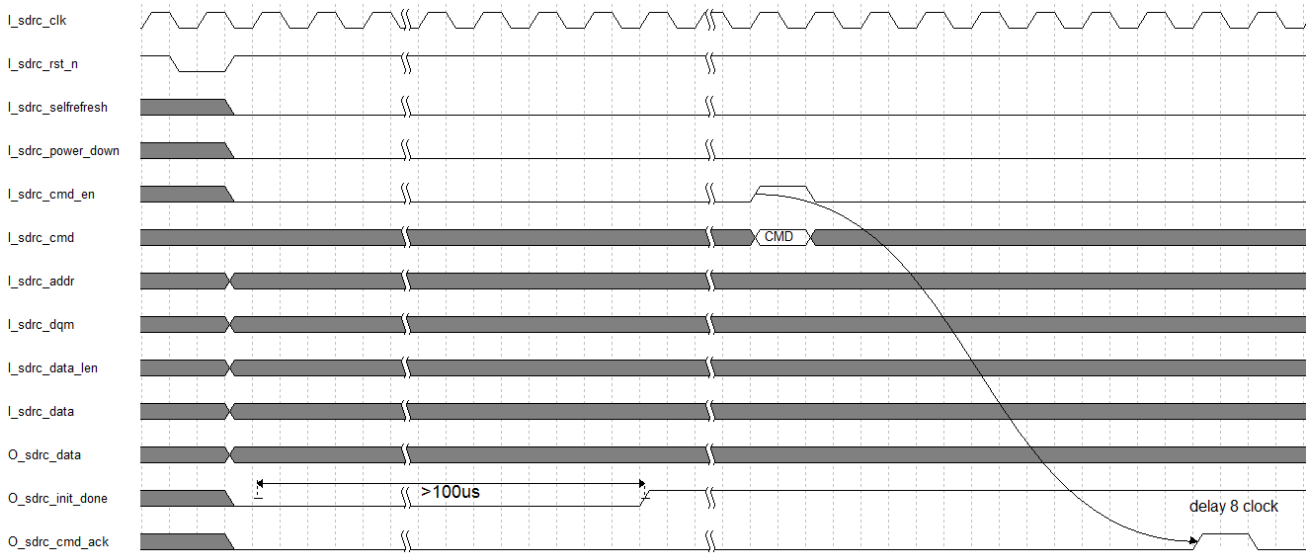


注！

CL=2；tRP=2；读出长度=1。

6.8.4 自动刷新操作

图 6-7 自动刷新操作时序



注！

tRFC=9

7 参数配置

7.1 概述

SDRAM Controller HS 的 GUI 参数定义。

7.2 参数

表 7-1 GUI 参数定义

Data Width	整数型，取值范围：8，16，32，64
Bank Width	整数型，取值范围：1，2
Row Width	整数型，取值范围：11~14
Column Width	整数型，取值范围：8~14
CL	整数型，取值范围：1~3
tRP	整数型，取值范围：2~4
tRFC	整数型，取值范围：9~16
tMRD	整数型，取值范围：1~3
tRCD	整数型，取值范围：2~4
tWR	整数型，取值范围：1~3

注！

以上参数在 GUI 设置时务必与所选内嵌或外挂 SDRAM 器件所要求的参数一致！

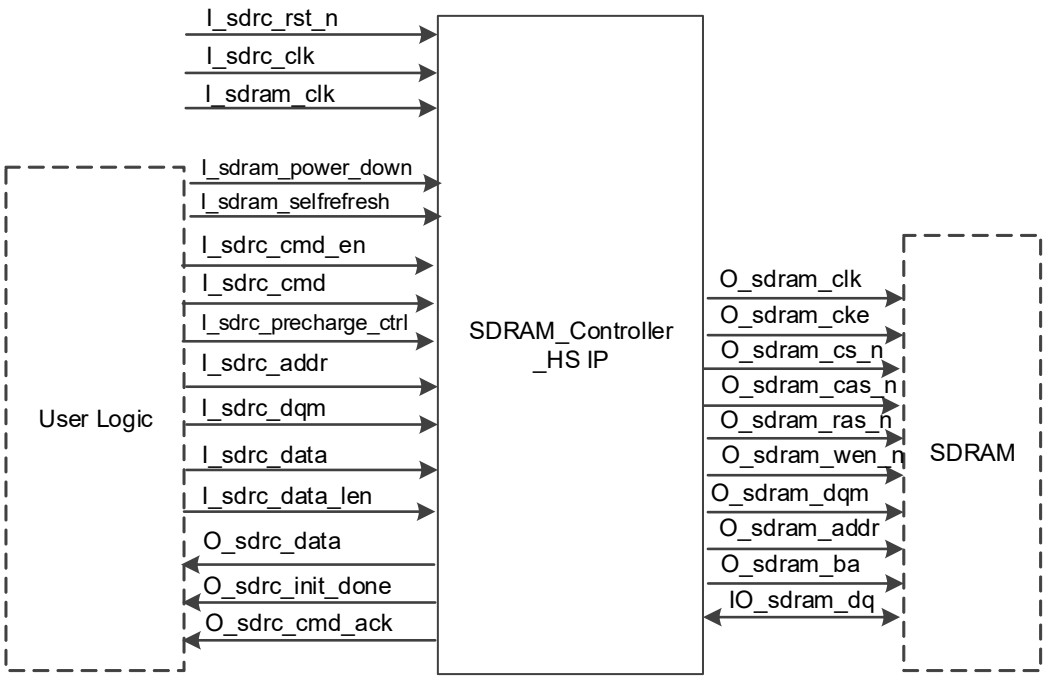
8 界面配置

8.1 概述

主要介绍如何通过 GUI 界面设置参数、生成可用 SDRAM_Controller_HS Module。

8.2 应用框图

图 8-1 应用框图



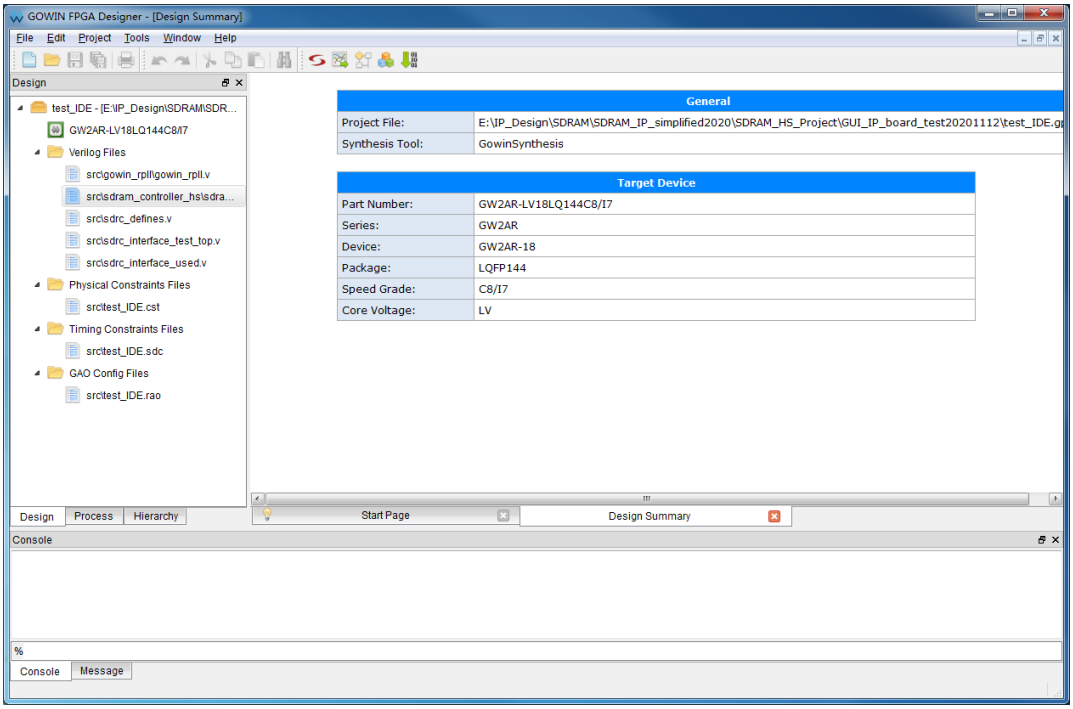
注！

I_sdrc clk 和 I_sdram_clk 的产生和使用方法可参考 *IPUG279，Gowin SDRAM Controller IP 用户指南*中的 6.2 节应用介绍。

8.3 GUI 调用

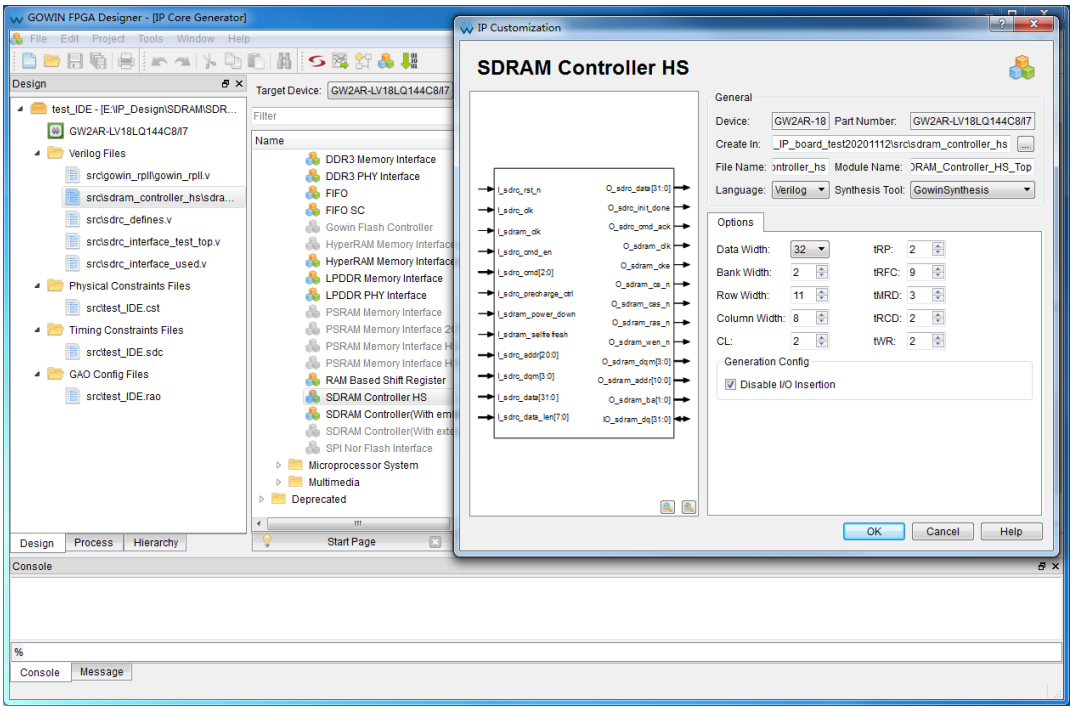
1. 启动高云半导体云源软件后，打开工程，如下图：

图 8-2 打开工程



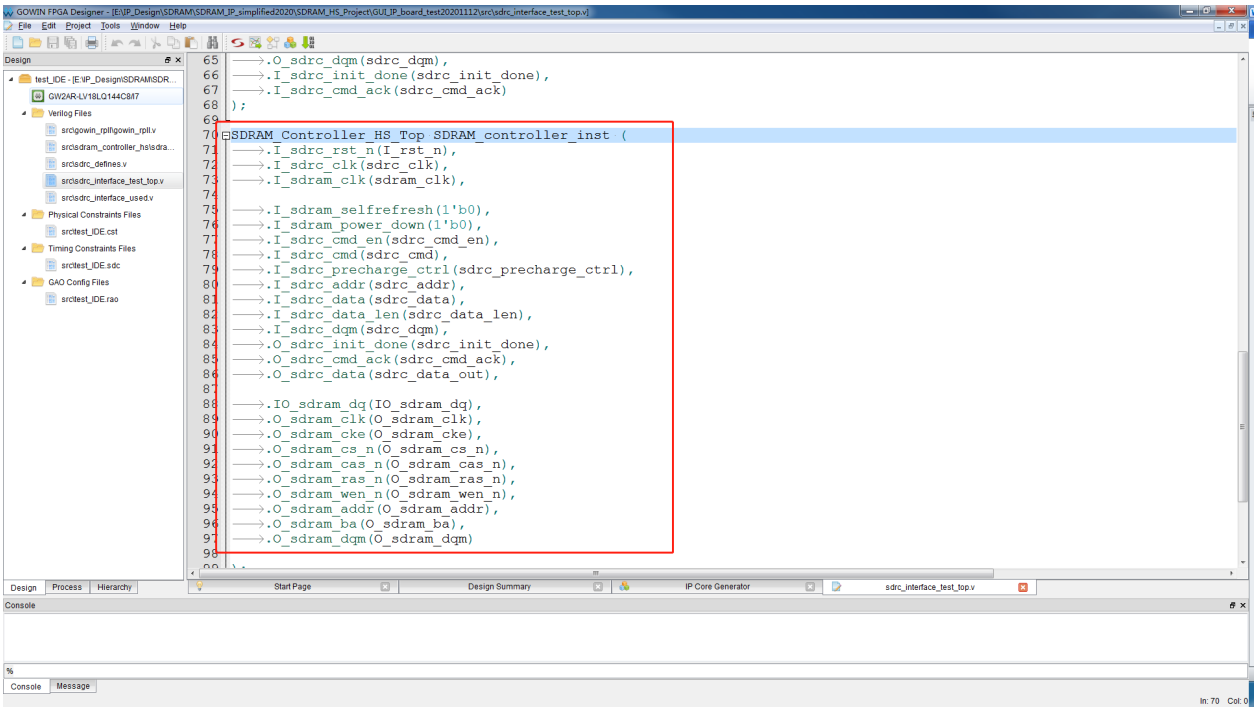
2. 在 Tools 菜单下点击“IP Core Generator”，如下图：调用的 SDRAM Controller HS，然后点击“OK”后生成 SDRAM Controller HS Module。

图 8-3 打开 IP Core Generator



3. 在用户程序中例化 SDRAM Controller HS，如下图所示。

图 8-4 例化 SDRAM Controller HS



然后综合、P&R、下载 bitstream 文件到 FPGA 芯片，可实现对 SDRAM 的数据读写及刷新等功能。

GOWIN高云
智慧逻辑 定制未来